普通高等教育“十一五”国家级规划教材

电子线路

第五版

主　编　梁明理

副主编　朱　俊　孙尽尧

高等教育出版社
Higher Education Press

普通高等教育“十一五”国家级规划教材

电子线路

第五版

主编　梁明理

副主编　朱俊　孙尽尧

高等教育出版社

内容简介

本书是普通高等教育“十一五”国家级规划教材。

随着科学技术的迅猛发展，各类专业设置的课程有所增加，电子线路课程的学时有减少的趋势。为适应这种形势，本书力争修订成一本更加简明的教材，经过弃粗取精、突出重点，在第四版共11章的基础上，修订为新版的10章。

本书主要内容包括：基本半导体器件、放大电路基础、集成运算放大电路、反馈放大电路、波形发生电路、直流稳压电源、数字电路基础、组合逻辑电路、触发器和时序逻辑电路、脉冲电路及模数转换。

本书由华中科技大学陈大钦教授审稿。

本书可作为高等学校理科物理专业电子线路课程的教材，也适用于高等院校电子线路课时较少的各类专业教学使用，还可供从事电子线路工作的工程技术人员参考。

图书在版编目(CIP)数据

电子线路/梁明理主编. —5版. —北京：高等教育出版社，2008.12

ISBN 978-7-04-024929-3

Ⅰ.电… Ⅱ.梁… Ⅲ.电子电路-高等学校-教材 Ⅳ.TN710

中国版本图书馆CIP数据核字(2008)第176657号

策划编辑	吴陈滨	**责任编辑**	吴陈滨	**封面设计**	于文燕
责任绘图	尹　莉	**版式设计**	余　杨	**责任校对**	姜国萍
责任印制	朱学忠				

出版发行	高等教育出版社	**购书热线**	010-58581118
社　　址	北京市西城区德外大街4号	**免费咨询**	800-810-0598
邮政编码	100120	**网　　址**	http://www.hep.edu.cn
总　　机	010-58581000		http://www.hep.com.cn
		网上订购	http://www.landraco.com
经　　销	蓝色畅想图书发行有限公司		http://www.landraco.com.cn
印　　刷	北京鑫海金澳胶印有限公司	**畅想教育**	http://www.widedu.com
开　　本	787×960　1/16	**版　　次**	1979年2月第1版
印　　张	29		2008年12月第5版
字　　数	540 000	**印　　次**	2008年12月第1次印刷
		定　　价	33.10元

本书如有缺页、倒页、脱页等质量问题，请到所购图书销售部门联系调换。

版权所有　侵权必究

物料号　24929-00

第五版前言

《电子线路》(第五版)是普通高等教育“十一五”国家级规划教材,新版是在第四版的基础上,通过教学实践、总结提高修订而成的。

理科是实验科学的学科,学生在实践中需要很多电子技术知识,因而要求电子线路课程应给学生打好一个有一定深度和广度的基础,但由于理科的课程很多,一般只能给电子线路课程安排 72 ~ 90 学时。随着科学的日益发展,理科教学计划安排的课程有所增加,电子线路课程的学时数有被压缩的趋势,而在新的形势下,电子技术领域的内容,将更加丰富。因此要求本书要进一步抓住重点,精选内容,删繁就简,修订成一本更加简明的教材。为了达到这一要求,本书修订时着重作了下述两点安排:

1. 压缩模拟电路,将第四版中共 7 章的模拟电路修订为新版的 6 章,削减了理科可不作要求的反馈若干分析、模拟乘法器和有源滤波等内容。

2. 加强数字电路,对这部分内容,仅删弃了数字电压表等少量内容。由于模拟电路压缩较多,相对地加强了数字电路。

本版 1、2、3、4 章由朱俊修订,第 5、6、7 章由梁明理修订,第 8、9、10 章由孙尽尧修订。梁明理为主编,负责全书编写的策划、组织和定稿,朱俊、孙尽尧为副主编,协助主编工作。

本书由华中科技大学陈大钦教授审稿。陈教授以十分严谨的科学态度,认真细致地审阅了全书,提出了许多宝贵的意见,为提高本书的质量作出了很大的贡献,在此谨表衷心的感谢! 同时,也向给本书前版提出意见和建议的读者和教师表示衷心的感谢!

由于编者学术水平的限制以及编写工作的疏漏,新版书中必有错误和不妥之处,恳请读者批评指正。

编　者

于武汉大学物理科学与技术学院

2008 年 6 月

第一版前言

本书是根据1977年10月全国高等学校理科物理教材会议为物理专业拟订的《电子线路》大纲编写的。全书分上、下两册。上册有线性电路基础、半导体二极管和晶体管、放大器的基本分析方法、负反馈放大器和常用放大器等五章；下册有正弦振荡与非线性变换、脉冲电路、数字集成电路和直流电源等四章。书中加＊号的部分为参考资料，可不列入教学内容。本书与我组所编《电子线路实验》一书配套，组成电子线路理论课和实验课的教材。

本书经《电子线路》教材审稿会审订。参加审稿会的单位有厦门大学（主审单位）等十三个院校。参加审稿会的同志和我校物理系、空间物理系审阅本书的同志，提出了不少宝贵的意见，在此一并致以衷心的感谢。

本书第一、七、八章和上册附录由卢孝先编写，第二、三、六、九章和下册附录由梁明理编写，第四、五章由廖孟扬编写。

由于我们水平有限，编写时间仓促，书中必有错误和不妥之处，希望读者批评指正。

武汉大学《电子线路》教材编写组

1978年12月

第二版前言

本书是参照1980年6月教育部制订的“综合大学物理学专业电子线路教学大纲”,在武汉大学电子线路教材编写组编《电子线路》第一版的基础上经过改编写成的。它适用于72学时(打＊号内容不列入教学计划)至90学时的教学计划,可作为理科电子线路课程的教材。

本书大体上按照“器件－模拟－数字”的体系编排。第二章为器件部分,第三至七章、十一章为模拟电路,第八至十章为数字电路。第一章简述了本课将涉及的几个线性电路和信号的问题,以弥补学生在学习本课之前电路方面知识的不足。

为了与80年代电子技术的发展相适应,本版加强了线性集成电路和数字集成电路的内容。相应削减了分立元件的功率放大、多级放大、稳压电源、脉冲电路、门电路和触发器等内容。

本书在编写过程中,注意精选内容,避免浓缩和烦琐,在内容的编排上,注意由浅入深,加强基本概念的阐述和习题的合理安排,以使学生学完本课以后,能具有较强的分析问题和解决问题的能力。

为了提高电子线路的教学效果,建议教师采用本书作教材时,注意加强各教学环节的配合。有些内容(如单级*RC*放大器的设计等)可放到习题课去讲。本书还有某些没有讲过的内容(如功率放大、脉冲电路等),可在实验课的原理电路中补充。有些亦属重要的内容,如逻辑代数等,让学生充分预习,课堂上扼要讲解,可提高教学效率;还有一些必须了解的内容(目录中打△号),可布置学生自学。为了获得更好的教学效果,最好有挂图或幻灯相配合。我系魏慧如、张蕴、宋骞、周建平、许后香、吴令熙等同志审阅了本书初稿并做了很多具体工作;许后香、张蕴和周建平同志协助演算了全部习题;梁红同志描绘了大部分图稿。华中工学院康华光老师对本书的大纲和内容处理等方面提出了许多带方向性的宝贵意见。

1983年4月在武汉开了审稿会。会议由编委兰州大学席先觉同志和主审单位吉林大学杨崇志同志主持,暨南大学、广西大学、山西大学、贵州大学等校的代表参加了会议。代表们指出了初稿中的错误和不妥之处,提出了许多改进的宝贵意见。

谨在此对审阅本书并提出宝贵意见的同志们以及在编写过程中给予本书热情帮助和支持的同志们，一并致以衷心的感谢。

由于编者业务水平的限制，书中一定会有错误和不妥之处，恳切希望使用本书的读者指正。

编　者

1983 年 6 月

第三版前言

本书自1979年第一版问世和1984年第二版诞生以来，在兄弟院校师生和广大读者的关注下，两版共印14次，累计印数超过25万套。随着电子技术迅猛的发展和教学改革的不断深入，使我们认识到新版的修订势在必行，于是第三版现在和广大读者见面了。

新版是在第二版的基础上，通过教学实践、总结提高和修改增删而成的。新版力求仍然保持简明教程和便于教学的特色，仍是一本用于学时数较少的电子线路课程的教材，它适用于72学时(不包括目录中打＊号部分)至90学时的教学计划。为了适应电子技术的不断发展和教学改革的需要，在修订本版时着重考虑了下述几点：

1. 体现适合国情的先进性。为此对新版的体系作了较大的调整；在论述最基本的放大器时，以直耦放大器取代了阻容耦合放大器；将运放内容提前，使反馈放大器及后续各章能以模拟集成电路为对象进行讨论；在数字电路中则由小规模集成电路入门，继而向中、大规模集成电路深入。这就形成了以集成电路为主干的体系，保证了教材内容的先进性。

2. 具有教学上的灵活性。新版仍按“器件－模拟－数字”的体系编排，但又具有先数字后模拟的教学顺序的可行性。为此把*RC*电路的暂态特性放在第一章，第二章增加了各种器件的简单电路。讲过第二章以后，就可以讲授数字电路了。

3. 适当增加选讲内容，以适应因材施教和各类专业的教学需要。

4. 联系实际、加深学生的理解。其措施是较多地给出器件的主要参数，增加例题，并使例题、习题与正文相互补充，增加电路实例和读图练习。对集成电路内部结构的介绍，不仅能使学生熟悉其内部结构和整体功能，以便运用得更为准确，而且又是读图的练习。

5. 为了介绍中、大规模集成电路并为计算机课程的学习打基础，新增了半导体存储器一章。

6. 使用本书的课程，通常是一门既无先行课又无后续课的比较孤立的课程，学时较少但又要求有一定的深度和广度，为了解决这一矛盾，新版注意精选内容，控制合适的深度和广度，并注意由浅入深，加强基本概念，提高教学效率。

7. 重新精选和补充思考题和习题，并与正文密切配合，以巩固正文的内容和补充正文的不足。

8. 为了方便学生学习，新版增设章末小结，书末增设习题答案。

本书完稿后先印作讲义，在武汉大学物理系试用过一届。本书第一、十二章由梁明理编写，第二、三、四、六章由周建平编写，第五、七、九章由邓仁清编写；第八、十、十一、十三章由张蕴编写。梁明理为主编，负责全书的定稿和编写组织工作。

清华大学尹达衡教授审阅了本书全稿，提出了许多宝贵的修改意见。本版修订大纲拟订后，征求了部分兄弟院校的意见。吉林大学、南开大学、中山大学等15所院校的有关老师对修订大纲提出了许多宝贵的意见。这些意见对本书的修订帮助很大，在此谨向他们致以衷心的感谢。

本版教材虽然有所改进，但与不断发展的电子技术和不断深入的教学改革的要求相比，仍有很大的差距，恳请读者对书中的错误和不妥之处予以批评指正。

编　者

于武汉大学物理系

1991.12

第四版前言

在本书与读者见面的时候，迎来了百年一遇的21世纪。新的历史纪元，是一个信息与网络的时代，知识型经济是这时代的领头羊。本书力争能够满足和反映这一新时代的状况和要求。

新版是在第三版的基础上，通过教学实践、总结提高和修改编成的。由于理科的电子线路课必须及时反映电子技术在各应用领域的飞速发展，而该课的教学计划仅有72～90学时，这就要求本书必须是一本简明教材，并且确保有较高的教学效率。为了适应信息与网络的时代要求和教学改革的需要，在修订本版时着重考虑了下述几点：

1. 具有以集成电路为主干的体系，保证教材内容有适合国情的先进性。

2. 为了保持本书具有完整的而又十分自然的体系，不再把线性电路简介设立为一章，而把其中必须学习的内容，作为附录安排在有关章节之中。

3. 为保持教材的简明性，删弃了上一版中阐述比较肤浅的半导体存储器一章。这部分的知识，学生在后续计算机课程中，将会更加全面和系统地学到。

4. 为便于教学，本版仍设置有较多的例题和习题，章末编入小结，书末给出习题解答。

本书第一、二、三、五章由董尚斌编写，第七、九、十、十一章由苏利编写，第四、六、八章由邓仁清编写。梁明理为主编，负责全书体系的确定和编写组织工作，邓仁清为副主编，负责全稿的审读和定稿工作。

本书由清华大学诸昌清教授审稿。诸教授认真细致地审阅后，提出了很多宝贵的意见，为书稿的修改和质量的提高给予了很大的帮助，在此谨表衷心的谢意。

事物总是变化发展的，新版教材虽比上版有所改进，但与高速发展的信息时代和不断深化的教学改革的要求相比，仍有很大的差距，恳请读者对书中不足和不妥之处予以批评指正。

编　者

2000年2月　于武汉大学物理与信息学院

标准分享网　www.bzfxw.com　免费下载

常用符号表

一、基本符号

A	放大倍数
C	电容
f	频率
I、i	电流,源电流
L	电感
P、p	功率
R、r	电阻
t、T	时间,温度
V、v	电压,源电压
$Z = R + \mathrm{j}X$	阻抗

二、电流、电压(以基极电流、电压为例)

i_b	小写 i、小写下标 b 表示基极电流瞬时值
i_B	小写 i、大写下标 B 表示基极电流总瞬时值(直流分量与交流分量之和)
I_b	大写 I、小写下标 b 表示正弦基极电流有效值
I_B	大写 I、大写下标 B 表示基极电流静态值、直流电流
$\dot{I}$	大写 I 上打点表示正弦电流相量
$\dot{I}_b$	正弦基极电流有效值相量
I_m	正弦电流振幅值,脉冲电流幅值
I_{bm}	正弦基极电流幅值
I_s	信号源的源电流有效值
I_{CC}	直流电源 V_{CC} 的输出电流
V_m	正弦电压振幅值
V_i	正弦输入电压有效值
V_B	基极电压静态值

v_B	基极电压总瞬时值
V_b	正弦基极电压有效值
v_b	正弦基极电压瞬时值
$\dot{V}_b$	正弦基极电压有效值相量
v_I	任意波形的输入电压总瞬时值
V_o	正弦输出电压有效值
v_O	任意波形的输出电压总瞬时值
V_s	信号源的源电压有效值
V_{CC}、V_{EE}、V_{DD}	直流电源电压

三、电阻、电容

R	电阻,直流电阻
r	微变电阻,器件内部电阻
R_i	输入电阻
R_o	输出电阻
R_L	负载电阻
R_s	信号源内阻
C_i	输入电容
C_o	输出电容
C_L	负载电容

四、增益或放大倍数、反馈系数

A	增益或放大倍数的通用符号
A_V	电压放大倍数
A_{VS}	源电压放大倍数
A_{VL}	低频电压放大倍数
A_{VM}	中频电压放大倍数
A_{VH}	高频电压放大倍数
A_{VC}	共模电压放大倍数
A_{VD}	差模电压放大倍数
A_F	反馈放大器的放大倍数
F	反馈系数的通用符号

五、频率

BW	通频带

标准分享网 www.bzfxw.com 免费下载

F	非正弦信号的重复频率
f_H	放大器的上限(-3 dB)频率
f_L	放大器的下限(-3 dB)频率
f_{HF}	反馈放大器的上限(-3 dB)频率
f_{LF}	反馈放大器的下限(-3 dB)频率
f_0	振荡频率、谐振频率

六、功率

P	功率的通用符号
P_o	输出交变功率
P_{om}	输出交变功率最大值
P_{CC}	直流电源提供的功率

七、时间

t_d	延迟时间
t_f	下降时间
t_{on}	开通时间
t_{off}	关闭时间
t_{pd}	平均传输延迟时间
t_r	上升时间
t_s	存储时间
t_W	脉冲宽度

八、数字电路

P_{ON}	空载导通功耗
I_{IS}	输入短路电流
I_{IH}	输入漏电流
V_{OH}	输出高电平
V_{OL}	输出低电平
V_{ON}	开门电平
V_{NH}	高电平噪声容限电压
V_{NL}	低电平噪声容限电压
V_{OFF}	关门电平
N_o	扇出系数
BCD	二-十进制码

CP	时钟脉冲
CR	清零
D	D 触发器输入,数据
E	使能控制端
FF	触发器
G	逻辑门
J、K	$J-K$ 触发器输入
L	逻辑函数
m	最小项
Q	触发器输出
T	周期,T 触发器输入
×	无关项

九、器件参数符号

1. 半导体二极管

D	二极管的符号
D_Z	稳压二极管的符号
f_M	最高工作频率
I_{FM}	二极管的最大正向直流电流
I_R	反向直流电流
I_Z	稳压二极管的稳定电流
V_Z	稳压二极管的稳定电压
V_{RM}	反向峰值电压

2. 双极型晶体管

T	晶体三极管符号
$C_{b'c}$	基极 - 集电极本征电容
$C_{b'e}$	基极 - 发射极本征电容
f_α	共基极截止频率
f_β	共射极截止频率
f_T	特征频率
h_{fe}、β	共射接法输出交流短路时的电流放大系数
h_{fb}、α	共基接法输出交流短路时的电流放大系数
h_{ie}、r_{be}	共射接法输出交流短路时的输入电阻
h_{oe}、$1/r_{ce}$	共射接法输入交流开路时的输出电导
h_{re}	共射接法输入交流开路时的反向电压传输系数

标准分享网 www.bzfxw.com 免费下载

I_{CBO}	发射极开路时 C－B 结反向截止电流
I_{CEO}	基极开路时 C－E 结反向截止电流
I_{CM}	集电极最大允许电流
P_{CM}	集电极最大允许耗散功率
$V_{(BR)CEO}$	基极开路时 C－E 间的反向击穿电压
$V_{(BR)EBO}$	集电极开路时 E－B 间击穿电压

3. 场效应管

T	场效应管符号
g_m	跨导
$I_{DS(sat)}$	$v_{GS}=0$ 时的饱和漏源电流
P_{DSM}	漏极最大允许耗散功率
R_{GS}	直流输入电阻
r_{ds}	漏源电阻
$V_{(BR)DS}$	漏源间的击穿电压
$V_{GS(off)}$	夹断电压
$V_{GS(th)}$	开启电压

4. 运算放大器

A	运算放大器符号
A_{VO}	开环差模电压放大倍数
I_{IO}	输入失调电流
I_{IB}	输入偏置电流
K_{CMR}	共模抑制比
P_D	静态功耗
r_{id}	差模输入电阻
r_o	输出电阻
S_R	转换速率
v_P	运放同相端电压总瞬时值
v_N	运放反相端电压总瞬时值
v_{ic}	共模输入电压瞬时值
v_{id}	差模输入电压瞬时值
V_{ICM}	最大共模输入电压
V_{IDM}	最大差模输入电压
V_{IO}	输入失调电压

十、其他符号

D	非线性失真系数

n	取样比
Q	静态工作点,品质因数
Tr	变压器
γ	稳压系数
η	效率
θ	角度
τ	时间常数
ω、Ω	角频率

标准分享网 www.bzfxw.com 免费下载

目　　录

第1章　基本半导体器件 …… 1

引言 …… 1

1.1　PN 结 …… 1

1.1.1　本征半导体 …… 1

1.1.2　杂质半导体 …… 2

1.1.3　PN 结的形成 …… 4

1.1.4　PN 结的特性 …… 5

1.2　二极管 …… 7

1.2.1　二极管的结构及符号 …… 7

1.2.2　二极管的伏安特性 …… 8

1.2.3　二极管的主要参数 …… 11

1.2.4　二极管应用举例 …… 12

1.3　双极型晶体管 …… 14

1.3.1　晶体管的结构及符号 …… 14

1.3.2　晶体管的电流放大作用 …… 15

1.3.3　晶体管的共射组态特性曲线 …… 19

1.3.4　晶体管的主要参数 …… 21

1.4　场效应管 …… 25

1.4.1　结型场效应管 …… 25

1.4.2　绝缘栅场效应管 …… 30

1.4.3　场效应管的主要参数 …… 34

1.4.4　场效应管使用注意事项 …… 35

1.4.5　场效应管与双极型晶体管的比较 …… 35

附录 1.1　半导体器件的命名方法 …… 36

小结 …… 36

习题与思考题 …… 37

第 2 章 放大电路基础 …… 40

引言 …… 40

2.1 放大电路的组成及工作原理 …… 40

2.1.1 放大电路的功能及组成 …… 40

2.1.2 放大电路的性能指标 …… 43

附录 2.1.1 信号的频谱分析 …… 45

2.2 放大电路的图解分析法 …… 49

2.2.1 用图解法确定静态工作点 …… 49

2.2.2 用图解法分析动态工作情况 …… 50

2.2.3 用图解法分析放大电路的非线性失真 …… 55

2.3 放大电路的等效电路分析法 …… 56

2.3.1 晶体管的 h 参数及其小信号等效电路 …… 57

2.3.2 用 h 参数小信号等效电路分析基本放大电路 …… 61

2.3.3 带 R_E 的共发射极放大电路的分析 …… 64

附录 2.3.1 电压源和电流源 …… 65

附录 2.3.2 线性网络的几个定理 …… 67

2.4 放大电路工作点的稳定 …… 71

2.4.1 温度变化对工作点的影响 …… 71

2.4.2 分压式偏置稳定电路 …… 73

2.5 共集电极放大电路 …… 74

2.5.1 静态工作点 …… 74

2.5.2 电压放大倍数 …… 75

2.5.3 输入电阻和输出电阻 …… 76

2.5.4 主要特点和应用 …… 76

2.6 共基极放大电路 …… 77

2.6.1 电压放大倍数 …… 77

2.6.2 输入电阻和输出电阻 …… 78

2.7 单管放大电路的频率特性 …… 78

2.7.1 放大电路频率特性的概念 …… 78

2.7.2 晶体管的混合参数 π 型等效电路 …… 80

2.7.3 单管放大电路的频率特性 …… 83

2.8 多级放大电路 …… 90

2.8.1 多级放大电路的耦合方式 …… 91

2.8.2 多级放大电路的电压放大倍数 …… 93

标准分享网 www.bzfxw.com 免费下载

2.8.3　多级放大电路的频率特性 …… 94
2.9　差分放大电路 …… 95
2.9.1　基本差分放大电路 …… 95
2.9.2　带恒流源的差分放大电路 …… 101
2.10　电流源电路 …… 102
2.10.1　镜像恒流源电路 …… 102
2.10.2　微电流源电路 …… 103
2.10.3　多路输出恒流源电路 …… 104
2.10.4　有源负载放大电路 …… 104
2.11　互补对称功率放大电路 …… 105
2.11.1　功率放大电路的特点和要求 …… 105
2.11.2　乙类互补对称功率放大电路 …… 107
2.11.3　甲乙类互补对称功率放大电路 …… 109
2.11.4　准互补对称功率放大电路 …… 110
2.11.5　集成功率放大器 …… 112
2.12　场效应管放大电路 …… 113
2.12.1　场效应管的小信号等效电路 …… 113
2.12.2　等效电路法分析场效应管放大电路 …… 114
小结 …… 116
习题与思考题 …… 117

第3章　集成运算放大电路 …… 127

引言 …… 127
3.1　集成运放的基本单元电路 …… 127
3.1.1　集成运放的组成及电路符号 …… 127
3.1.2　集成运放输入级 …… 128
3.1.3　集成运放中间级 …… 130
3.1.4　集成运放输出级 …… 131
3.2　集成运放的典型电路和参数 …… 132
3.2.1　集成运放典型电路的分析 …… 133
3.2.2　集成运放的主要参数 …… 135
3.3　集成运放的基本电路 …… 137
3.3.1　理想运放的特性 …… 137
3.3.2　由集成运放组成的基本电路 …… 138
3.4　基本运算电路 …… 142

3.4.1 加、减法运算电路 …… 142
3.4.2 积分和微分运算电路 …… 144
小结 …… 146
习题与思考题 …… 146

第4章 反馈放大电路 …… 151

引言 …… 151
4.1 反馈的基本概念与分类 …… 151
4.1.1 反馈的基本概念 …… 151
4.1.2 反馈的基本类型 …… 154
4.1.3 反馈的一般表达式 …… 161
4.2 负反馈对放大电路性能的影响 …… 162
4.2.1 提高放大倍数的稳定性 …… 163
4.2.2 扩展频带 …… 164
4.2.3 减小非线性失真 …… 166
4.2.4 对输入电阻和输出电阻的影响 …… 167
4.2.5 对放大电路稳定性的影响 …… 168
4.3 深度负反馈放大电路的近似计算 …… 169
4.3.1 深度负反馈放大电路的特点 …… 170
4.3.2 具有深度负反馈放大电路计算举例 …… 171
小结 …… 173
习题与思考题 …… 174

第5章 波形发生电路 …… 179

引言 …… 179
5.1 正弦波振荡电路 …… 179
5.1.1 正弦波振荡电路的基本原理 …… 179
5.1.2 *RC* 串并式正弦波振荡电路 …… 181
5.1.3 *LC* 正弦波振荡电路 …… 184
5.1.4 晶体振荡电路 …… 190
5.2 电压比较器 …… 192
5.2.1 单限比较器 …… 192
5.2.2 滞回比较器 …… 193
5.3 非正弦波发生电路 …… 196
5.3.1 矩形波发生电路 …… 196

标准分享网 www.bzfxw.com 免费下载

5.3.2　三角波和锯齿波发生电路 …… 200
附录5.1　*RC*电路的暂态特性 …… 203
小结 …… 210
习题与思考题 …… 212

第6章　直流稳压电源 …… 217

引言 …… 217
6.1　小功率整流滤波电路 …… 217
6.1.1　单相桥式整流电路 …… 217
6.1.2　电源滤波电路 …… 219
6.2　串联型集成稳压电路 …… 222
6.2.1　串联型集成稳压电路的工作原理 …… 222
6.2.2　集成稳压电路的主要参数 …… 223
6.2.3　串联型集成稳压器简介 …… 225
6.3　串联型集成稳压器的应用 …… 225
6.3.1　三端固定输出电压集成稳压器 …… 225
6.3.2　三端可调输出电压集成稳压器 …… 226
小结 …… 227
习题与思考题 …… 228

第7章　数字电路基础 …… 230

引言 …… 230
7.1　数字电路概述 …… 230
7.1.1　数字电路的特点 …… 230
7.1.2　数制和代码 …… 231
7.2　逻辑函数及其表示方法 …… 235
7.2.1　逻辑变量与逻辑函数 …… 235
7.2.2　基本逻辑运算和复合逻辑运算 …… 236
7.2.3　逻辑函数的表示方法 …… 240
7.3　逻辑函数的化简法 …… 243
7.3.1　逻辑代数的公式和规则 …… 243
7.3.2　逻辑函数的代数化简法 …… 246
7.3.3　逻辑函数的卡诺图化简法 …… 248
7.4　基本逻辑门电路 …… 256
7.4.1　晶体三极管的开关特性 …… 257

7.4.2 二极管门电路 …… 260
7.4.3 晶体三极管非门电路 …… 262
7.4.4 复合门电路 …… 263
7.5 TTL 逻辑门电路 …… 264
7.5.1 TTL 与非门的典型电路及工作原理 …… 264
7.5.2 电压传输特性和干扰容限 …… 266
7.5.3 TTL 与非门的输入特性、输出特性和负载能力 …… 268
7.5.4 TTL 与非门的转换速度 …… 271
7.5.5 抗饱和 TTL 电路 …… 273
7.5.6 集电极开路与非门和三态输出与非门 …… 275
7.6 MOS 逻辑门电路 …… 278
7.6.1 NMOS 门电路 …… 278
7.6.2 CMOS 门电路 …… 280
7.6.3 几种逻辑门电路的比较 …… 284
小结 …… 285
习题与思考题 …… 286
第 8 章 组合逻辑电路 …… 290
引言 …… 290
8.1 组合逻辑电路的分析方法和设计方法 …… 290
8.1.1 组合逻辑电路的分析方法 …… 290
8.1.2 组合逻辑电路的设计方法 …… 291
8.2 常用的组合逻辑电路 …… 293
8.2.1 编码器 …… 293
8.2.2 译码器 …… 296
8.2.3 数据分配器和数据选择器 …… 302
8.2.4 数值比较器 …… 306
8.2.5 加法器 …… 311
8.3 用中规模集成电路实现组合逻辑函数 …… 314
8.3.1 用数据选择器实现组合逻辑函数 …… 314
8.3.2 用二进制译码器实现组合逻辑函数 …… 316
8.4 组合逻辑电路中的竞争冒险现象 …… 317
8.4.1 竞争冒险的成因 …… 317
8.4.2 消除竞争冒险的方法 …… 318
8.5 可编程逻辑器件 …… 320

标准分享网 www.bzfxw.com 免费下载

8.5.1　可编程逻辑器件的分类和逻辑表示方法 …… 320
8.5.2　简单可编程逻辑器件 …… 322
8.5.3　复杂可编程逻辑器件和现场可编程门阵列 …… 330
小结 …… 334
习题与思考题 …… 336

第 9 章　触发器和时序逻辑电路 …… 338

引言 …… 338
9.1　触发器 …… 338
9.1.1　触发器的电路结构 …… 338
9.1.2　触发器的逻辑功能分类及其转换 …… 348
9.2　时序逻辑电路分析方法 …… 353
9.2.1　时序逻辑电路基本概念 …… 353
9.2.2　时序逻辑电路的分析方法 …… 354
9.3　寄存器 …… 355
9.3.1　数码寄存器 …… 355
9.3.2　移位寄存器 …… 357
9.4　计数器 …… 362
9.4.1　二进制计数器 …… 362
9.4.2　十进制计数器 …… 371
9.4.3　中规模集成计数器的功能分析与扩展 …… 376
小结 …… 388
习题与思考题 …… 389

第 10 章　脉冲电路及模数转换 …… 393

引言 …… 393
10.1　中规模集成单稳态触发器 …… 393
10.1.1　中规模集成单稳态触发器 …… 394
10.1.2　单稳态触发器应用举例 …… 397
10.2　门电路构成的多谐振荡器 …… 398
10.2.1　工作原理 …… 398
10.2.2　参数估算 …… 400
10.3　555 定时器及其应用 …… 401
10.3.1　555 定时器电路 …… 401
10.3.2　555 定时器的典型应用 …… 403

10.4 A/D 和 D/A 转换器 …… 408
10.4.1 概述 …… 408
10.4.2 A/D 转换器 …… 408
10.4.3 D/A 转换器 …… 420
小结 …… 425
习题与思考题 …… 426
部分习题答案 …… 430
参考文献 …… 436

标准分享网 www.bzfxw.com 免费下载

第1章　基本半导体器件

引　言

半导体器件是电子线路的重要组成部分。各种半导体器件都是以PN结为基础的，因此，本章首先介绍半导体和PN结的特性，然后逐一介绍半导体二极管、双极型晶体管和场效应管的结构、工作原理、特性和参数。对于半导体器件，重点应掌握它们的外特性，以便能合理选择和正确使用这些器件。

1.1　PN结

常见半导体的导电能力介于导体和绝缘体之间，然而，半导体之所以受到人们的重视，不仅是由于半导体特定的导电机理，更重要的是在它掺了极微量的杂质后就能明显地改变其导电性能。在近代电子器件中，用得最多的半导体材料是4价的硅和锗，而且都具有特定的晶体结构。下面以硅为例讨论半导体的导电特性。

1.1.1　本征半导体

硅(Si)原子有14个电子，它的外层电子轨道上有4个价电子。由纯净的硅原子所组成的硅单晶称为硅本征半导体。在硅原子组成晶体后，原子之间靠得很近，以致硅原子上的价电子不仅受自身原子核的束缚，还受相邻原子的影响，使价电子轨道交叠。每个价电子有时绕自身原子核运动，有时也出现在相邻原子所属的轨道上，为两个原子所共有，形成共价键结构。硅单晶的共价键结构示意图如图1.1.1所示。共价键表示两个共有电子对所形成的束缚作用。在这里我们应该指出，图1.1.1中所示的硅原子仅为硅单晶中的内部原子，不考虑硅单晶表面上的硅原子状态；硅单晶为金刚石结构，而图中所示的结构仅为一种形象的表述；为了突出价电子的作用和便于讨论，常把原子核和内层电子看作一个整体，称为惯性核；而在硅原子中，仅有4个价电子参与原子间的相互作用，以及有可能受激参与硅半导体的导电。

物质内部运载电荷的粒子称为载流子。物质的导电能力决定于载流子的数目和运动速度。本征半导体在热力学温度为0 K时，如果又无光照或电磁场等

外界影响,价电子摆脱不了共价键的束缚,不能成为自由电子。这时本征半导体内没有载流子,它相当于绝缘体。

在室温下,共价键中的电子从晶格振动获得能量,由于热分布的关系,总有一些价电子能获得较大的能量,足以克服共价键的束缚成为自由电子,即电子载流子,如图 1.1.1 所示。理论证明,在室温(300 K)时,硅晶体中的价电子必须获得大于电离能 $E_G = 1.1$ eV(对于锗,$E_G = 0.72$ eV)的能量,才能摆脱共价键的束缚成为自由电子。在价电子变为自由电子的同时,就在原来共价键处留下一个空位,这个空位称为空穴。空穴的出现是半导体区别于导体的一个重要特点。在共价键中出现空穴时,相邻共价电子对中的价电子比较容易离开它所在的共价键,填充到这个空穴中来,而在原共价键处又留下新的空穴,这个空穴又可被相邻原子的价电子填充,这样依次填充下去,便表现为空穴的移动。我们可以把空穴看成带正电的粒子(所带电量与电子相等、符号相反),那么在外电场的作用下,它可以在晶体中定向运动而形成电流。这也就是说,在本征半导体中有两种载流子,即自由电子和空穴。而通常的导体中只有自由电子,没有空穴。

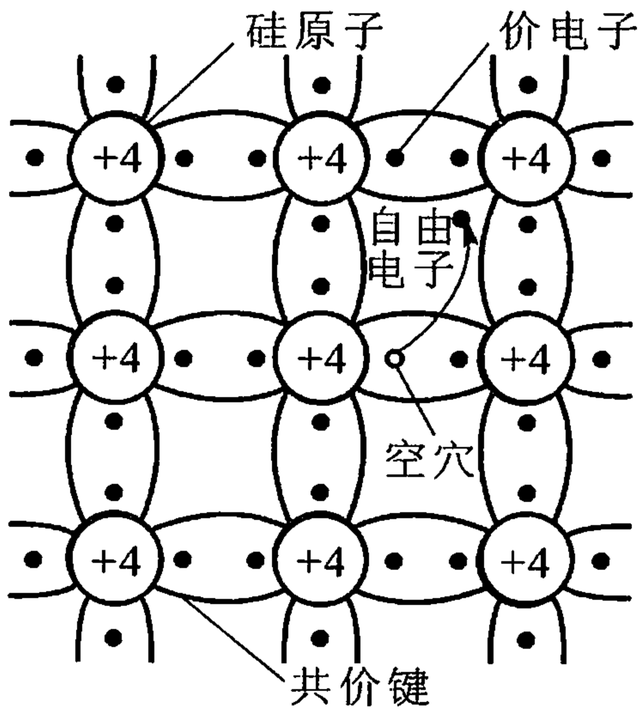


图 1.1.1　硅单晶的共价键结构

在本征半导体内,受激产生一个自由电子时,必然相伴产生一个空穴,电子和空穴是成对产生的,这种现象称为本征激发。在任何情况下,在本征半导体中所生成的自由电子数量与所生成的空穴数量总是相等的。与本征激发相反的过程是自由电子在运动中,又会遇到空穴,并与空穴相结合而消失,这一过程称为复合。在本征半导体中,载流子总是不断地产生,又总是不断地复合,在一定的温度下,电子空穴对的产生与复合最终达到动态平衡,使载流子浓度为定值。在半导体材料确定后,载流子的浓度与温度有关,随着温度的升高,载流子浓度近似按指数规律迅速增大。在室温附近,温度每升高 8 ℃,硅的载流子浓度增加一倍。由此可见,温度是影响半导体性能的一个重要因素。

1.1.2　杂质半导体

本征半导体的导电能力很弱。但是,在本征半导体中掺入微量(约万分之一)的其他元素,就会使半导体的导电性能发生显著变化。这些微量元素的原子称为杂质。掺杂后的半导体称为杂质半导体。实用的晶体管、集成电路都是由杂质半导体材料制成的。杂质半导体可分为 N 型和 P 型两种。

标准分享网　www.bzfxw.com　免费下载

1. N 型半导体

在本征硅中掺入微量的 5 价元素磷，磷原子会取代晶格中某些位置的硅原子，如图 1.1.2 所示。由于磷原子数量甚微，因此，整个晶体的结构基本不变；磷原子取代原硅原子的位置，并保持原有的金刚石结构，所以磷也只可能与邻近的 4 个硅原子形成共价键结构。磷是 5 价元素，它用 4 个电子与相邻 4 个硅原子组成共价键后，还多余 1 个电子。这个电子仅受磷原子的吸引，不受共价键的束缚，它只要获得大于磷原子的电离能（$E_G = 0.044$ eV），就能摆脱束缚而成为自由电子。在室温下，电子的平均热动能为 0.026 eV，所以，这些由杂质引入的价电子几乎全部被激发为自由电子。

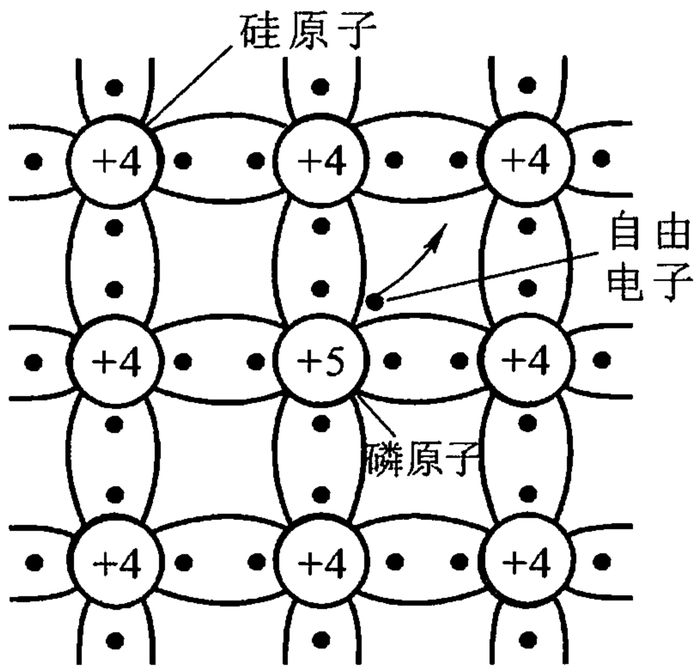


图 1.1.2　硅中掺磷形成 N 型半导体

由于磷原子给出 1 个多余的电子，故称磷原子为施主杂质，也称 N 型杂质。磷原子给出 1 个电子后，本身成为正离子，但在产生自由电子的同时，并不产生空穴，这与本征激发不同。正离子束缚在晶格中不能移动，所以它不能参与导电。在掺磷后的半导体中同样也有本征激发产生的自由电子空穴对，只是数量相对很少，因此，这种杂质半导体中的自由电子数远大于空穴数，故称这种杂质半导体为 N 型半导体。N 型半导体中，电子为多数载流子（简称多子），空穴为少数载流子（简称少子）。

2. P 型半导体

类似于 N 型半导体，在本征硅中掺入微量 3 价元素硼，将会产生大量的空穴。掺硼后的硅晶体结构如图 1.1.3 所示。由于硼原子只有 3 个价电子，当它与相邻 4 个硅原子形成共价键时，必然缺少 1 个价电子，相邻硅原子的价电子很容易来填充这个空位，原来硅原子的共价键因缺少一个电子，因而形成 1 个空穴。由于硼原子的电离能（也就是其他未被激发的价电子填充到这个空位所需要的能量，表现为硼原子接受一个电子的能量）E_G 很小（0.045 eV），所以在室温下，几乎全部硼原子的空位都被填充，产生与硼原子数相等的空穴。

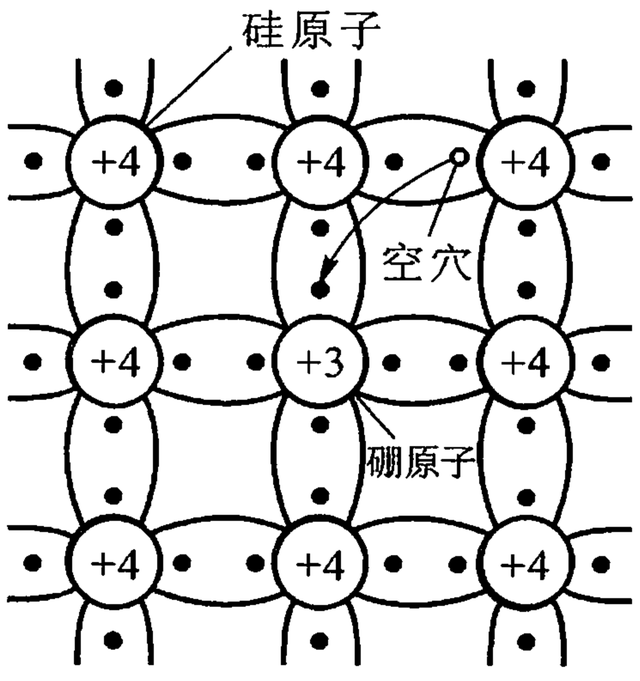


图 1.1.3　硅中掺硼形成 P 型半导体

硼原子能接受1个电子,故称为受主杂质或P型杂质。硼原子接受1个电子后,成为带负电的不能移动的负离子,同时产生1个空穴。但产生空穴的同时并不产生自由电子,只是由于本征激发产生为数甚少的自由电子空穴对,因此,这种杂质半导体中的空穴数远大于自由电子数,故称这种杂质半导体为P型半导体。在P型半导体中,空穴为多子,自由电子为少子。

在杂质半导体中,少子浓度远小于多子浓度,多子的浓度基本上等于杂质的浓度。尽管杂质含量甚微,但它对半导体的导电能力却有很大影响,掺入0.01%的杂质,载流子浓度将增加10 000倍。

少子的浓度虽然很低,但受温度的影响较大,而多子的浓度基本不受温度的影响。

如果在本征硅中既掺入微量的5价施主杂质,同时又掺入微量3价受主杂质,那么,这两种杂质将会在宏观上表现出一种中和效果,而其表现出的导电特性取决于掺入较多的那种杂质所引起的属性。例如,在本征硅中掺入0.02%的磷与0.01%的硼,那么,其结果等效于掺入0.01%的施主杂质所形成的N型半导体。

1.1.3　PN结的形成

在一块本征半导体上,一边掺入施主杂质,使之变为N型半导体,另一边掺入受主杂质,使之变为P型半导体,并且两边的掺杂受到精心控制,使之在这一块本征半导体上,一半为N型、另一半为P型半导体。那么在P型半导体和N型半导体的交界面附近,就会形成一个具有独特物理特性的PN结。应当指出,一块N型半导体与另一块P型半导体放在一起是不可能形成PN结的,这是因为,两块单晶半导体在其交界面上已不再是完整的单晶体了。

在P型半导体中,多子为空穴,少子为电子;而N型半导体中则相反,多子为电子、少子为空穴。尽管如此,无论是P型半导体还是N型半导体,就其整体来说都是呈电中性的。

当两种类型的半导体结合在一起时,P区的空穴浓度高于N区,于是空穴将越过交界面由P区向N区扩散;同理,N区的电子浓度高于P区,电子将越过交界面由N区向P区扩散。如图1.1.4(a)所示,多子由一区扩散到另一区时,成为另一区的少子并与该区的多子复合,因此,在交界面的左侧留下带负电荷的受主离子,右侧留下带正电荷的施主离子,于是在交界面的附近形成一个空间电荷区,这就是PN结。在这个空间电荷区内,只有不能移动的、数量相等的正、负离子,而载流子因扩散和复合而消耗掉了,因此,空间电荷区又称耗尽层。PN结两边载流子的扩散是不会无限地进行下去的,原因在于,空间电荷区中的正、负离

标准分享网　www.bzfxw.com　免费下载

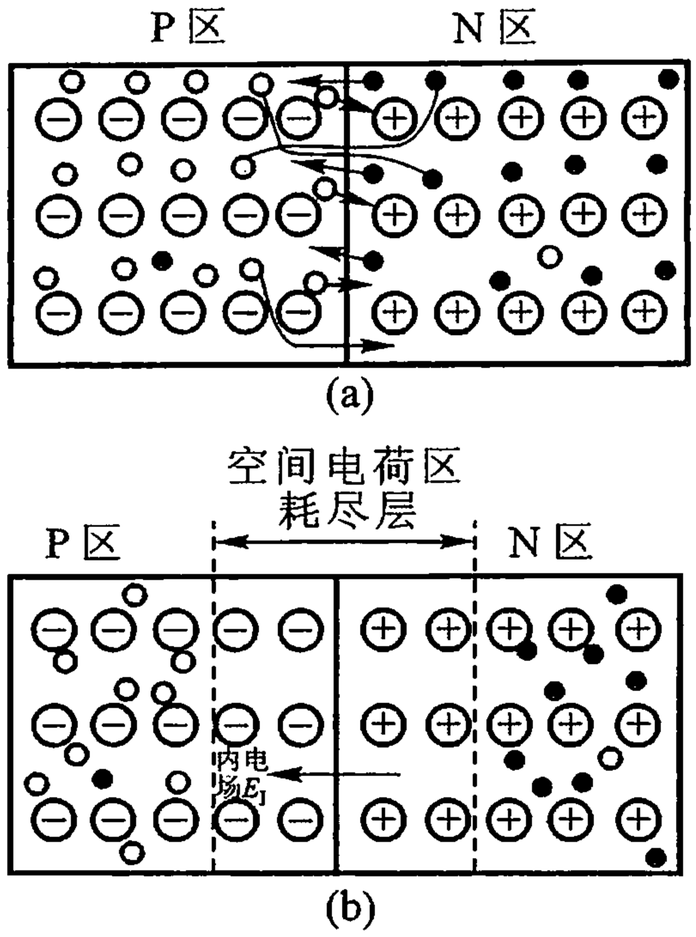


图 1.1.4 载流子的运动及 PN 结的形成

(a) 载流子的扩散 (b) PN 结的形成

子之间形成一个内电场 E_I,如图 1.1.4(b)所示,其方向自 N 区指向 P 区,它阻止多子的继续扩散。当 PN 结两侧半导体中的少子进入势垒区后,就会在 E_I 的作用下产生漂移运动。漂移运动方向与扩散运动方向相反。扩散运动使空间电荷区加宽,内电场增强,于是扩散阻力增大;漂移运动使空间电荷区变窄,内电场减弱,于是扩散容易进行。这两种运动最终会达到动态平衡,在平衡状态下,两边载流子尽管还有往来,但是有多少载流子扩散过去,便会有同样数量的载流子漂移过来。于是在交界面附近形成了稳定的空间电荷区。在 PN 结中,由于内电场的作用,N 区电位比 P 区高,两个区之间存在接触电位差。N 区的电子必须付出一定的能量,才能扩散到 P 区,因此,空间电荷区又称势垒区或阻挡层。

1.1.4 PN 结的特性

如前所述,PN 结不接外加电压时,扩散和漂移处于动态平衡,扩散电流与漂移电流大小相等、方向相反,通过 PN 结的总电流为零。此时的 PN 结称为平衡结。下面分别讨论 PN 结加正向电压和反向电压的情况。

1. 外加正向电压

电源的正极接 P 区,负极接 N 区,称为加“正向电压”或“正向偏压”。如图 1.1.5 所示的电路为 PN 结加正向偏压的情形,可见,外加电场与 PN 结内电场

方向相反。外电场将 P 区的多数载流子空穴和 N 区的多数载流子电子推向 PN 结，使得空间电荷区内的一部分正、负离子被中和。其结果是空间电荷量减少，PN 结变窄。总而言之，外加正向电压使结内电场减弱，由 E_I 减少到 $E_I - E_F$，耗尽层变窄，更有利于扩散运动的进行，于是结的平衡被打破，扩散电流大于漂移电流。这时扩散电流显著增加，而由少数载流子产生的漂移电流对总电流的影响可以忽略。因此，通过 PN 结的电流主要是扩散电流，它在外电路形成一个流入 P 区的电流 I_F，称为正向电流。

2. 外加反向电压

电源的正极接 N 区，负极接 P 区，如图 1.1.6 所示，称为加“反向电压”。这种情况与加正向电压时相反，外电场将 P 区和 N 区的多数载流子拉离 PN 结，使得空间电荷区内的正、负离子增多。其结果是：空间电荷量增加，PN 结变宽。此时，结内电场由 E_I 增加到($E_I + E_R$)，而增加的部分 E_R 正是由于外电场产生的。于是多数载流子更难越过耗尽层，扩散电流近似为零，而少数载流子更易于作漂移运动，所以通过 PN 结的电流主要是漂移电流，它表现为从外电路流进 N 区的反向电流 I_R。在温度一定时，少数载流子的浓度不变，因此，反向电流在一定范围内不随外加反向电压而变化，所以通常把反向电流称为反向饱和电流，并以 $I_{R(sat)}$ 表示。由于少数载流子浓度很小，所以反向饱和电流很弱，硅 PN 结的 $I_{R(sat)}$ 一般在 1 μA 以下，但它受温度的影响很大。

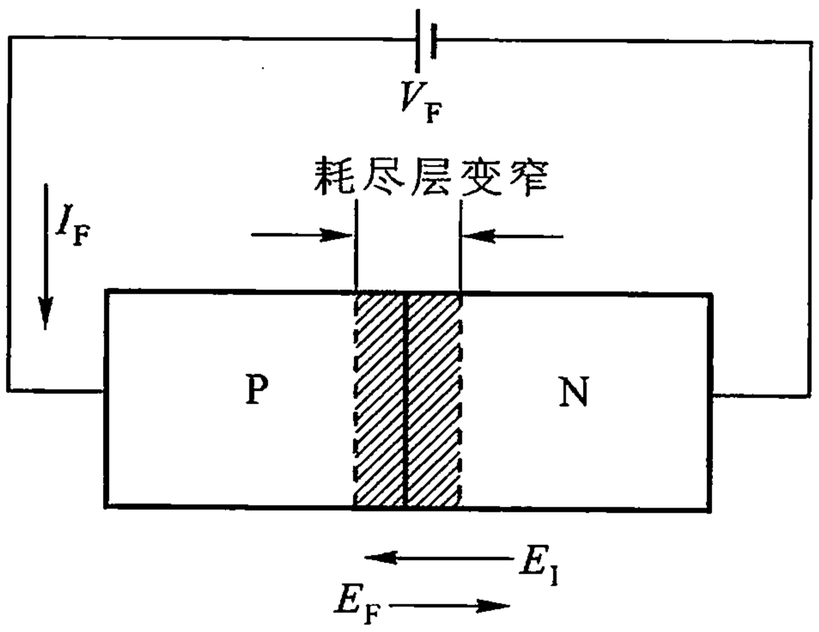


图 1.1.5　外加正向电压的 PN 结

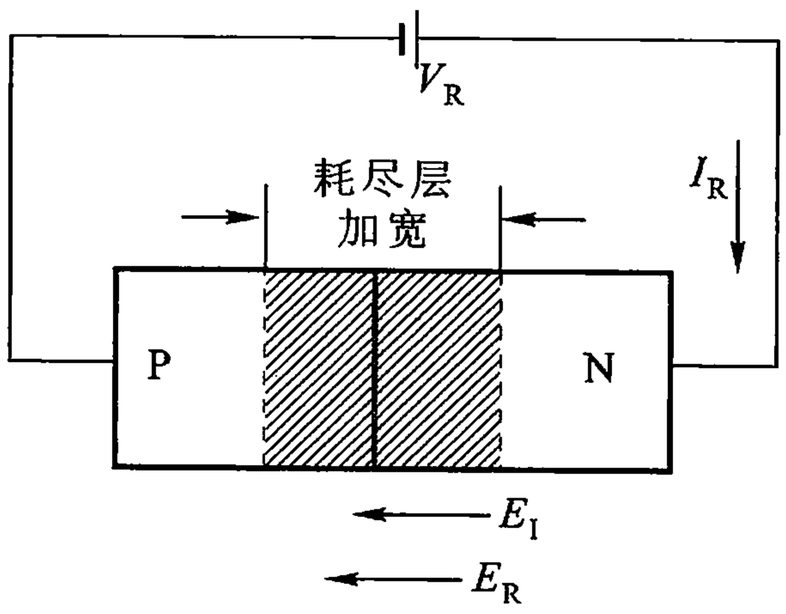


图 1.1.6　外加反向电压的 PN 结

上述分析表明，PN 结加正向电压时，耗尽层变窄，能产生较大的扩散电流，也就是说，PN 结呈现较小的正向电阻，正向电流较大；加反向电压时，耗尽层变宽，只能产生非常小的漂移电流，也就是说，PN 结呈现较大的反向电阻，反向电流很小。PN 结的这种正向导电性能好而反向导电性能差的特性，称为 PN 结的单向导电性。

标准分享网　www.bzfxw.com　免费下载

1.2 二 极 管

1.2.1 二极管的结构及符号

半导体二极管是由一个 PN 结及它所在的半导体再加上电极引线和管壳构成。半导体二极管按其不同结构,可分为点接触型、面接触型和平面型等。

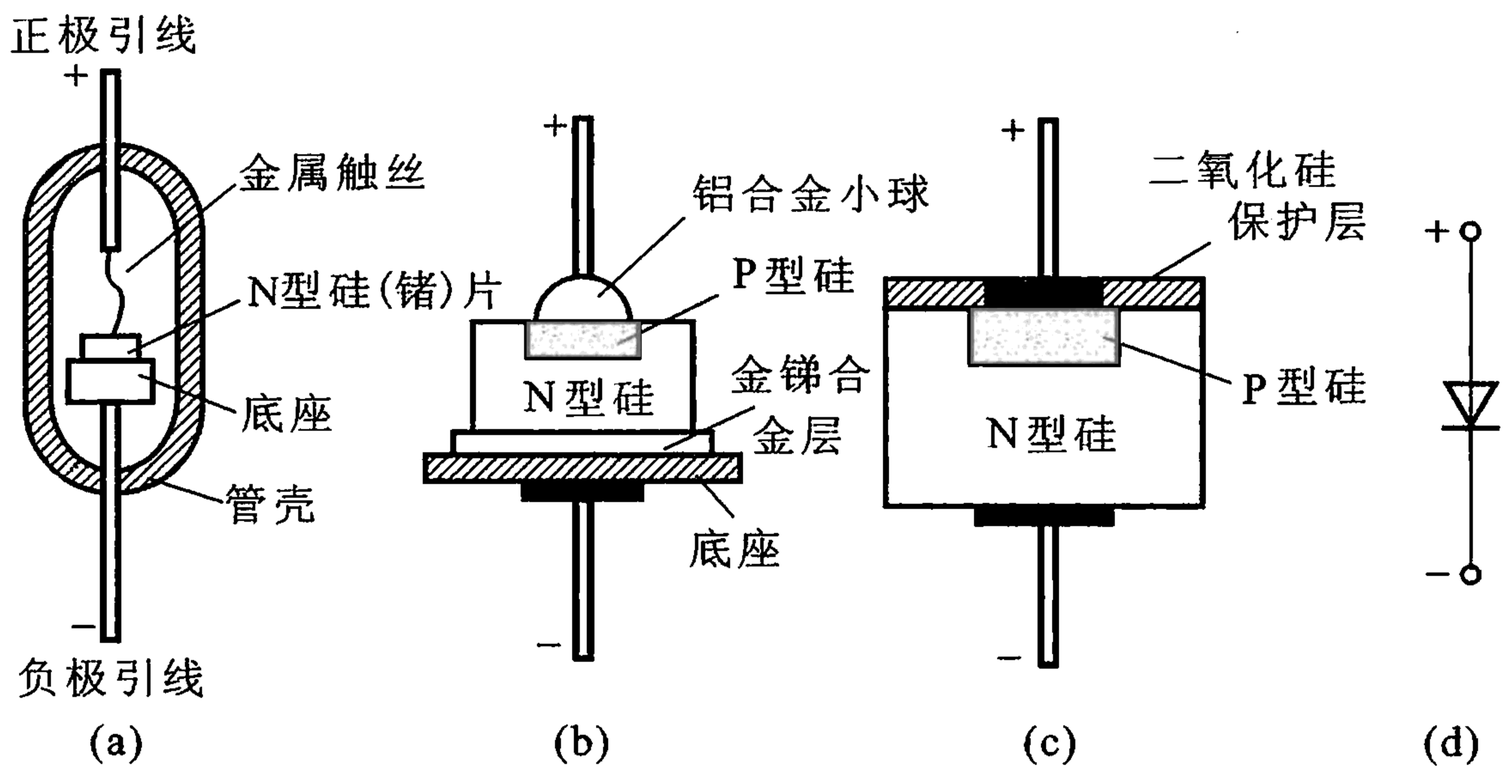


图 1.2.1 二极管的结构类型和符号

(a) 点接触型 (b) 面接触型 (c) 平面型 (d) 符号

点接触型二极管的结构如图 1.2.1(a)所示。它由一根含 3 价元素锌的金属触丝压在 N 型硅或锗晶片上,经过电处理,使触丝尖端的锌原子掺入到 N 型硅或锗片中,将触丝尖端附近的 N 型材料转变成 P 型材料,形成 PN 结。点接触型二极管 PN 结的面积很小,因而结电容小,工作频率较高,但不能承受较高的反向电压和较大的电流。这类管子适用于作高频检波和脉冲数字电路中的开关元件。例如,点接触型二极管 2AP1,最大整流电流仅为 16 mA,而最高工作频率高达 150 MHz。

面接触型二极管的结构如图 1.2.1(b)所示。将 3 价元素铝球置于 N 型硅片上,加热使铝球与硅片互相熔合和渗透,形成合金,从而使接触的那部分硅片转变成 P 型,形成 PN 结。面接触型二极管 PN 结面积大,允许通过较大的电流,但结电容也大,因此,这类管子适用于整流等低频电路中。例如,硅面接触型二极管 2CP1,最大整流电流为 400 mA,而最高工作频率只有 3 kHz。

平面型二极管是用制造平面管的工艺制成的。它是在N型硅片上生成一层氧化膜，再用照相、腐蚀等一套光刻技术开出一个窗口，通过窗口进行浓硼扩散，形成P型区，从而形成PN结。其结构如图1.2.1(c)所示。结面积较大的平面型二极管可用于整流等低频电路。结面积小的平面型二极管，极间电容小，适用于高频电路和脉冲数字电路，常用的有2CK9～19等。

二极管在电路中的符号如图1.2.1(d)所示，P区的引出端为正极或阳极，N区的引出端为负极或阴极。符号箭头指示方向为正向电流的方向。二极管的种类较多，若按材料来分，有硅管、锗管等。若按用途来分，有普通二极管、整流二极管、检波二极管、开关二极管、稳压二极管等。

1.2.2　二极管的伏安特性

1. PN结的伏安特性

理论证明，流过PN结的电流与PN结两端的电压之间的关系为

$$i_D = I_{R(sat)}(e^{v_D/V_T} - 1) \tag{1.2.1}$$

式中，$V_T = kT/q$ 称为温度的电压当量，其中，k 为玻耳兹曼常数，T 为热力学温度，q 为电子的电量。在室温(300 K)时，$V_T \approx 26$ mV。

把式(1.2.1)绘成曲线，如图1.2.2所示，称为PN结的伏安特性曲线。当PN结加正向电压时，在 v_D 大于 V_T 几倍以后，式(1.2.1)中的 $e^{v_D/V_T} >> 1$，于是 $i_D = I_{R(sat)}e^{v_D/V_T}$，即正向电流随电压 v_D 按指数规律增加，如图1.2.2中曲线 OA 段所示，这段曲线称为正向特性。当PN结加反向电压时，在 $|v_D|$ 大于 V_T 几倍以后，式(1.2.1)中的 $e^{v_D/V_T} \to 0$，于是 $i_D \approx -I_{R(sat)}$，即反向电流是一个不随外加电

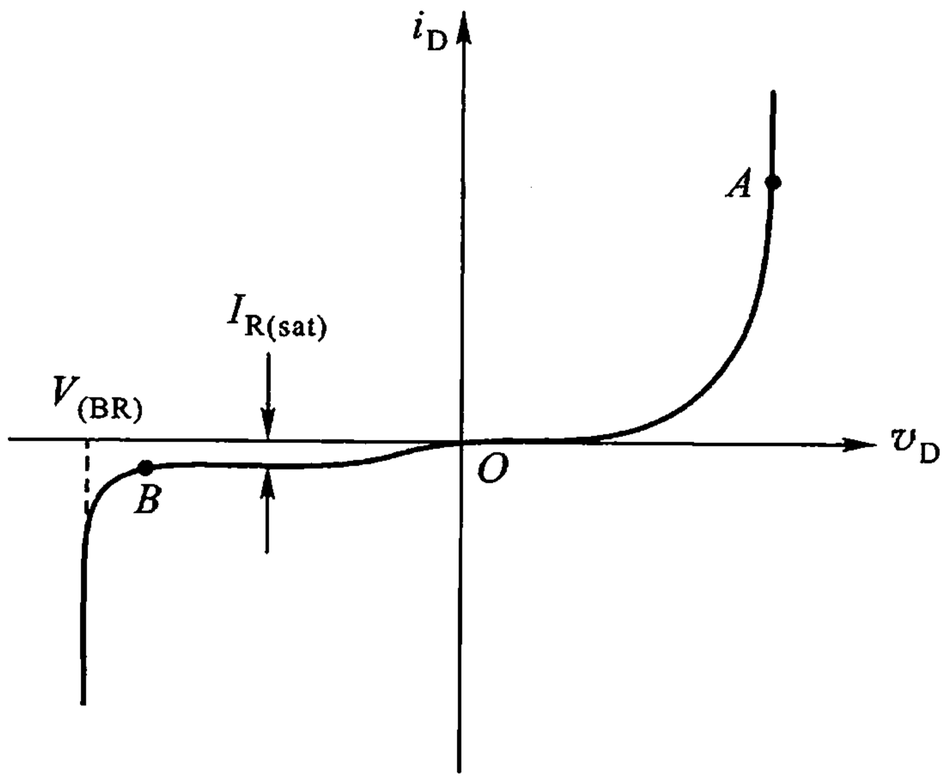


图1.2.2　PN结的伏安特性曲线

标准分享网　www.bzfxw.com　免费下载

压而变化的常数，如图 1.2.2 中曲线 *OB* 段所示，这时 v_D 和 i_D 为负值，这段曲线称为反向特性。

当加于 PN 结的反向电压增大到一定数值时，反向电流突然急剧增大，如图 1.2.2 所示。这种反向电流剧增的现象称为 PN 结的反向击穿，对应于电流开始剧增的电压，称为击穿电压 $V_{(BR)}$。

2. 实际二极管的伏安特性

二极管的伏安特性与 PN 结的伏安特性略有差别，主要是因为：二极管正向偏置时，PN 结以外 P 区和 N 区的体电阻、电极的接触电阻等的存在，使得在一定的正向偏压下，正向电流有所减少；在反向偏置时，由于 PN 结表面漏电流的存在，使反向电流稍有增大，且随反向电压的增高略有增加。反向击穿电压依具体的二极管不同表现出很大的差异，绝大多数二极管当其反向电压达到其击穿电压时，已导致了二极管的损坏，因而在通常的设备下很难测出其反向击穿电压 $V_{(BR)}$。二极管的伏安特性曲线可用逐点测量的方法测绘出来，也可用图示仪方便地显示出来。图 1.2.3 所示为两种二极管的实测特性曲线，曲线可分为如下所述的三部分。通常在导通电流不是特别大时，我们都忽略二极管的各种附加电阻与表面漏电流，认为二极管的伏安特性就是 PN 结的伏安特性。

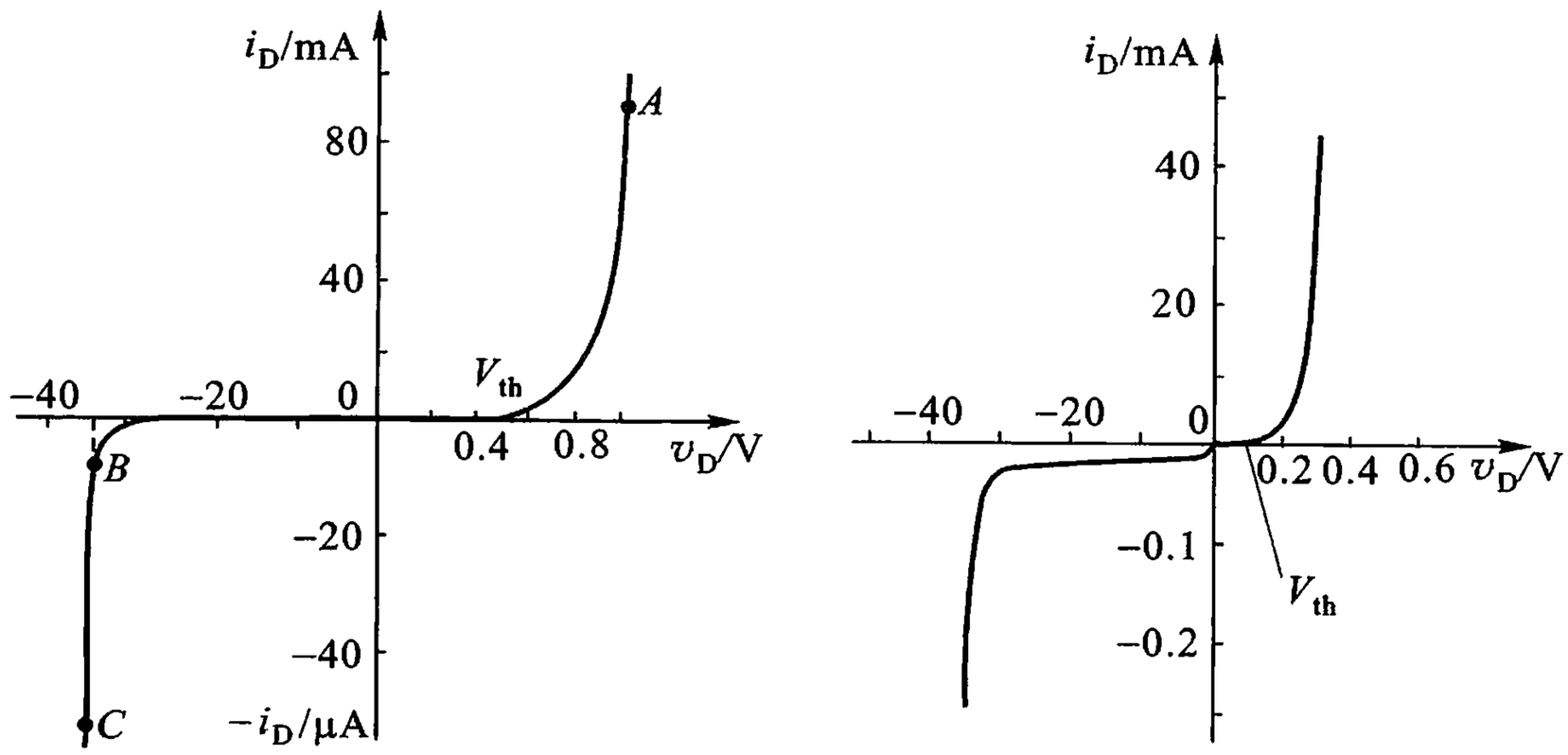


图 1.2.3 二极管的伏安特性曲线

(a) 硅管的特性 (b) 锗管的特性

(1) 正向特性

图 1.2.3(a)中 0 *A* 一段为正向特性，由图可见，当正向电压较小时，由于外电场还不足以克服内电场对载流子扩散运动所造成的阻力，故正向电流仍然很

小。当正向电压超过一定的数值 V_{th} 后，内电场被显著削弱，电流才随电压迅速增加。电压 V_{th} 称为二极管的门限电压或开启电压，硅二极管的 V_{th} 约为 0.5 V，锗管的 V_{th} 约为 0.1 V。

（2）反向特性

反向电流 $I_{R(sat)}$ 很小，但随温度的升高急剧增加。在常温下，小功率二极管的 $I_{R(sat)}$，硅管小于 0.1 μA，锗管小于 0.1 mA，硅管的反向特性如图 1.2.3(a)的 $0B$ 段，反向电流基本不随反向电压改变。锗管的反向特性不呈水平，见图 1.2.3(b)。

（3）反向击穿特性

反向击穿特性如图 1.2.3(a)中的 BC 段。反向击穿电压一般在几十伏以上(高反压管可达几千伏)。然而，当二极管处于反向击穿时，由于反向击穿电流较大，导致 PN 结晶体结构的破坏，致使二极管烧毁，所以，除了稳压二极管外，大多数二极管观察不到其反向击穿特性。

3. 理想二极管的特性

在电路中，如果二极管的正向压降远小于和它串联的电压，反向电流远小于和它并联的电流，则二极管可用理想二极管来等效。理想二极管的特性如图 1.2.4 中实线所示。由图可见，理想二极管的 V_{th} 和正向压降均为零，反偏时的反向电流也为零。一般情况，二极管都可近似看作理想的。用理想二极管分析电路将带来很大的方便。

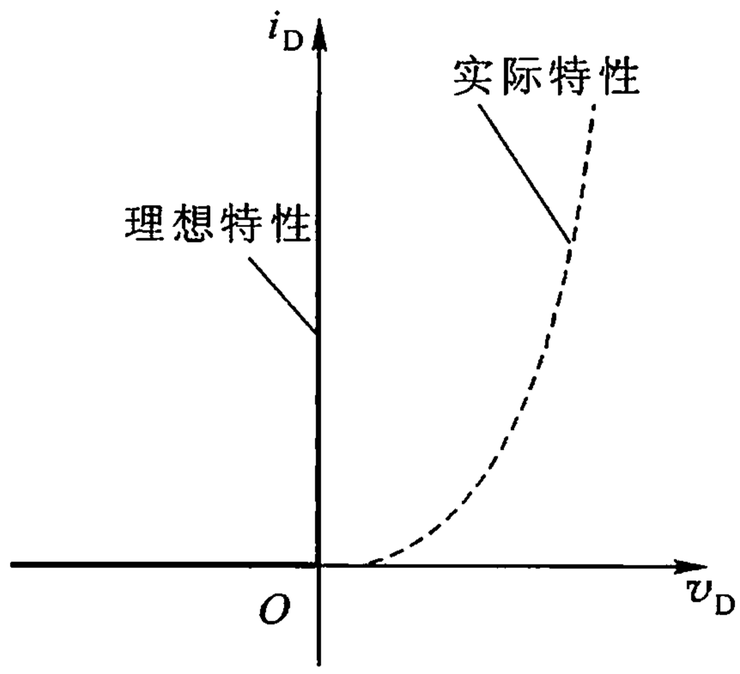


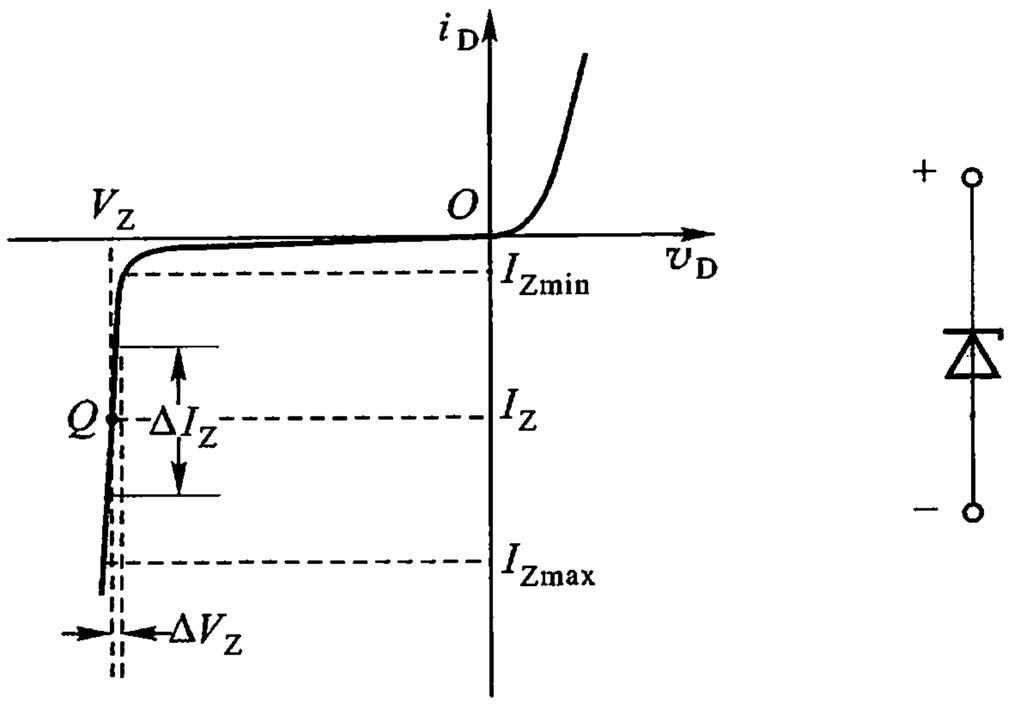
图 1.2.4　理想二极管的特性

4. 稳压二极管

除了前面讨论的普通二极管外，在电子技术的发展过程中，还研制成了各种特殊二极管。如稳压二极管、变容二极管、光电二极管和发光二极管等。这里只介绍稳压二极管。

稳压二极管简称稳压管，实质上就是一个面接触型硅二极管。它具有陡峭的反向击穿特性，工作在反向击穿状态，其特性如图 1.2.5(a)所示。稳压管的符号如图 1.2.5(b)所示。图中，稳压管正向导通如同普通二极管，而图中的 V_Z 表示反向击穿电压，即稳压管的稳定电压。稳压管的稳压作用在于：很大的电流变化量 Δi_Z，只引起很小的电压变化 Δv_Z。击穿特性越陡，稳压管的动态电阻 $r_Z = \Delta v_Z / \Delta i_Z$ 越小，稳压性能就越好。

标准分享网　www.bzfxw.com　免费下载



(a) (b)

图 1.2.5 稳压二极管的特性与符号

(a) 特性曲线 (b) 符号

1.2.3 二极管的主要参数

1. 最大正向直流电流 I_{FM}

它是二极管长期工作时允许通过的最大正向平均电流。其大小决定于 PN 结的面积、材料和散热条件。因电流通过管子时,PN 结要消耗一定的功率而发热,电流太大将使 PN 结过热而烧毁。因此,使用时不要超过 I_{FM} 值。

2. 反向峰值电压 V_{RM}

当反向电压增加到击穿电压 $V_{(BR)}$ 时,反向电流剧增,二极管的单向导电性被破坏,甚至因过热而烧毁。为了保证管子安全工作,V_{RM} 值通常取击穿电压的一半。

3. 反向直流电流 I_R

反向电流 I_R 是管子未击穿时反向电流的数值。I_R 愈小,管子的单向导电性能愈好。

4. 最高工作频率 f_M

它是二极管具有单向导电性的最高工作频率。其值主要由管子的势垒电容和扩散电容的大小决定。

上述二极管的参数反映了其基本性能,是使用二极管的依据。二极管的类型和参数可从半导体器件手册中查出。另外,不同类型的二极管还有其他不同类型的性能参数。

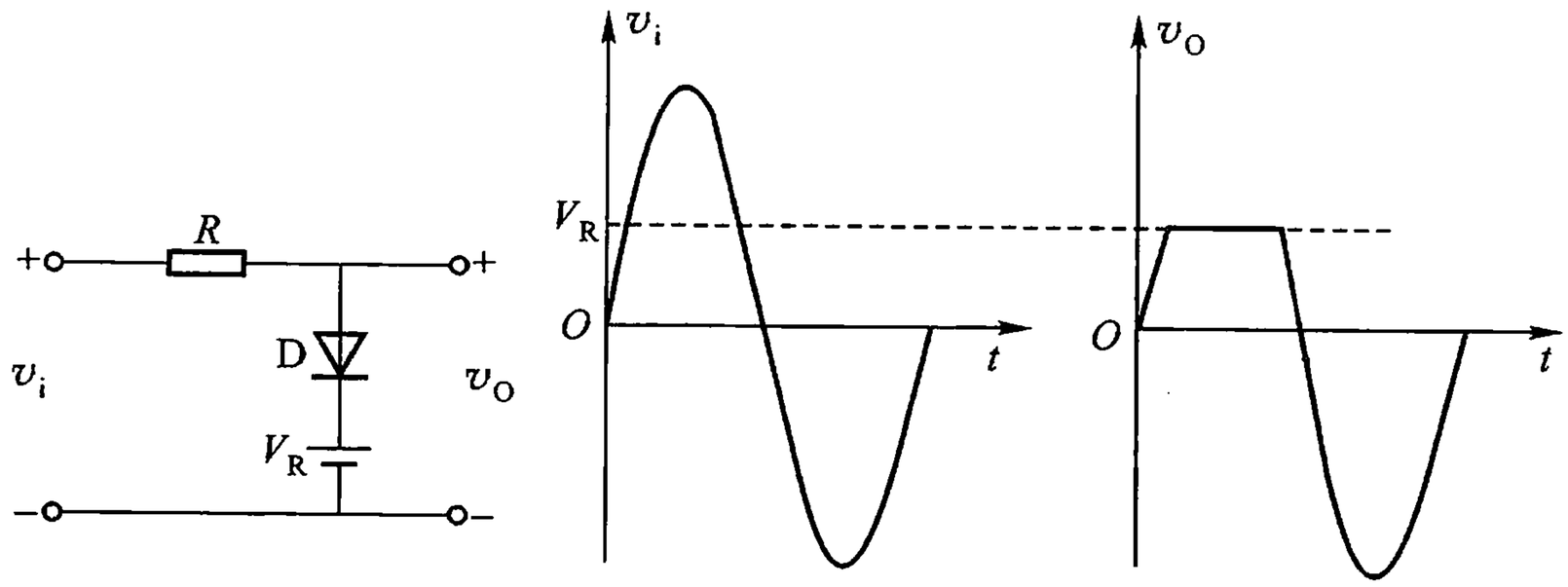
1.2.4　二极管应用举例

1. 限幅电路

二极管的应用很广，可用作整流、检波、限幅、钳位和数字电路中的开关等。整流二极管主要用于在交、直流电路变换中的整流，开关二极管主要用于小电流电路中的开关。各种二极管在不同的电路中运用非常广泛，这里只介绍普通二极管的限幅电路和稳压管的稳压电路。所谓限幅，是指输出信号的幅度受到规定电压（限幅电压）的限制。图 1.2.6(a)所示为一个二极管限幅电路，V_R 为限幅电压。在实际工作中，通常可把二极管看作理想的，即可忽略它的门限电压 V_{th} 和正向压降，并可把反向电阻视作无穷大。因此，理想二极管相当于一个理想开关，正偏时它接通，反偏时它断开。对于如图 1.2.6(a)所示的电路，输入信号 v_i 大于限幅电压 V_R 时，加于二极管 D 上的电压 $(v_i - V_R)$ 为正，二极管导通，它相当于短路，输出电压就被限定在 V_R 值上。反之，当 $v_i < V_R$ 时，加于 D 上的电压 $(v_i - V_R)$ 为负，二极管反偏截止，它相当于开路，流过 R 的电流为零，$v_O = v_i$。概括地说，对于理想二极管，图 1.2.6(a)所示限幅电路中，v_O 与 v_i 的关系为

$$v_O = \begin{cases} v_i & v_i < V_R \\ V_R & v_i \geqslant V_R \end{cases}$$

由此可得到输出电压 v_O 的波形如图 1.2.6(b)所示。显然，当 V_R 为不同极性和数值时，将有相应的各种限幅情况。



(a)　　(b)

图 1.2.6　二极管限幅电路及工作波形

（a）电路　（b）输入/输出波形

2. 稳压电路

图 1.2.7 所示为二极管稳压电路，稳压管 D_Z 工作于反向击穿状态，电阻 R

标准分享网　www.bzfxw.com　免费下载

起限流和调压作用，称为限流电阻。输入电压 V_I 通常是整流滤波的输出电压，当 $V_I > V_Z$ 时，稳压电路的输出电压等于稳压管的稳定电压 V_Z。由于二极管与负载 R_L 是并联的，所以这种电路又称为并联型稳压电路。下面简单介绍电路的稳压原理。

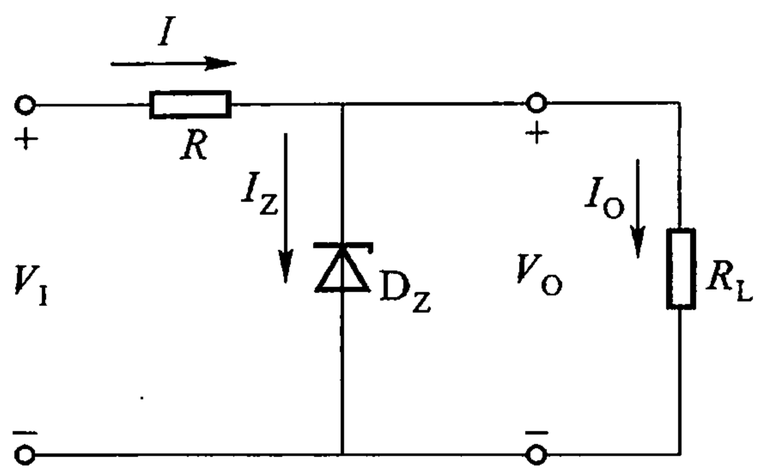


图 1.2.7 二极管稳压电路

当负载 R_L 不变而输入电压增加时，输出电压 V_O 略有升高，使稳压管 D_Z 的端电压略有增加，稳压管的电流 I_Z 随之显著增加，总电流 $I = I_Z + I_O$ 增加较大，致使限流电阻 R 的压降 $I \cdot R$ 增加，输入电压的增量绝大部分降落在 R 上，从而使输出电压 V_O 基本不变。反之，当 V_I 减小，I_R 随之减小，也能使 V_O 基本稳定。

当输入电压 V_I 不变而负载 R_L 减小，I_O 增大时，则总电流 I 增大，造成输出电压下降。由于稳压管的端电压略有下降，使其电流 I_Z 大为减小，I_Z 的减小部分几乎等于 I_O 的增量，使总电流 I 基本不变，从而保持了输出电压的基本恒定。相反，R_L 增大时，V_O 也能保持基本恒定。

由此可见，在稳压电路中，稳压管起着电流控制作用，无论是由于 I_O 或 V_I 的变动，使输出电压产生微小的变化，都将引起 I_Z 较大的改变，或用以补偿 I_O 的变化，或使总电流改变，并通过限流电阻产生调压作用，从而使输出电压稳定。因而，在具体使用过程中，所有稳压管都存在一个最大稳定电流 I_{Zmax} 与最小稳定电流 I_{Zmin}。超过 I_{Zmax}，即超过了管子的允许耗散功率；I_{Zmin} 是指稳压管的最小工作电流，低于此值，其电压不再稳定，I_{Zmin} 可在手册中查到。

例 1.2.1 稳压管稳压电路如图 1.2.7 所示。稳压管 D_Z 为 2CW14，其参数为：$V_Z = 6$ V，$I_{Zmax} = 33$ mA，$I_{Zmin} = 5$ mA。输入电压 $V_I = 15$ V，负载 R_L 在 0.5 kΩ 至 2 kΩ 之间变化，试计算限流电阻 R 的大小。

解 电路的输出电压就是稳压管的稳定电压，即 $V_Z = V_O = 6$ V。由于负载电阻的变化造成电压的不稳定，而稳压管稳压在于利用稳定电流 I_Z 来调整负载上的电压。

当 $R_L = 0.5$ kΩ 时，$I_O = I_{Omax} = V_Z / R_L = 12$ mA，此时应该有

$$\frac{V_I - V_Z}{R} > I_{Omax} + I_{Zmin}$$

即

$$R < \frac{V_I - V_Z}{I_{Omax} + I_{Zmin}} \approx 0.53 \text{ k}\Omega$$

当 $R_L = 2$ kΩ 时，$I_O = I_{Omin} = V_Z / R_L = 3$ mA，此时有

$$\frac{V_I - V_Z}{R} < I_{Omin} + I_{Zmax}$$

即

$$R > \frac{V_I - V_Z}{I_{Omin} + I_{Zmax}} = 0.25\ \text{k}\Omega$$

由此可得,R 的取值范围为 $0.25\ \text{k}\Omega < R < 0.53\ \text{k}\Omega$。可取 $R = 0.51\ \text{k}\Omega$。

1.3　双极型晶体管

在双极型晶体管(简称 BJT)①中,带正电的空穴和带负电的电子均参与导电,由此而得名。双极型晶体管又称晶体管或半导体三极管,以下简称晶体管。它由两个靠得很近的 PN 结构成,由于两个 PN 结的相互影响,使晶体管具有二极管所没有的电流放大功能。本节在介绍晶体管工作原理的基础上,进一步讨论它的特性曲线和参数。

1.3.1　晶体管的结构及符号

晶体管由 3 个掺杂区和两个背靠背的 PN 结构成。图 1.3.1(a)为 NPN 型晶体管示意图,中间是一层很薄的 P 型半导体,两边各为一块 N 型半导体,3 个区域分别称为发射区、基区和集电区,从这 3 个区域引出相应的电极,称为发射极 E、基极 B 和集电极 C,在 3 个区域的交界面上形成两个 PN 结,处于发射区和基区之间的 PN 结叫做发射结,处于基区和集电区之间的 PN 结称为集电结,图 1.3.1(b)为两类晶体管的符号,其中,发射极箭头的方向表示发射结处于正向偏置时电流的实际方向。

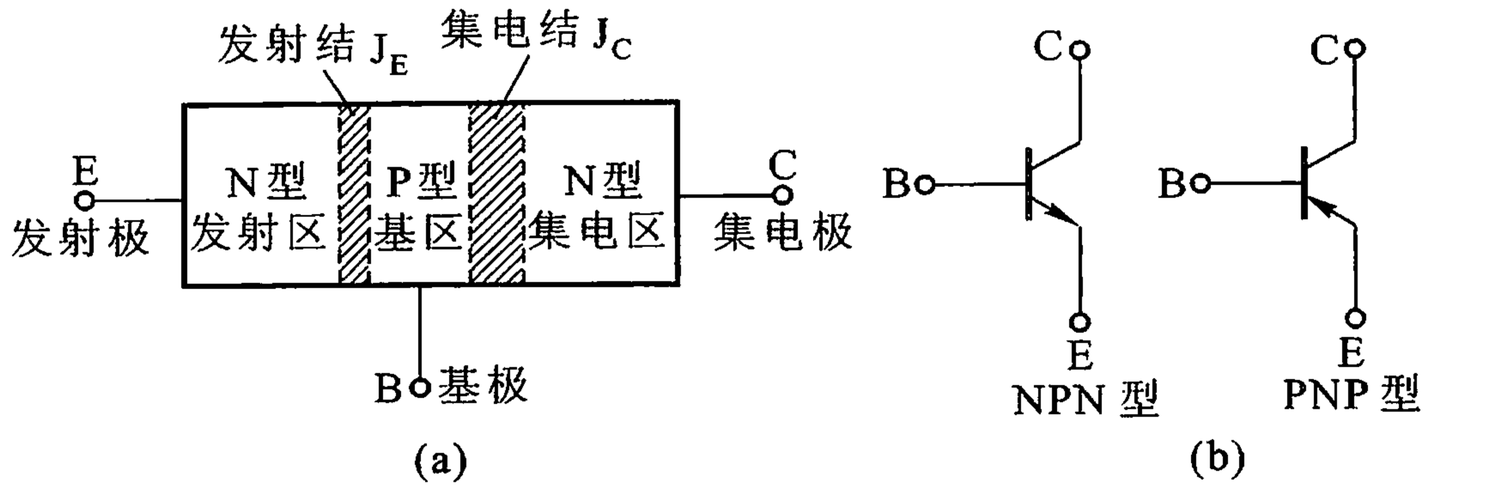
目前生产的晶体管有合金型和平面型两类,其制造方法与二极管相似。合金型晶体管的结构如图 1.3.2(a)所示。它在一块 N 型锗薄片两边分置两个铟球,再行烧结,形成两个 P 型区,然后焊上电极引线并封装而成。其杂质浓度大的 P 型区作发射区,另一 P 区作集电区,中间很薄的 N 型区(厚度为几微米到几十微米)作基区。很多 PNP 型锗管属于这种结构。硅平面管的结构如图 1.3.2(b)所示,它是采用多次氧化、光刻和杂质扩散等工艺制成的。NPN 型硅管大多数为平面型的。

晶体管的结构特点是:发射区掺杂浓度高,基区薄且掺杂浓度低,集电结面积大,以保证晶体管具有电流放大作用。

---

① BJT 为 Bipolar Junction Transistor 的缩写。

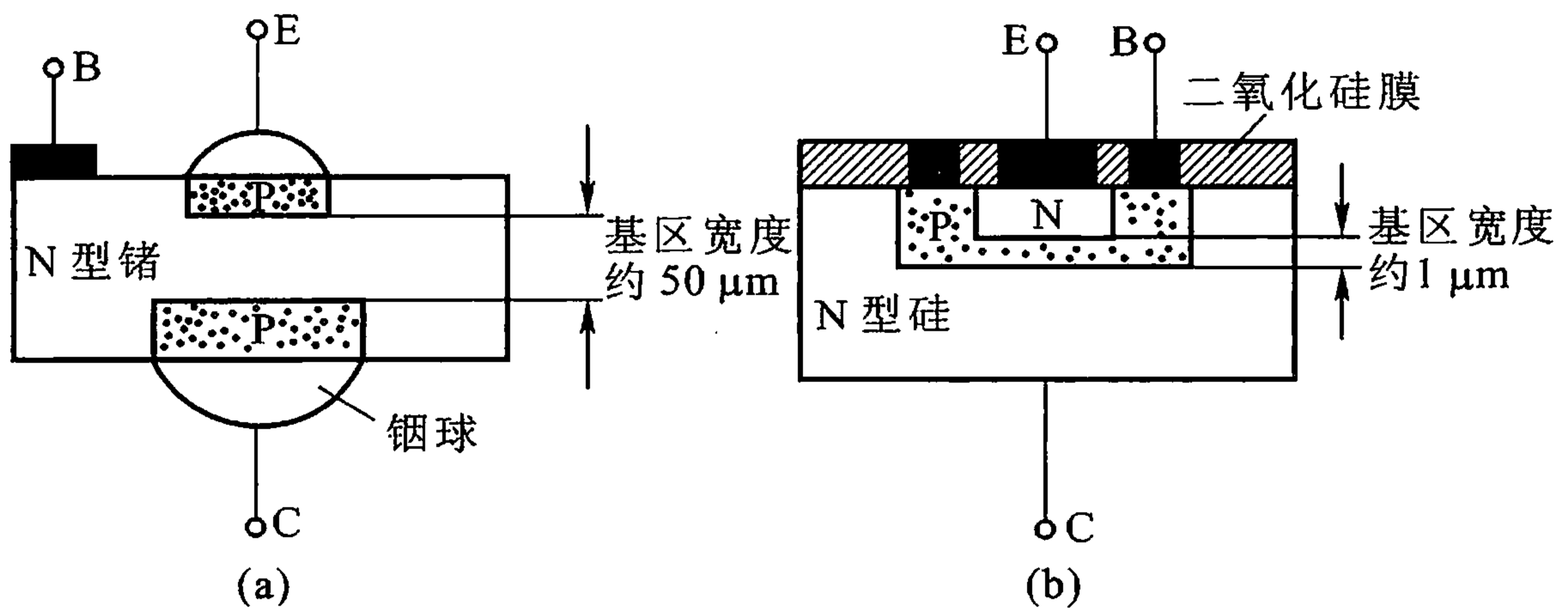
标准分享网　www.bzfxw.com　免费下载



(a) (b)

图 1.3.1 晶体管示意图和符号

(a) NPN 型晶体管示意图 (b) 晶体管符号



(a) (b)

图 1.3.2 晶体管结构

(a) 合金型 (b) 平面型

1.3.2 晶体管的电流放大作用

要使晶体管正常工作,必须外加大小和极性适当的电压。给发射结外加正向电压 V_{BE},如图 1.3.3 所示,发射区才能向基区注入载流子;给集电结加上较大的反向偏压 V_{CB},在集电结造成较强的内电场,才能把注入基区并扩散到集电结边缘的非平衡载流子拉入集电区,形成集电极电流,使集电区起到收集载流子的作用。总之,要使晶体管起放大作用,发射结要加正向偏压,集电结要加反向偏压。通常正向偏压小于 1 V,反向偏压在几伏至几十伏之间。

1. 晶体管内载流子的传输过程

在发射结正偏、集电结反偏的条件下,管内载流子的运动可分为三个过程,下面以 NPN 型管为例来讨论。

(1) 发射区向基区注入载流子的过程

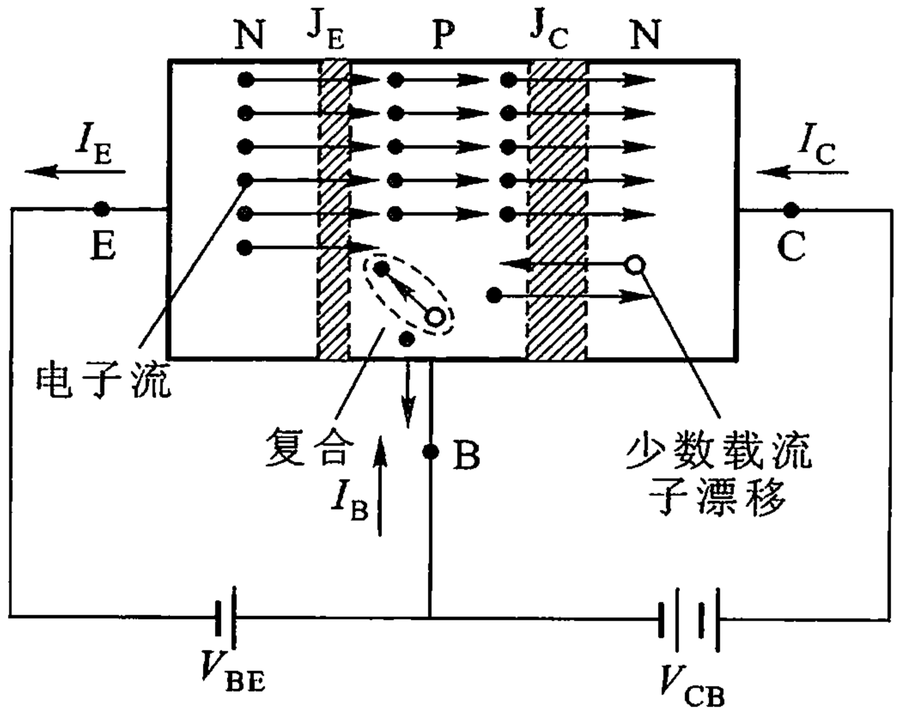


图 1.3.3　管内载流子的传输过程

由于发射结外加正向偏压，发射区的电子（多数载流子）源源不断地注入基区，形成发射极电流 I_E（与电子流的方向相反），见图 1.3.3。显然，基区的多数载流子空穴也要注入发射区，I_E 应为电子流与空穴流之和。但由于发射结做成 N^+P 结，使基区杂质浓度比发射区小 2 ~ 3 个数量级，注入发射区的空穴流与注入基区的电子流相比，可略去不计，所以图 1.3.3 中未绘出注入发射区的空穴流。

（2）电子在基区扩散和复合的过程

由于发射区向基区注入大量电子，在基区存在电子浓度梯度，于是电子不断地向集电结扩散。电子在扩散过程中，又会与基区空穴复合，复合掉的空穴由外电源补充，形成基极电流 I_B，故基极电流就是电子在基区与空穴复合的电流。为使注入基区的电子绝大多数能到达集电结，以提高晶体管的放大能力，有意将基区宽度做得很窄，而且掺杂浓度很低，从而大大地减少了复合，使注入的非平衡电子 95% 以上都能到达集电结。

（3）集电结收集电子的过程

集电结外加较大的反向偏压，结中内电场很强，基区中扩散到集电结边缘的电子，受强电场的作用，迅速漂移越过集电结进入集电区，形成从外电路流进集电区的集电极电流 I_C。另一方面，集电结两边的少数载流子也要经集电结漂移，在集基回路中流通，构成反向饱和电流 I_{CBO}。这一电流与发射区无关，对放大作用没有贡献。但它受温度影响很大，使管子工作不稳定，所以在制造管子时，总是尽量设法减小 I_{CBO}。

2. 晶体管直流电流传输方程

用晶体管组成放大器，其中一个极作为输入端，一个极作为输出端，还有一个极作为输入和输出的公共端。根据用作公共端电极的不同，晶体管有三种不

标准分享网　www.bzfxw.com　免费下载

同的连接方式,即共基极、共发射极和共集电极接法。必须注意,无论哪种接法,为了保证晶体管的正常放大作用,都必须使发射结为正向偏置、集电结为反向偏置。也就是说,晶体管的直流偏置是晶体管能够放大的基础,而整个信号传输只是在这个偏置下电压变化量的传输。下面分别讨论三种连接方式的电流关系式。

(1) 共基极直流电流传输方程

共基极接法以发射极为输入端,集电极为输出端,而基极为公共端。如图1.3.4所示。从基区中载流子的扩散与复合过程可知,注入基区的非平衡电子,少部分被复合,绝大部分分配给集电极。管子制成后,基区宽度等因素固定了,复合所占的比例随之固定,使得由发射区传输到集电区的电流 I_{CE} 与 I_E 之间保持一定的比例,这个比值称为共基极直流电流放大系数 $\bar{\alpha}$,即 .

$$\bar{\alpha} = I_{CE}/I_E = (I_C - I_{CBO})/I_E \tag{1.3.1}$$

则

$$I_C = \bar{\alpha} I_E + I_{CBO} \tag{1.3.2}$$

式(1.3.2)称为共基极直流电流传输方程,它描述的是输出与输入电流传输特性的基本方程。

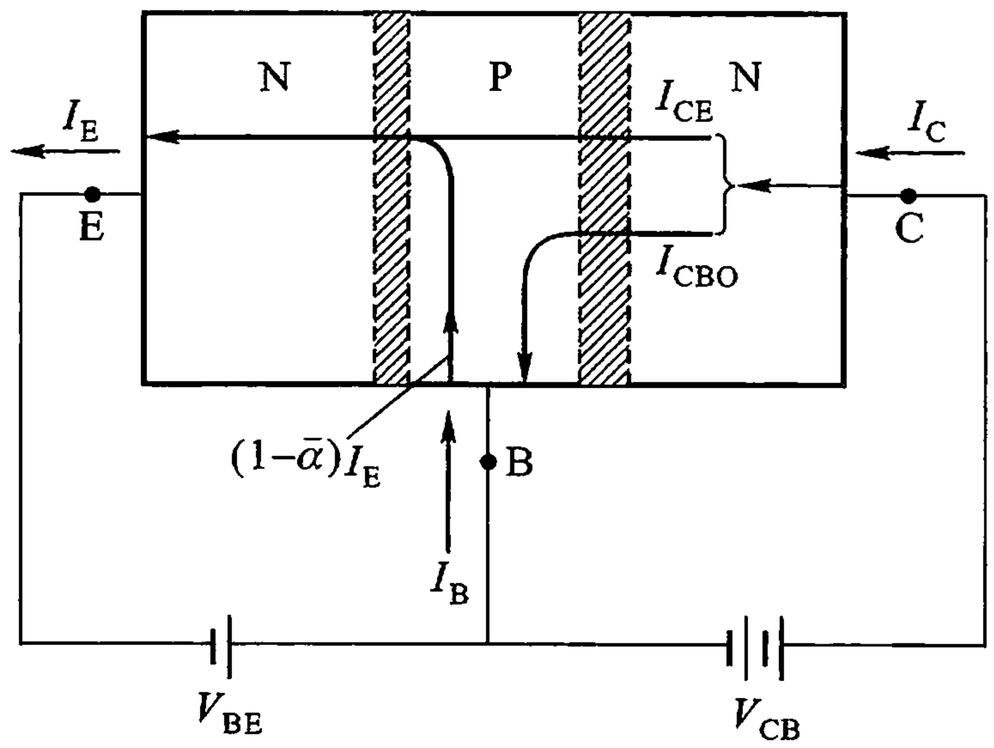


图 1.3.4 共基极电路的电流分配关系

若 $I_C >> I_{CBO}$,则

$$\bar{\alpha} = (I_C - I_{CBO})/I_E \approx I_C/I_E \tag{1.3.3}$$

$\bar{\alpha}$ 值稍小于1,通常 $\bar{\alpha}$ 值在0.95~0.99之间。如 $\bar{\alpha}=0.98$,则 I_E 的98%分配给集电结,形成集电极电流 I_C,其余2%在基区复合而形成基极电流 I_B。

由图1.3.4中所标的电流方向,可得3个电极间的电流关系为

$$I_E = I_C + I_B \tag{1.3.4}$$

$$I_C = \bar{\alpha} I_E + I_{CBO}$$

$$I_B = (1-\bar{\alpha})I_E - I_{CBO} \tag{1.3.5}$$

从上式可得 $I_C < I_E$，所以没有电流放大作用。

(2) 共发射极直流电流传输方程

共发射极接法以基极为输入端，集电极为输出端，发射极为公共端，如图 1.3.5 所示，称为共发射极（简称共射）电路。在共射电路中，输入电流为 I_B，输出电流为 I_C，由于 $I_C >> I_B$，所以这种电路有电流放大作用。

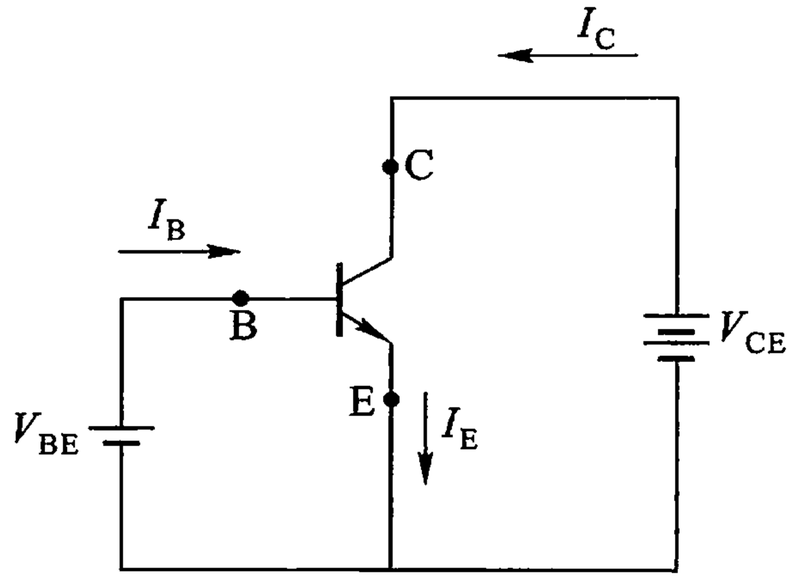


图 1.3.5　共发射极电路

虽然共基极电路和共射电路的放大性能各不相同，但管内载流子的注入、扩散和收集过程是相同的。因此，可以从共基极电路的电流分配关系，导出共射电路输出电流与输入电流之间的关系式。把式(1.3.4)代入式(1.3.2)中，整理可得

$$I_C = \left(\frac{\bar{\alpha}}{1-\bar{\alpha}}\right)I_B + \left(\frac{1}{1-\bar{\alpha}}\right)I_{CBO}$$

令

$$\bar{\beta} = \frac{\bar{\alpha}}{1-\bar{\alpha}} \tag{1.3.6}$$

则

$$I_C = \bar{\beta}I_B + (1+\bar{\beta})I_{CBO} = \bar{\beta}I_B + I_{CEO} \tag{1.3.7}$$

式(1.3.7)称为共发射极直流电流传输方程，它是描述共射电路电流传输特性的基本方程。式中

$$I_{CEO} = (1+\bar{\beta})I_{CBO} \tag{1.3.8}$$

表示基极开路（$I_B = 0$）时，集电极到发射极的直通电流，通常称为穿透电流。

$\bar{\beta}$ 的物理意义可由式(1.3.7)来分析，此式又可写成

$$\bar{\beta} = \frac{I_C - I_{CEO}}{I_B} \tag{1.3.9}$$

一般 $I_C >> I_{CEO}$，可得

$$\bar{\beta} \approx \frac{I_C}{I_B} \tag{1.3.10}$$

式(1.3.10)表明，共发射极直流电流放大系数 $\bar{\beta}$，等于集电极电流与基极电流的比值。由式(1.3.10)还可得出一个关于电流分配的重要结论：发射区每向基区提供一个复合用的载流子，就要向集电区供给 $\bar{\beta}$ 个载流子，也就是说，发射区每向基区流通一个单位的基极电流，就要向集电区流通 $\bar{\beta}$ 个单位的电流。

标准分享网　www.bzfxw.com　免费下载

由式(1.3.6)可见，$\bar{\alpha}\approx1$，故 $\bar{\beta}=\dfrac{\bar{\alpha}}{1-\bar{\alpha}}>>1$（通常为 20 ~ 100），所以，共发射极电路的直流电流传输方程又可表示为

$$I_C=\bar{\beta}I_B+I_{CEO}\approx\bar{\beta}I_B$$

3. 共集电极直流电流传输方程

在共集电极电路中，输出电流为 I_E，输入电流为 I_B。为了表示基极电流 I_B 对发射极电流的控制作用，可将式(1.3.7)代入到 $I_E=I_C+I_B$ 关系式中，经整理得

$$I_E=(1+\bar{\beta})I_B+I_{CEO} \tag{1.3.11}$$

式(1.3.11)为共集电极直流电流传输方程。通常 $\bar{\beta}>>1$，因此，共集电极电路的直流电流传输方程与共射电路近似相同。

1.3.3　晶体管的共射组态特性曲线

晶体管外部各极电流和电压的关系曲线，称为晶体管的特性曲线。特性曲线全面地反映了各极电流与电压之间的关系，它是分析和计算晶体管电路的依据之一。在晶体管的应用中，经常遇到的是特性曲线，而较少涉及它的内部结构和特性。对于晶体管不同的连接方式，有不同的特性曲线，下面讨论最常用的共射极接法的输入特性和输出特性。

共发射极晶体管的输入端电流为 i_B，输入端电压为 v_{BE}。输出端电流为 i_C，输出端电压为 v_{CE}。测量共发射极晶体管特性曲线的原理电路如图 1.3.6 所示。可调电压源 V_{BB} 与电阻 R_B 串接在电路的输入端，可调电压源 V_{CC} 接于集射极之间。利用这个电路可以用逐点测量的方法得到共发射极晶体管的输入、输出特性曲线。当然，也可用晶体管特性图示仪直接测得。

1. 输入特性曲线

以集电极电压 v_{CE} 为参变量，输入回路中基极电压 v_{BE} 与基极电流 i_B 的关系曲线，称为输入特性曲线。用函数表示为

$$i_B=f(v_{BE})\Big|_{v_{CE}}$$

根据上述的定义及如图 1.3.6 所示的测量电路，若固定 v_{CE} 为某一定值（如 0 V），改变 v_{BE}，测出相应的 i_B，就可得到 $v_{CE}=0$ 的一条输入特性，若固定 $v_{CE}=1$ V，又可测得另一条输入特性曲线，如图 1.3.7 所示。输入特性有以下两个主要特点。

（1）$v_{CE}=0$ 的一条特性曲线，相当于两个二极管并联的正向特性。

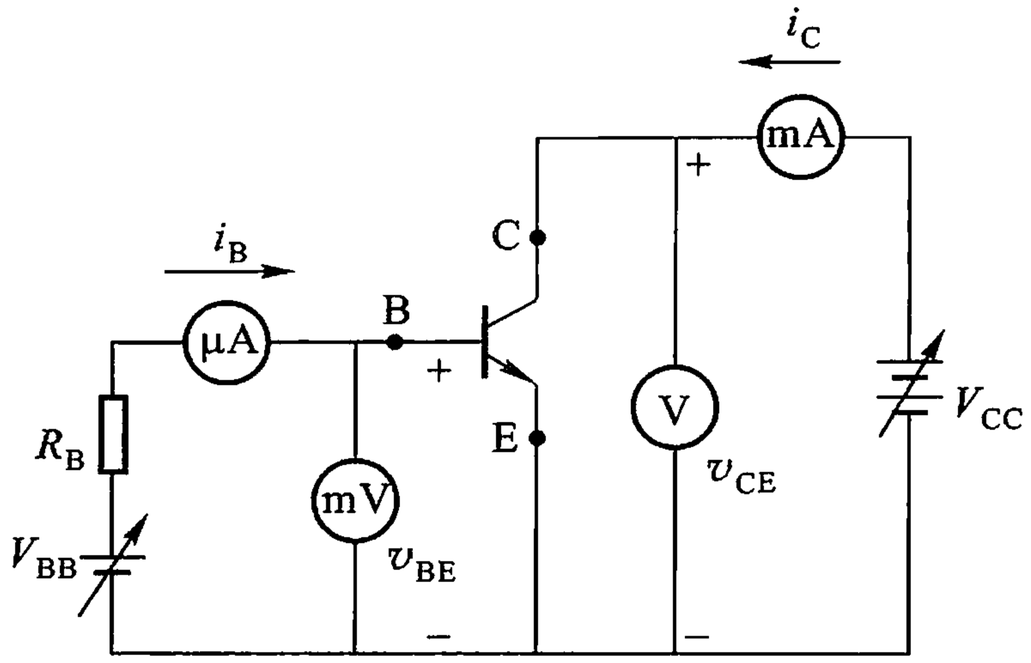


图 1.3.6　测量共射极特性曲线的电路

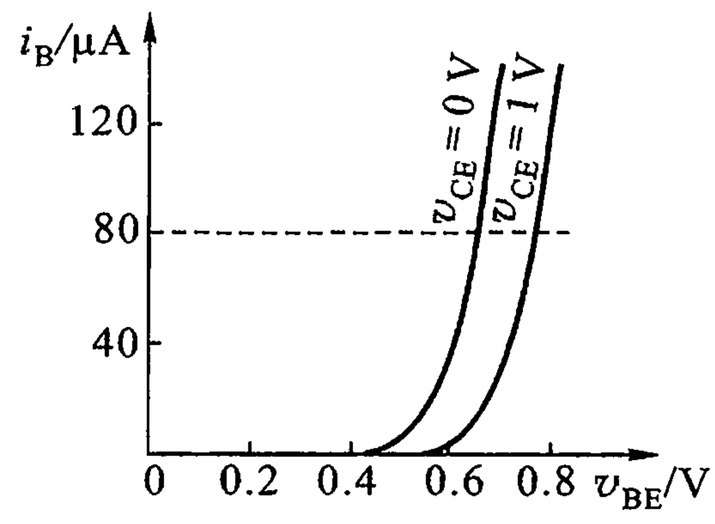


图 1.3.7　输入特性曲线

（2）随着 v_{CE} 的增大，曲线向右移动。当 v_{CE} 在 1 V 以内变化时，曲线移动较明显，这是因为在 $v_{CE}=v_{BE}$（约 0.7 V）以前，集电结处于正向偏置，集电结收集电子的能力很弱，随着 v_{CE} 的增大，集电结由正偏向反偏过渡，收集电子的能力加强，使得从发射区进入基区的电子更多地流向集电区，因此，对应于相同的 v_{BE}，流向基极的电流 i_B 比 $v_{CE}=0$ V 时明显减小。或者说，为了维持同样大小的 i_B 值，必须加大 v_{BE}，特性曲线相应地向右移动一段距离。当 $v_{CE}>1$ V 以后，只要 v_{BE} 一定，则从发射区注入基区的电子一定，集电结所加的反向偏压足以能把这些电子中的绝大部分拉到集电区，以至 v_{CE} 再增加，i_B 也不再明显减小，所以 $v_{CE}>1$ V 以后的输入特性曲线基本重合。因此，半导体器件手册上通常只给出 $v_{CE}\geqslant 1$ V 的一条输入特性曲线。

2. 输出特性曲线

以基极电流 i_B 为参变量，输出回路中集电极电压 v_{CE} 与集电极电流 i_C 之间的关系曲线，称为输出特性曲线。用函数表示为

$$i_C=f(v_{CE})\Big|_{i_B}$$

在图 1.3.6 所示的电路中，固定 i_B 为某一数值（如 20 μA），改变 v_{CE}，测出相应的 i_C 值，就得到 $i_B=20$ μA 的一条输出特性曲线。分别固定 i_B 为其他数值，再测量 v_{CE} 和 i_C，便可得到一簇输出特性曲线，如图 1.3.8 所示。晶体管的输出特性曲线可分为以下 3 个区域。

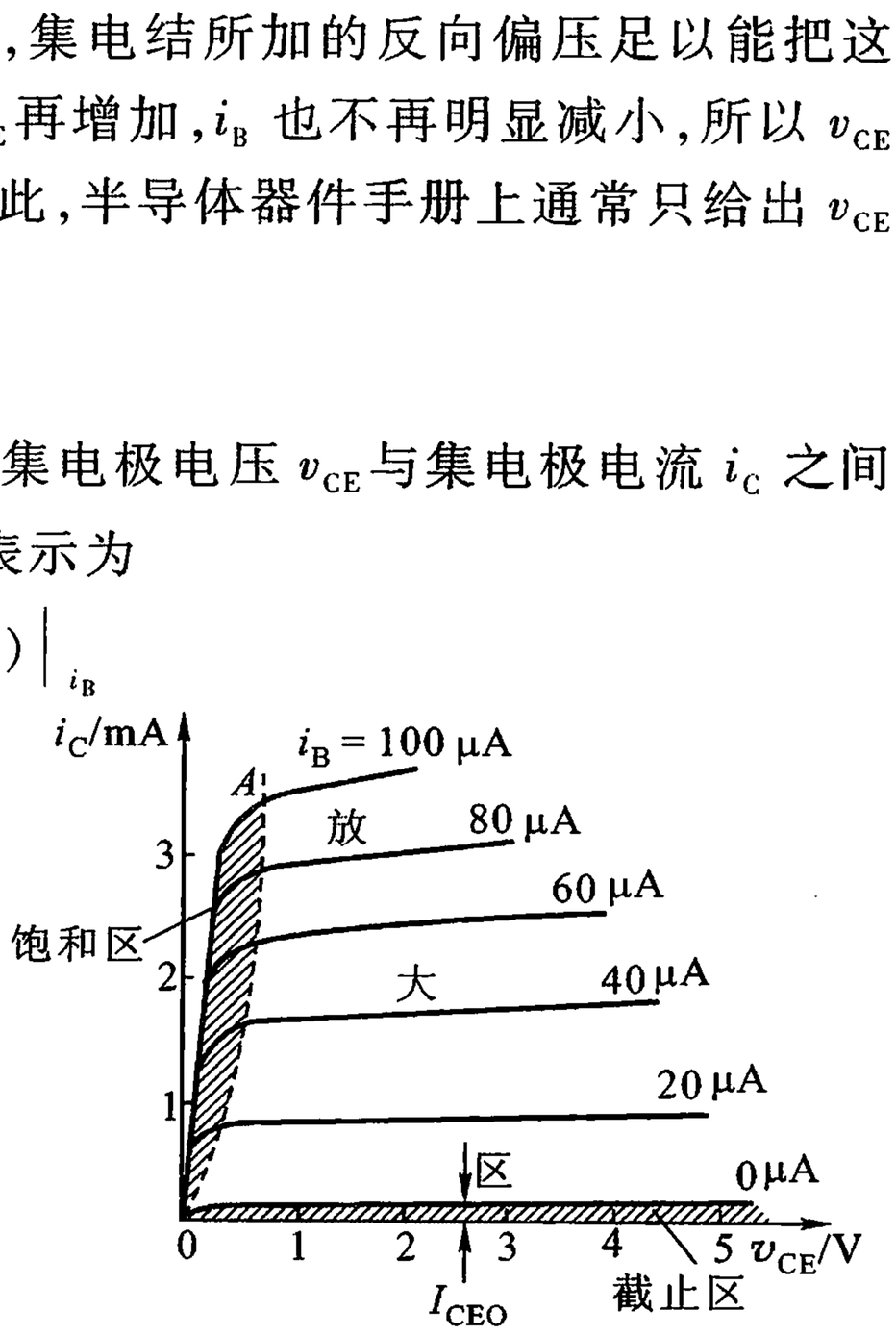


图 1.3.8　共射极输出特性曲线

（1）放大区

晶体管在放大区的工作状态，是发射

标准分享网　www.bzfxw.com　免费下载

结处于正向偏置，集电结处于反向偏置。放大区内电流与电压的关系有两个特点：第一，当 i_B 等量变化时，输出特性曲线基本上是平行等距的，满足电流分配关系 $I_C \approx \bar{\beta} I_B$，$\bar{\beta}$ 近似为常数。第二个特点，随着 v_{CE} 的增加 i_C 稍有增大，即曲线略有上翘，这是由基调效应引起的。基区宽度受集电极电压调制的现象，称为基区宽度调制效应，简称基调效应。当 v_{CE} 增大，集电结耗尽层的宽度增加，基区宽度将减小，使电子和空穴在基区复合机会减小，即维持相同的 i_C 所需的 i_B 减小，也就是保持 i_B 不变时，i_C 稍有增大，曲线略有上翘。

（2）饱和区

当 v_{CE} 减小到一定程度后，必然会削弱集电结吸引电子的能力，这时即使再增加 i_B，i_C 也增加很少或不再增加，这种情况称为饱和。在饱和情况下，i_B 对 i_C 失去了控制作用，$I_C \approx \bar{\beta} I_B$ 的关系不再成立，晶体管丧失了放大作用。饱和时的集电极电压称为饱和压降，以 $V_{CE(sat)}$ 表示。$V_{CE(sat)}$ 很小，小功率硅管约为 0.3 V，而发射结的饱和压降 $V_{BE(sat)}$ 总是在 0.8 V 左右，因此，集电结的电压 $V_{CB(sat)} = V_{CE(sat)} - V_{BE(sat)} = -0.5$ V，亦即在饱和区，集电结和发射结都处于正向偏置。$v_{CB} = 0$ V 时为临界饱和，见图 1.3.8 中 0 A 虚线，此线称为临界饱和线，0 A 左边的区域为饱和区。

（3）截止区

通常把 $i_B = 0$ 的输出特性曲线以下的区域称为截止区。严格地说，此时晶体管并不是截止的（尤其在高温和锗管的情况），这时 $i_E = i_C = I_{CEO}$。应该把 $i_E = 0$（或 $i_B = -I_{CEO}$），$i_C \leqslant I_{CEO}$ 的区域称为截止区。晶体管截止时，发射结和集电结均处于反向偏置。

1.3.4　晶体管的主要参数

晶体管的各种性能和应用范围，都可通过它的参数来表征，因此，参数是分析晶体管电路和选用晶体管的依据。

1. 电流放大系数

（1）共发射极直流电流放大系数

晶体管在直流工作状态下，I_C 与 I_B 的关系应该用直流电流放大系数 $\bar{\beta}$ 来描述。当忽略 I_{CEO} 时，由式（1.3.10）可知

$$\bar{\beta} \approx \frac{I_C}{I_B} \tag{1.3.12}$$

式（1.3.12）表明，共发射极直流电流放大系数 $\bar{\beta}$ 为集电极直流电流 I_C 与基极直流电流 I_B 的比值。

当集电极电压 v_{CE} 恒定时，集电极电流变化量 Δi_C 与基极电流变化量 Δi_B 之

比，称为共发射极交流电流放大系数 β，即

$$\beta = \left.\frac{\Delta i_C}{\Delta i_B}\right|_{v_{CE}=V_{CE}} \tag{1.3.13}$$

显然，β 与 $\bar{\beta}$ 的含意是不同的。在分析小信号变化量时，应该用 β，而分析直流量的关系或估算大幅度变化量时用 $\bar{\beta}$。当 I_{CEO} 可以略去，且输出特性曲线平行等距时，$\beta \approx \bar{\beta}$。这一条件一般都基本满足，可认为 $\beta = \bar{\beta}$，故常混用。

晶体管的 β 和 $\bar{\beta}$ 不是常数，它们和管子的直流工作状态有关。一般说来，i_C 很大或很小，β 都要减小。对于小功率管，i_C 在 1 mA 以上相当大的范围内，β 值比较恒定。由于晶体管特性的分散性，即使是同一型号的管子，β 值也有显著的差别，通常在 20 ~ 100 之间。β 值太小，放大作用差，β 值太大，则伴随着管子性能的不稳定。β 值通常在 30 ~ 80 为佳。

（2）共基极电流放大系数

共基极电流放大系数也有直流放大系数 $\bar{\alpha}$ 和交流放大系数 α 的区别，由式（1.3.2），忽略 I_{CBO} 时，$\bar{\alpha}$ 为

$$\bar{\alpha} \approx \frac{I_C}{I_E} \tag{1.3.14}$$

如果保持 v_{CB} 恒定，取 i_C 与 i_E 的变化量之比，则共基极交流电流放大系数 α 为

$$\alpha = \left.\frac{\Delta i_C}{\Delta i_E}\right|_{v_{CB}=V_{CB}} \tag{1.3.15}$$

共基极输出特性曲线的线性较好，即曲线近似平行于横轴，当 i_E 等量变化时，曲线更接近于平行等距，且 I_{CBO} 甚小，因此，$\bar{\alpha}$ 与 α 基本相等，在实用中可不必区别。

2. 极间反向电流

（1）集电极 - 基极反向饱和电流 I_{CBO}

即发射极开路时，集电极 - 基极间在反向电压下的反向电流。它与二极管的反向电流一样，在一定温度下，基本上是一个常数，与电压 V_{CB} 无关。在室温下，小功率硅管的 I_{CBO} 小于 1 μA，锗管的 I_{CBO} 约为 10 μA。I_{CBO} 随温度变化，在稳定性要求高的场合，应选用硅管。

（2）穿透电流 I_{CEO}

即基极开路时，集电极 - 发射极间的反向电流。它是由集电区贯穿基区至发射区的电流，故称穿透电流。由式（1.3.8）可知，$I_{CEO} = (1 + \bar{\beta}) I_{CBO}$。在室温下，小功率硅管的 I_{CEO} 在几微安以下，小功率锗管的 I_{CEO} 约为几十微安至几百微安。由于 $\bar{\beta}$ 和 I_{CBO} 均随温度的升高而增加，所以 I_{CEO} 比 I_{CBO} 随温度变化的幅度更大。

标准分享网　www.bzfxw.com　免费下载

3. 频率参数

晶体管电流放大系数$|\dot{\alpha}|$和$|\dot{\beta}|$的数值，只是在一定的信号频率范围内才基本保持不变，当频率增加到一定大小后，$|\dot{\alpha}|$和$|\dot{\beta}|$都将随频率升高而下降，这是由于晶体管两个 PN 结电容影响的结果。下面介绍 3 个频率参数。

（1）共发射极截止频率f_β

共发射极电流放大系数β随频率f变化的关系为

$$\dot{\beta} = \frac{\beta_0}{1 + \mathrm{j}\dfrac{f}{f_\beta}} \tag{1.3.16}$$

$\dot{\beta}$的模随频率的变化如图 1.3.9 所示。低频时$|\dot{\beta}| = \beta_0$，而且基本不随频率变化，高频时，$|\dot{\beta}|$随频率升高而下降。当$|\dot{\beta}|$值降到低频值β_0的 0.707（即$1/\sqrt{2}$）时所对应的频率，称为共发射极截止频率f_β。

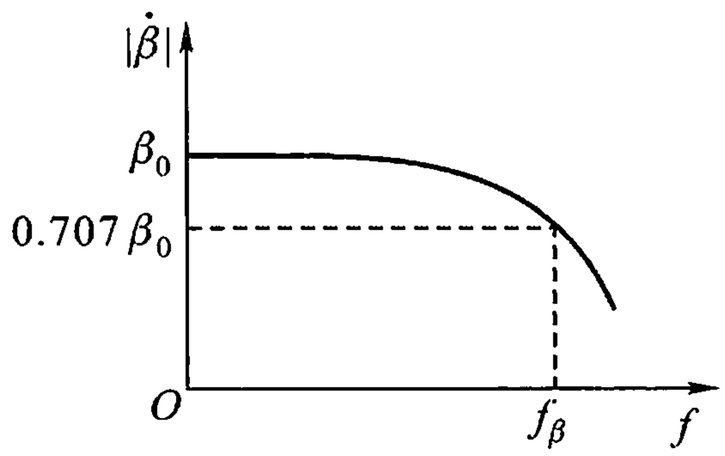


图 1.3.9　β的幅频特性

（2）共基极截止频率f_α

当$|\dot{\alpha}|$值降到低频值α_0的 0.707 时所对应的频率，称为共基极截止频率f_α。

（3）特征频率f_T

当$|\dot{\beta}|$值下降到等于 1 时所对应的频率，称为特性频率f_T。f_β、f_α和f_T都是描述晶体管频率特性的参数，它们之间必有内在联系。因$|\dot{\alpha}| = |\dot{\beta}|/(1 + |\dot{\beta}|)$，以式(1.3.16)代入，并加以整理，可得

$$\dot{\alpha} = \frac{\alpha_0}{1 + \mathrm{j}\dfrac{f}{f_\alpha}} \tag{1.3.17}$$

式(1.3.17)中

$$\alpha_0 = \frac{\beta_0}{1 + \beta_0}$$

$$f_\alpha = (1 + \beta_0) f_\beta \tag{1.3.18}$$

由式(1.3.18)可知，f_α比f_β高得多，由于这一原因，共基极电路广泛用于高频段和宽频带放大器中。

将$|\dot{\beta}| = 1$及$f = f_T$代入式(1.3.16)，则有

$$|\dot{\beta}| = \frac{\beta_0}{\sqrt{1 + \left(\frac{f_T}{f_\beta}\right)^2}} = 1$$

由于 $f_T >> f_\beta$，所以

$$f_T \approx \beta_0 f_\beta \tag{1.3.19}$$

由式(1.3.19)可知，上述 3 个频率参数的数量关系为 $f_\beta < f_T < f_\alpha$。但是，由式(1.3.17)和式(1.3.18)可看出

$$f_\alpha = (1 + \beta_0) f_\beta \approx (1 + \beta_0) \frac{f_T}{\beta_0} \approx f_T$$

4. 极限参数

(1) 集电极最大允许电流 I_{CM}

在 i_C 很大时，输出特性曲线变密，β 变小。一般把 β 减小到额定值 2/3 时的 i_C 值定为集电极最大允许电流 I_{CM}。当 i_C 超过 I_{CM} 时，β 显著减小，而且 i_C 太大，可能烧坏管子。

(2) 集电极最大允许耗散功率 P_{CM}

它是指集电结上允许耗散的最大功率。超过此值就会使结温过高而导致管子性能变坏或烧毁。集电极的最大允许耗散功率为

$$P_{CM} = i_C v_{CE} \tag{1.3.20}$$

利用式(1.3.20)并根据给定的 P_{CM} 值，可在特性曲线上画出集电极最大功耗 P_{CM} 曲线，如图 1.3.10 所示。在曲线的右上方为过损耗区，在 P_{CM} 曲线的左下方($i_C v_{CE} < P_{CM}$)、I_{CM} 线以下和 $V_{(BR)CEO}$ 线以左的区域，为输出特性的安全工作区。

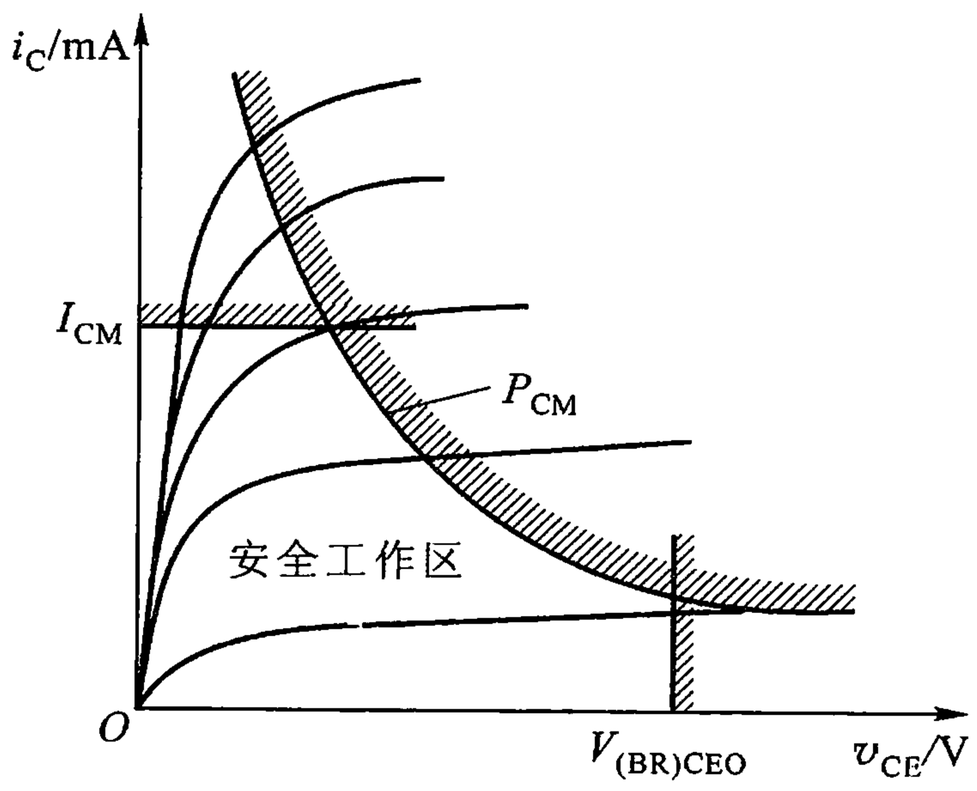


图 1.3.10　由 P_{CM}、I_{CM} 和 $V_{(BR)CEO}$ 定出安全工作区

标准分享网　www.bzfxw.com　免费下载

(3) 反向击穿特性

晶体管的两个 PN 结,如反向电压值超过规定值,就会发生击穿,击穿原理与二极管相同。管子击穿后将有可能造成永久性的损坏或性能下降。经常接触到的有下列 3 种击穿电压:

$V_{(BR)CBO}$——发射极开路时,集电极 - 基极间的反向击穿电压;

$V_{(BR)CEO}$——基极开路时,集电极 - 发射极间的反向击穿电压;

$V_{(BR)EBO}$——集电极开路时,发射极 - 基极间的反向击穿电压。

上述所指的极限参数,是在稳定工作时集电极电流不能超过 I_{CM},或功耗不超过 P_{CM} 情况下的。若 P_C 仅瞬间超过 P_{CM},则并不会损坏晶体管,只是加速其老化过程。

1.4 场效应管

晶体管在作放大工作时,其输入回路的 PN 结必须正向偏置,因此,输入电阻很低,这是晶体管的一个严重缺点。场效应管也是一种具有 PN 结的半导体器件,它利用电场效应来控制管内电流,其输入端的 PN 结工作于反向偏置,或输入端处于绝缘状态,因此,输入电阻非常高(高达 $10^7 \sim 10^{15}\ \Omega$)。和晶体管相比,场效应管除了具有输入电阻大的优点外,还有噪声低、热稳定性好、抗辐射能力强以及便于集成等优点。

根据结构的不同,场效应管分为两大类,即结型场效应管(简称 JFET)①和绝缘栅场效应管(简称 IGFET)②。它们工作时,只有一种极性的载流子参与导电,所以场效应管又称为单极型晶体管。

1.4.1 结型场效应管

1. 结构

结型场效应管的结构示意图如图 1.4.1(a)所示。它是在一块 N 型硅片两侧分别制作一个高浓度的 P^+ 型区,形成两个 P^+N 结。两个 P^+ 型区的引线连在一起,作为一个电极,称为栅极 G,N 型硅片的两端各引出一个电极,分别称为源极 S 和漏极 D。3 个电极的作用分别相当于晶体管的基极 B、发射极 E 和集电极 C。两个 PN 结之间的 N 型区域,称为导电沟道,这种管子称为 N 沟道结型场效

① JFET 为 Junction type Field Effect Transistor(结型场效应管)的缩写。

② IGFET 为 Insulated Gate Field Effect Transistor(绝缘栅场效应管)的缩写。

应管，其符号如图 1.4.1(b)所示。如果在一块 P 型硅片两侧分别制作一个高浓度的 N^+型区，就可做成 P 沟道结型场效应管，其符号如图 1.4.1(c)所示。符号中的箭头代表了栅 - 源电压处于正向偏置时栅极电流的实际方向。

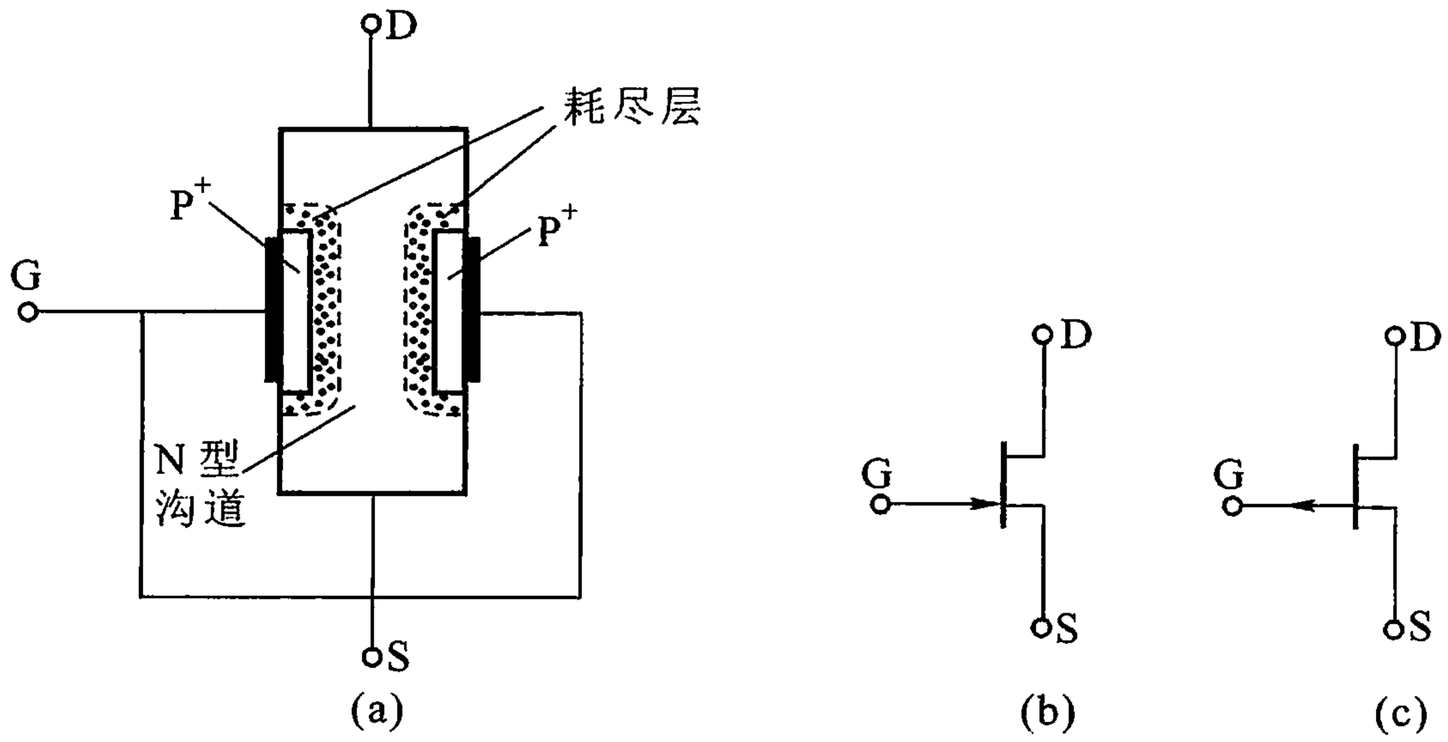


图 1.4.1　结型场效应管的结构及符号

（a）N 沟道管结构示意图　（b）N 沟道管符号　（c）P 沟道管符号

2. 工作原理

结型场效应管正常工作时，栅源之间必须加反向偏压，即对于 N 沟道管 $v_{GS}<0$，以保证场效应管有较高的输入电阻；漏源之间必须加正电压，即 $v_{DS}>0$，这样，N 沟道中的多子电子才能在 v_{DS}作用下，由源极向漏极作漂移运动形成漏极电流 i_D。沟道随外加电压变化是场效应管工作的基础，下面首先考察 v_{GS}对沟道的控制作用。

在漏源短路的情况下，如果在栅源之间加上一个反向电压 v_{GS}，则两个 PN 结均处于反偏，耗尽层有一定的宽度，如图1.4.2(a)所示。若 v_{GS}负值增大，PN 结反向电压增加，耗尽层均匀变宽，且向低掺杂的 N 型区扩展，致使沟道截面积变小，沟道电阻增大。v_{GS}负值不断增加，沟道截面积不断减小，当 v_{GS}负值增加到某一数值 $V_{GS(off)}$时，两边耗尽层合拢，整个沟道被耗尽层夹断，沟道电阻趋于无穷大，如图 1.4.2(b)所示。这时的栅源电压 $V_{GS(off)}$称为夹断电压。上述分析表明，v_{GS}的变化将引起沟道电阻的改变，即 v_{GS}可以控制漏源之间的导电性能。

如果在漏源之间加上适当的电压 v_{DS}，沟道中的电子就会从源极出发，经过沟道漂移，泄漏于漏极，形成一定的漏极电流 i_D。v_{DS}一定时，i_D的大小由沟道电阻决定，而沟道电阻的大小又是受栅源电压控制的，因此，v_{GS}对漏极电流 i_D有控制作用。显然，$v_{GS}=0$ 时，沟道电阻较小，i_D较大，随着 v_{GS}负值增加，沟道电阻增大，i_D减小。当 $v_{GS}=V_{GS(off)}$时，导电沟道完全被夹断，沟道电阻趋于无穷大，$i_D\approx$

标准分享网　www.bzfxw.com　免费下载

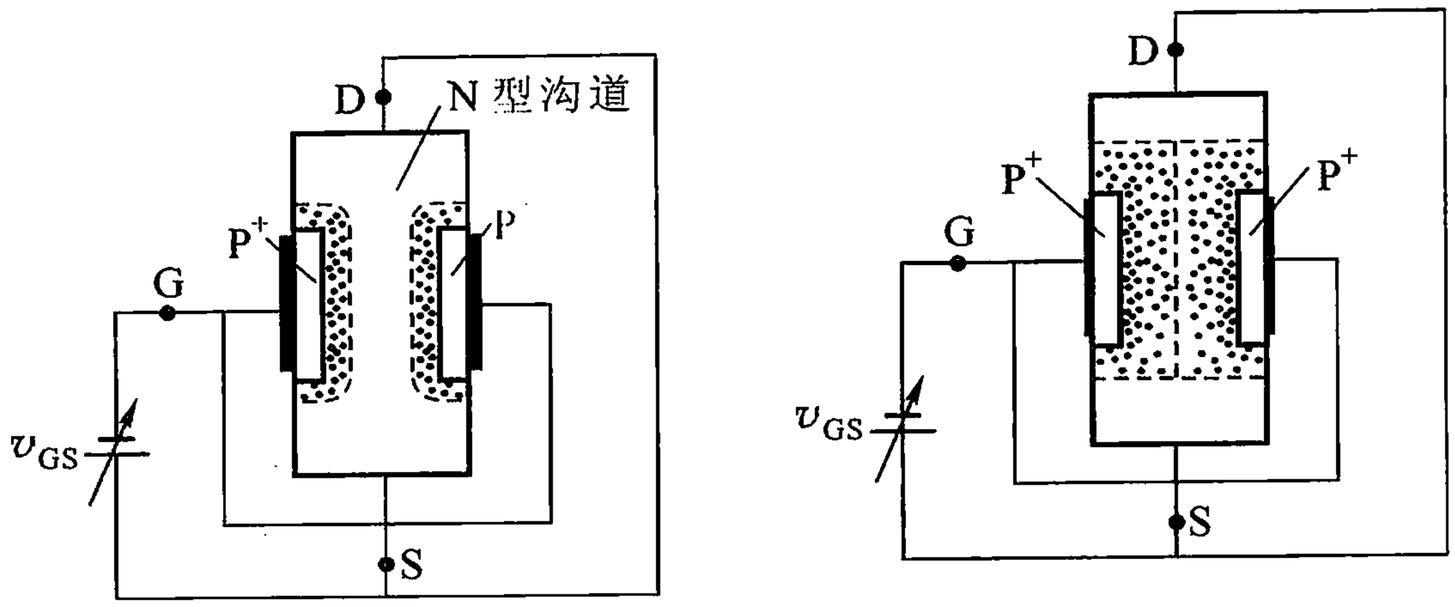


图 1.4.2 $v_{DS}=0$ 时，v_{GS}对沟道的控制作用

(a) $V_{GS(off)}<v_{GS}<0$，沟道开启 (b) $v_{GS}\leqslant V_{GS(off)}$，沟道完全被夹断

0，管子处于截止状态。由此可见，场效应管的漏极电流是通过栅源电压来控制的，场效应管是一种电压控制器件。

3. 特性曲线

(1) 输出特性曲线

场效应管的输出特性曲线是指栅源电压为定值时，i_D与 v_{DS}的关系曲线，其函数关系可表示为

$$i_D = f(v_{DS})\big|_{v_{GS}}$$

N 沟道结型场效应管的输出特性曲线如图 1.4.3 所示。首先来分析 $v_{GS}=0$ V 的输出特性曲线。当 $v_{DS}=0$ 时，$i_D=0$。随着 v_{DS}的增加，i_D开始出现，同时耗尽层也在加宽，但它们不是均匀地加宽。由于沟道有电阻，漏源电压沿沟道递降，沟道中漏端电位比源端高，使近漏端 PN 结的反偏较大而源端较小，因此，漏端耗尽层宽度比源端宽，如图 1.4.4(a)所示。但由于 v_{DS}较小，沟道变化不大，沟道呈现一定的电阻，i_D随 v_{DS}直线上升，如图 1.4.3中的 $0A$ 段。随着 v_{DS}增大，耗尽层增厚，特别是近漏端耗尽层显著增厚，沟道变窄，沟道电阻增大，i_D的增长变慢，如图 1.4.3 中 AB 段。当 v_{DS}增大到 $|V_{GS(off)}|$时，漏端沟道内耗尽层开始在 X 点相碰，沟道在近漏端被耗尽层夹断。这种由于漏源电压 v_{DS}增加，沟道在近漏端一点或一段被夹断的情况，通常称为“预夹断”。它与 $v_{GS}=V_{GS(off)}$时沟道完全被夹断不同，这时管子并没有截止，漏极电流接近于饱和漏极电流 $I_{D(sat)}$①。当 $v_{DS}>|V_{GS(off)}|$时，耗尽层更厚，近漏端有一段沟道被夹断，形成夹断区，如图 1.4.4(b)所示。随着 v_{DS}的增加，夹断区的长度略有增加，亦即自 X 点向源端方向延伸。但由于夹断区场强也增大，沿着沟道漂移到夹断区的载流子被夹断区

① 在 $v_{GS}=0$ 的条件下，当 $v_{DS}>|V_{GS(off)}|$时，通常取 $v_{DS}=10$ V 时的漏极电流为饱和漏极电流。

的强电场拉往漏极，形成漏极电流。在未被夹断的沟道中，其电场强度基本保持不变，于是沟道中向漏极漂移的电流也基本不变，保持在 $I_{D(sat)}$ 的数值上，管子呈现恒流特性，如图 1.4.3 所示的 BC 段。如果再增加 v_{DS}，则栅漏间的 PN 结将产生雪崩击穿，i_D 剧增，如图 1.4.3 所示的 CD 段。

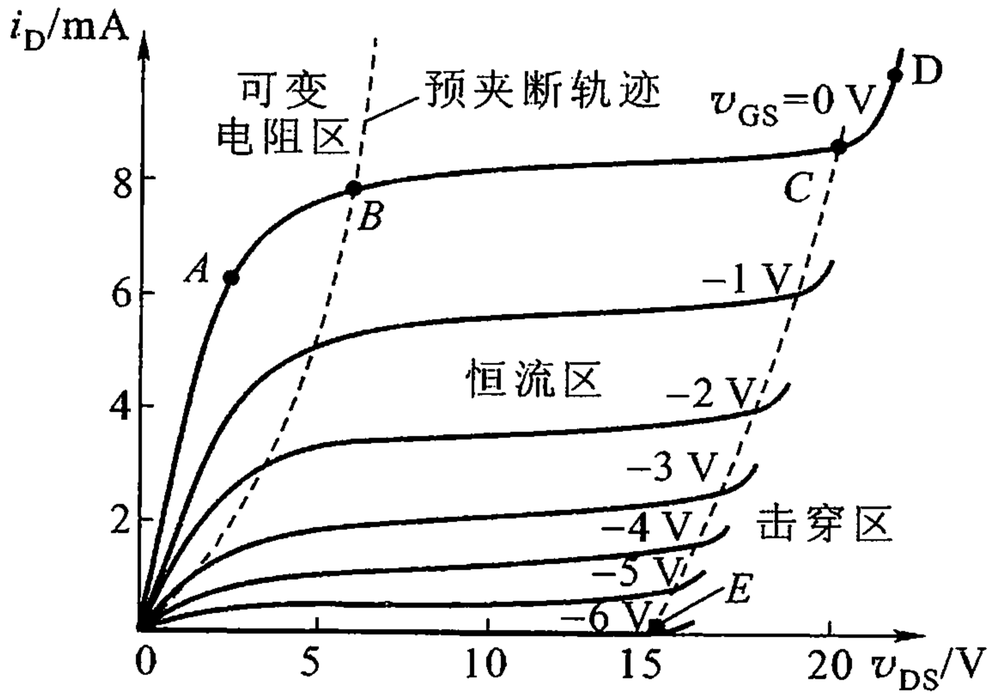


图 1.4.3　N 沟道结型场效应管的输出特性

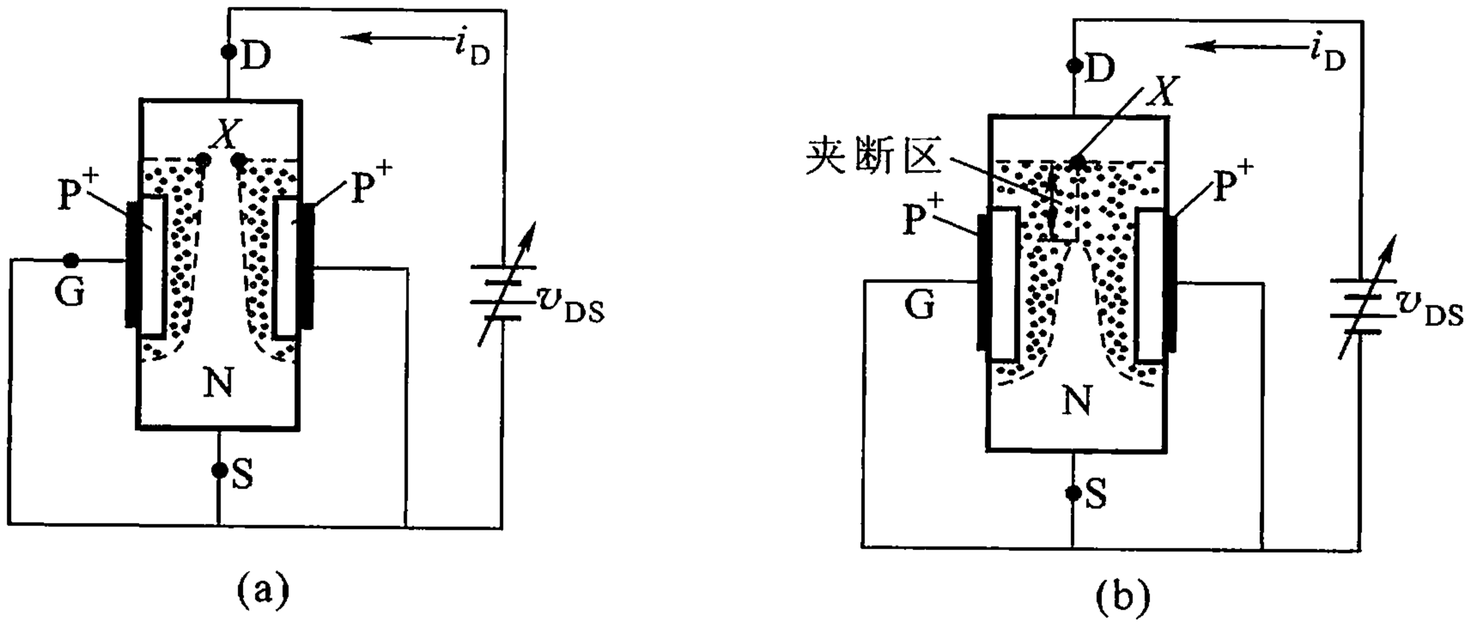


图 1.4.4　v_{DS} 对沟道的影响

(a) $v_{GS}=0, v_{DS}<|V_{GS(off)}|$　(b) $v_{GS}=0, v_{DS}>|V_{GS(off)}|$

v_{GS} 减小时，曲线将下移。取 v_{GS} 为不同数值，就可测得一簇输出特性曲线，如图 1.4.3 所示。每条曲线随 v_{DS} 变化的规律与 $v_{GS}=0$ 的一条基本一致。$v_{GS}=V_{GS(off)}$ 的一条曲线在击穿前几乎与横轴重合，这对应着沟道夹断的情况，此时 $i_D=0$，管子截止。

综上所述，管子的工作状态可分为以下 3 个区域：

① 可变电阻区。即图 1.4.3 中虚线 $0B$ 以左的区域。它表示预夹断以前管子电流与电压之间的关系。该区的特点是：对固定的 v_{GS}，i_D 与 v_{DS} 基本为线性关系，即漏源间呈现一定的电阻；v_{GS} 愈负，曲线斜率愈小，即漏源间呈现的电阻愈

大。因此,在这个区域,场效应管可看作一个由 v_{GS}控制的可变电阻。

② 恒流区。即图 1.4.3 中虚线 $0B$ 和 EC 之间的区域。它表示管子预夹断后,电流与电压之间的关系。其特点是:i_D随 v_{GS}减小而减小,且基本呈线性关系,这表明 i_D的大小受 v_{GS}的控制;v_{DS}增加时,i_D基本不变,呈恒流特性。在这个区域,场效应管可等效成一个受 v_{GS}控制的恒流源。场效应管作放大时,一般就工作在这个区域。

通常把各条曲线上 $v_{DS} = v_{GS} - V_{GS(off)}$ 的点连起来作为可变电阻区和恒流区的分界线,即图 1.4.3 中的虚线 $0B$。这条线称为预夹断轨迹。

③ 击穿区。即图 1.4.3 中虚线 EC 以右的区域。在此区域,管子处于击穿状态,因此,不允许场效应管工作在这个区域。

(2) 转移特性曲线

场效应管是电压控制器件,栅源电压 v_{GS}对漏极电流 i_D的控制作用体现在转移特性曲线上。转移特性定义为漏源电压 v_{DS}为定值时,漏极电流 i_D与栅源电压 v_{GS}的关系,即

$$i_D = f(v_{GS})\big|_{v_{DS}}$$

结型场效应管的转移特性曲线如图 1.4.5 所示。图中 $v_{GS} = 0$ 时的漏极电流称为饱和漏极电流 $I_{D(sat)}$。使 i_D接近于零的栅源电压就是夹断电压 $V_{GS(off)}$①。通常 $I_{D(sat)}$等于 0.1 mA 至几十毫安,$V_{GS(off)} = -(1 \sim 10)$ V。

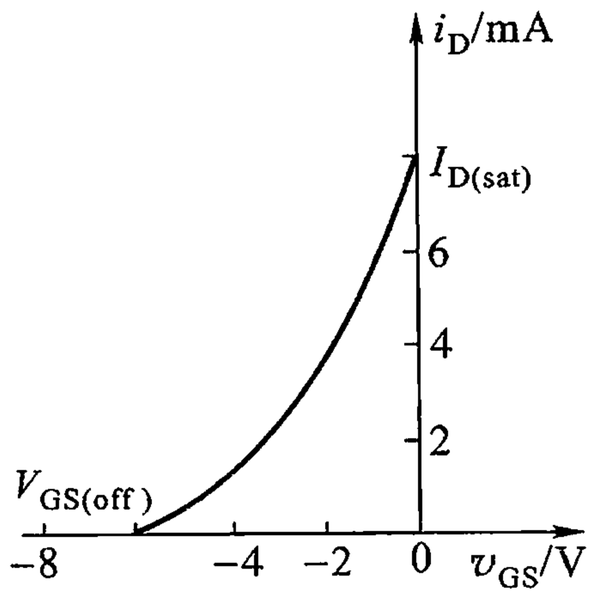


图 1.4.5 N 沟道结型场效应管的转移特性曲线

转移特性曲线与输出特性曲线有严格的对应关系,可以由输出特性曲线求出转移特性曲线。例如,要作 $v_{DS} = 10$ V 的转移特性曲线,可在图 1.4.3 所示的输出特性曲线上作 $v_{DS} = 10$ V 的垂线,分别找出垂线与输出特性曲线各个交点的 i_D值,然后以 v_{GS}和 i_D的数据作图,便得到图 1.4.5 所示的转移特性。显然,取 v_{DS}为不同值,可得到一簇转移特性曲线,但在恒流区,i_D几乎与 v_{DS}无关,故可认为各条曲线基本重合。

理论和实践证明,图 1.4.5 中的转移特性可近似表示为

$$i_D = I_{D(sat)}\left(1 - \frac{v_{GS}}{V_{GS(off)}}\right)^2 \qquad (V_{GS(off)} \leqslant v_{GS} \leqslant 0) \qquad (1.4.1)$$

当 $I_{D(sat)}$和 $V_{GS(off)}$已知时,i_D 可由式(1.4.1)估算出来。

---

① 通常以 $i_D = 50$ μA 时的 v_{GS}作为 $V_{GS(off)}$。

1.4.2　绝缘栅场效应管

结型场效应管的输入电阻虽然可高达 $10^6 \sim 10^9\ \Omega$，但由于输入回路 PN 结反向电流的存在，限制了输入电阻的进一步提高，尤其在高温工作时，因 PN 结反向电流随温度升高而增大，输入电阻会显著下降。绝缘栅场效应管的栅极处于绝缘状态，其输入电阻可高达 $10^{12} \sim 10^{15}\ \Omega$。目前用得最广泛的绝缘栅场效应管是以二氧化硅为绝缘层的，这种管子称为金属 - 氧化物 - 半导体场效应管，简称 MOSFET 或 MOS① 管。

绝缘栅场效应管也有 N 沟道和 P 沟道两类，其中每一类又分增强型和耗尽型两种。当 $v_{GS}=0$ 时，漏源之间就已存在导电沟道的，称为耗尽型场效应管（结型场效应管属于耗尽型）；对于 N 沟道管，如果只有在 $v_{GS}>0$ 时，才可能出现导电沟道的，则称为增强型场效应管。四种类型 MOS 管的工作原理相似，下面着重讨论 N 沟道增强型 MOS 管。

1. N 沟道增强型 MOS 管的工作原理

N 沟道增强型 MOS 管的结构如图 1.4.6 所示。在一块低掺杂的 P 型硅衬底上，扩散两个高掺杂的 N^+ 型区，分别作为源极 S 和漏极 D，在两个 N^+ 型区之间的硅表面上生长一层很薄的二氧化硅绝缘层，并在其上覆盖一层金属电极，作为栅极 G，便构成了 N 沟道 MOS 管。图 1.4.7 示为增强型 MOS 管的代表符号。

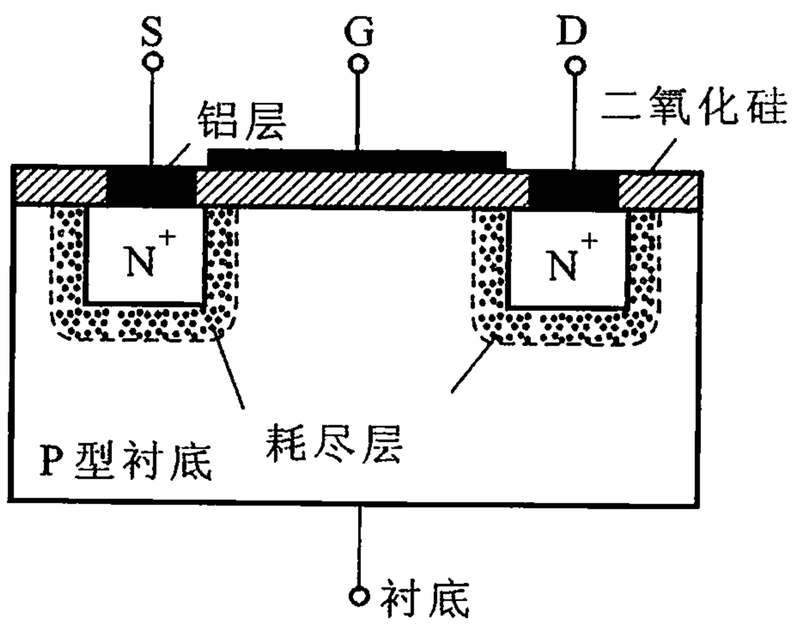


图 1.4.6　N 沟道增强型 MOS 管结构

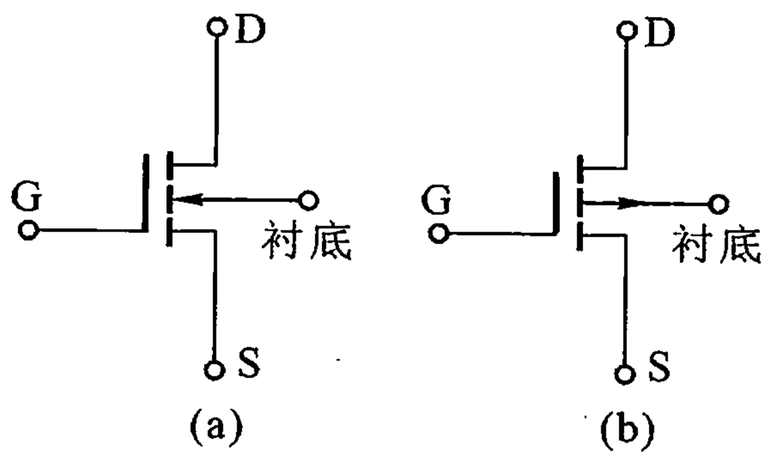


图 1.4.7　增强型 MOS 管符号
（a）N 沟道　（b）P 沟道

① MOSFET 为 Metal - Oxide - Semiconductor type Field Effect Transistor（金属 - 氧化物 - 半导体场效应管）的缩写。

和结型场效应管一样，MOS 管也必须有受栅源电压控制的导电沟道，才能正常工作。由图 1.4.6 可知，当栅源间不加电压时，由于漏源之间有两个背靠背的 PN 结，不存在导电沟道，所以，即使在漏源间加上电压，也不会有漏极电流。若在栅源间加上正电压 v_{GS}，这一电压便加在栅极（铝层）和 P 型衬底构成的以二氧化硅为介质的平板电容器上（在使用时，一般都将衬底与源极连在一起），在介质中产生一个垂直指向 P 型硅表面的电场，P 型硅表面层中的空穴将受电场的排斥而移向体内，于是随着 v_{GS}的增加和电场的增强，表面层中的空穴将全部被赶走而形成耗尽层，如图 1.4.8（a）所示。当 v_{GS}继续增加到一个临界电压 $V_{GS(th)}$（称为开启电压）以后，介质中的电场将把 P 型硅中的少数载流子电子吸引到表面层来，形成一个 N 型薄层，通常称为反型层，如图 1.4.8（b）所示。反型层实际上构成了漏极和源极之间的导电沟道，如果这时加上 v_{DS}，就会产生漏极电流 i_D。显然，随着栅源正电压的增加，便有更多的电子被吸引到 P 型硅表面，反型层更厚，沟道电阻减小，i_D增加。这表明 v_{GS}对漏极电流 i_D有控制作用。

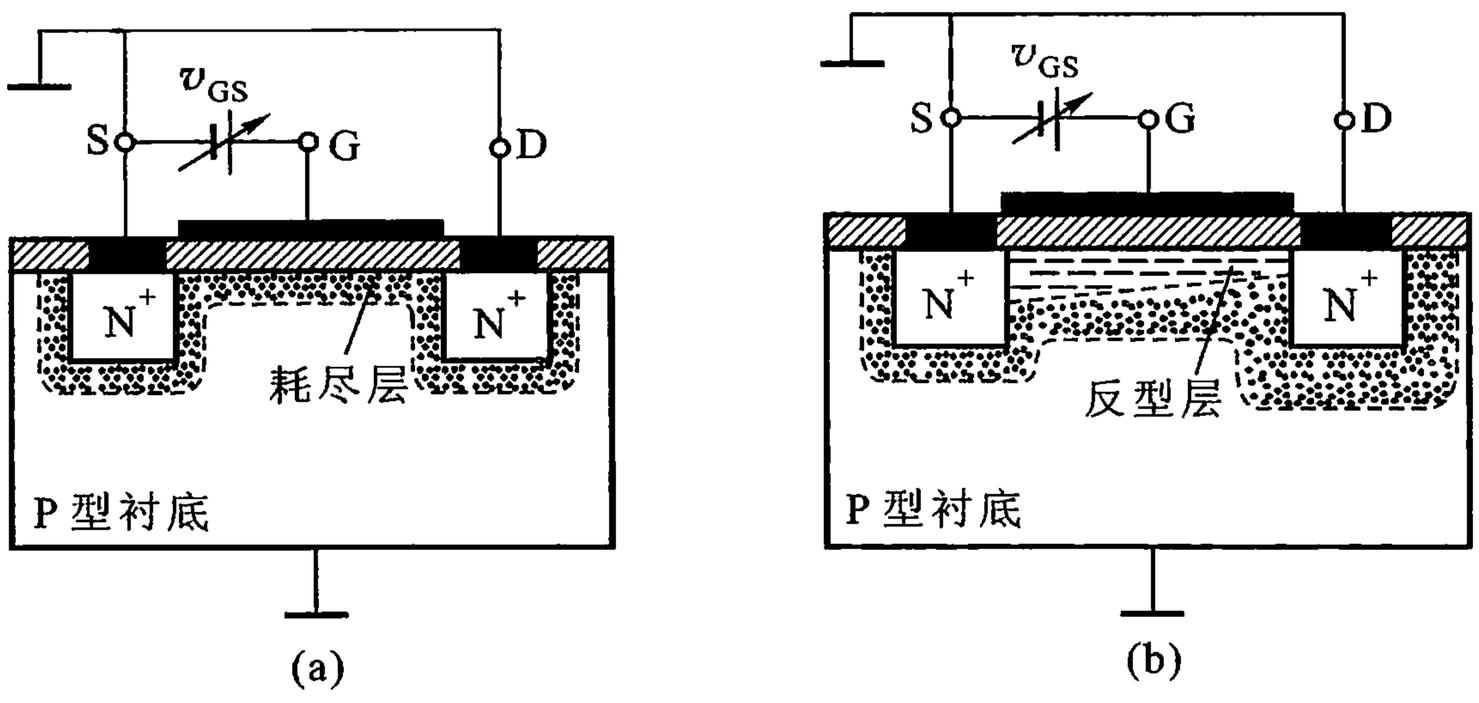


图 1.4.8 $v_{DS}=0$ 时，v_{GS}产生的电场效应

（a）v_{GS}较小时，P 型硅表面出现耗尽层 （b）$v_{GS} \geqslant V_{GS(th)}$时出现反型层

N 沟道增强型 MOS 管的转移特性如图 1.4.9（a）所示。当 v_{GS}小于开启电压 $V_{GS(th)}$时，没有形成导电沟道，$i_D=0$。当 v_{GS}增加到开启电压 $V_{GS(th)}$时，开始形成导电沟道，此后随着 v_{GS}的增加，导电沟道加深，漏极电流增大，通常 N 沟道增强型 MOS 管的开启电压 $V_{GS(th)}=(1\sim10)$ V。

N 沟道增强型 MOS 管输出特性如图 1.4.9（b）所示。在 $v_{GS}>V_{GS(th)}$时，形成了导电沟道，这时，如果 $v_{DS}=0$，即漏源之间无电压，没有沿导电沟道方向的电场，沟道内无电子漂移，漏极电流 $i_D=0$。在 v_{DS}不大时，沟道基本保持原始状态，这时，随着 v_{DS}的增加，沟道电场增强，i_D直线上升。当 v_{DS}增加较大时，

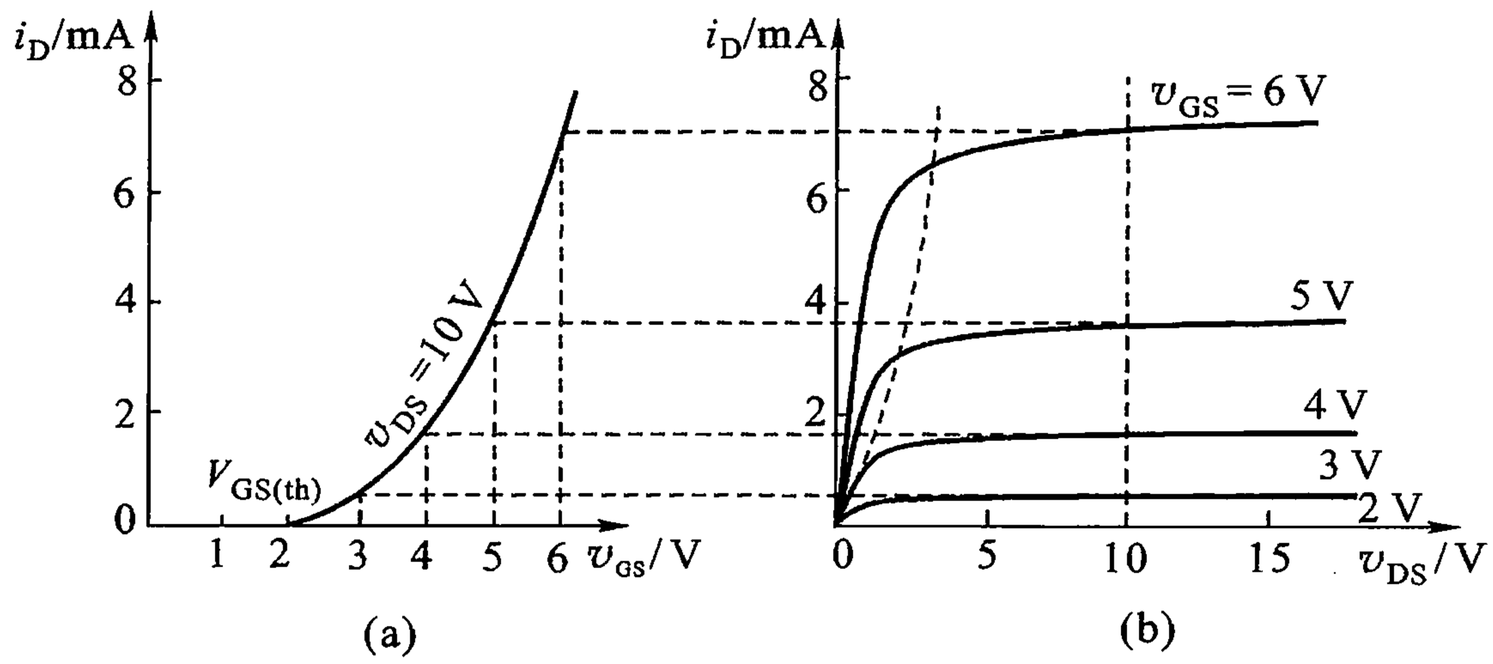


图 1.4.9　N 沟道增强型 MOS 管的特性曲线

（a）转移特性　（b）输出特性

v_{DS}沿着沟道递降，在沿沟道各点上，栅极与沟道之间的电压显著不同，在近漏端这一电压等于$(v_{GS}-v_{DS})$为最小，于是垂直于 P 型硅表面的电场最弱，沟道最浅，而近源端沟道最深。这时，随着v_{DS}的增加，沟道电阻增大，i_D上升缓慢。当v_{DS}继续增大到$v_{GS}-v_{DS}=V_{GS(th)}$时，近漏端的沟道处于开始形成的状态，或者说近漏端沟道开始消失，如图 1.4.10 中所示$\delta=0$的情况。通常把这种情况称为沟道在漏端被“夹断”，这相当于结型场效应管预夹断的开始。若进一步增加v_{DS}，则夹断区扩展，δ增加。v_{DS}增加的部分降在夹断区上，沟道电场增加很少，因此，i_D基本恒定，管子呈现恒流特性。显然这些现象与结型场效应管的情况是类似的。

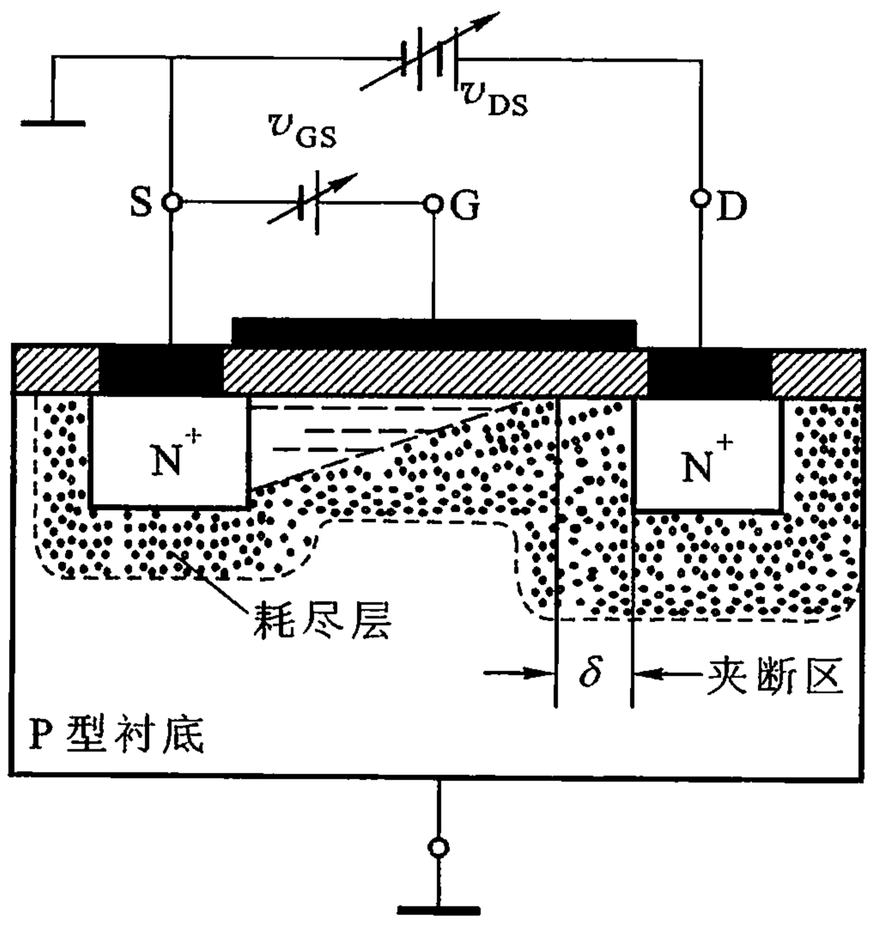


图 1.4.10　v_{DS}较大时，沟道被夹断

对于不同的 v_{GS}值，沟道深浅不同，在恒流区中 i_D的值就各不相同，形成一簇输出特性曲线。

2. 耗尽型 MOS 管的工作特点

N 沟道耗尽型 MOS 管的结构与 N 沟道增强型 MOS 管基本相同，它们的差别在于耗尽型管的二氧化硅绝缘层中掺有大量的正离子，因此，即使 $v_{GS}=0$ 时，两个 N 型区之间的 P 型硅表面已感应出大量的电子，形成了导电沟道，在 v_{DS}的作用下，就会产生漏极电流。图 1.4.11 示为耗尽型 MOS 管的符号。

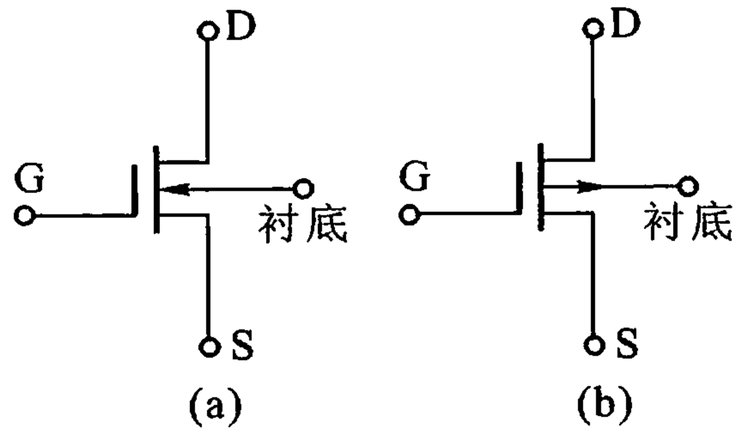


图 1.4.11 耗尽型 MOS 管符号
(a) N 沟道管 (b) P 沟道管

N 沟道耗尽型 MOS 管的特性曲线如图 1.4.12 所示。由转移特性可见，在 $v_{GS}=0$ 时，便有较大的漏极电流 $I_{D(sat)}$。随着 v_{GS}的减小，i_D相应减小，当 v_{GS}减小到夹断电压 $V_{GS(off)}$时，$i_D\approx 0$。从这些特性可以看出，无论栅源电压为正还是为负，都能控制 i_D的大小，并且不会出现栅流。这是耗尽型 MOS 管的特点，和 N 沟道结型场效应管的区别也在于此。

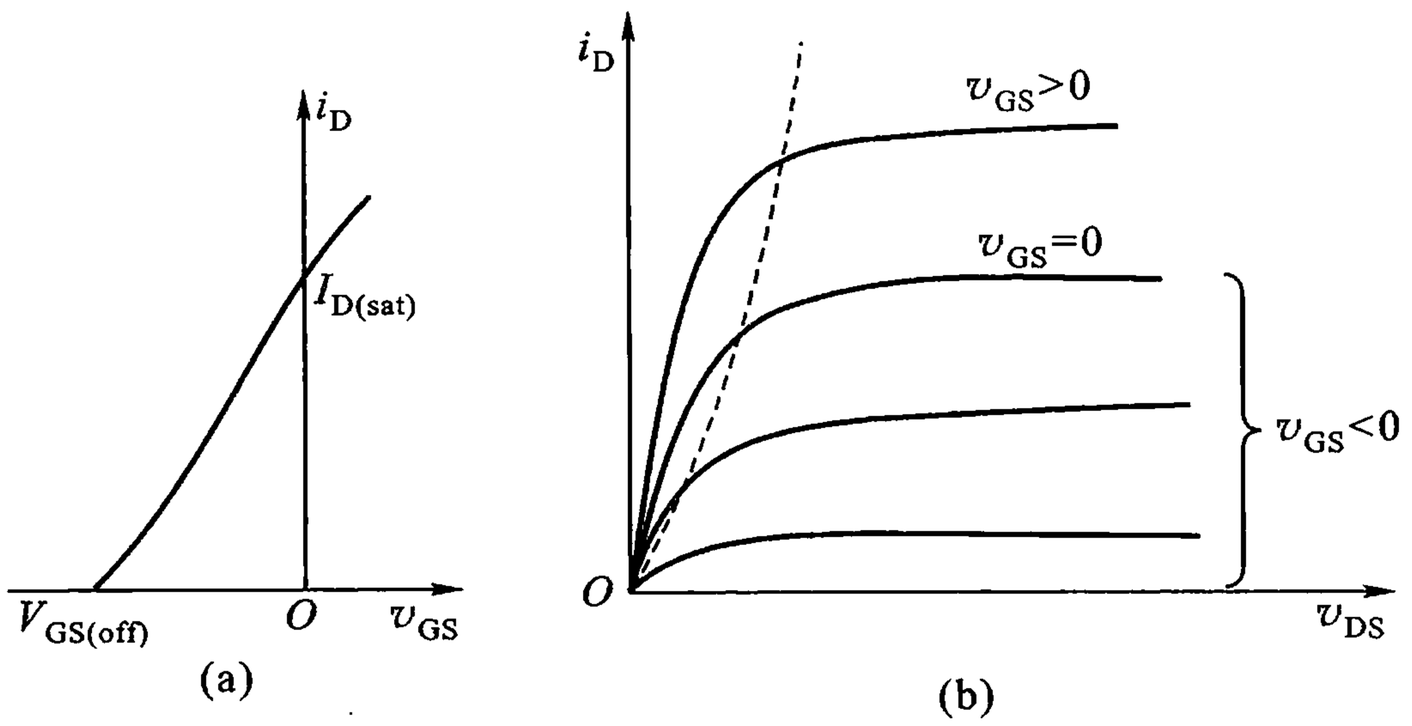


图 1.4.12 N 沟道耗尽型 MOS 管的特性曲线
(a) 转移特性 (b) 输出特性

上面介绍了各类 N 沟道场效应管的原理，P 沟道场效应管的工作原理与前者相同，但电源电压的极性要调换，电流方向与 N 沟道相反。各种场效应管的参数、符号、电源极性和特性曲线，可参阅有关文献。

1.4.3　场效应管的主要参数

1. 直流参数

（1）开启电压 $V_{GS(th)}$。这是增强型绝缘栅场效应管的参数。是指在 v_{DS} 为某一固定数值的条件下能产生 i_D 值所需的最小 v_{GS} 值。通常取 i_D 为某一微小电流（如 10 μA）时的 v_{GS} 值为 $V_{GS(th)}$。

（2）夹断电压 $V_{GS(off)}$。这是耗尽型场效应管的参数。是指在 v_{DS} 为某一固定数值的条件下，使 i_D 等于某一微小电流（如 50 μA）时所对应的 v_{GS} 值。

（3）饱和漏极电流 $I_{D(sat)}$。这是耗尽型管子的参数。是指在 $v_{GS}=0$ 的情况下，$v_{DS} > |V_{GS(off)}|$ 时的漏极电流。对于结型场效应管来说，$I_{D(sat)}$ 也是管子所能输出的最大电流。

（4）直流输入电阻 R_{GS}。是在漏源短路的情况下，栅源之间所加直流电压与栅极直流电流的比值。结型场效应管的 R_{GS} 一般大于 $10^7\ \Omega$，而绝缘栅型管一般大于 $10^9\ \Omega$。

2. 交流参数

（1）低频跨导 g_m。是指在 v_{DS} 恒定时，i_D 的微小变化量与引起这个变化的栅源电压的微变量之比，即

$$g_m = \left.\frac{\partial i_D}{\partial v_{GS}}\right|_{V_{DS}} \tag{1.4.2}$$

跨导反映了栅源电压对漏极电流的控制能力，它相当于转移特性上工作点处切线的斜率，单位是西[西门子]（S），常用 mS 表示。g_m 的值一般为（0.1 ~ 10）mS。g_m 不是一个恒量，它与 i_D 的大小有关，即与工作点的位置有关。g_m 可按其定义从转移特性曲线上求出，也可从输出特性曲线上求出。如果没有现成的特性曲线，则可利用式（1.4.1）和式（1.4.2）近似计算 g_m 值，即①

$$g_m = \frac{\mathrm{d}\left[I_{D(sat)}\left(1-\frac{v_{GS}}{V_{GS(off)}}\right)^2\right]}{\mathrm{d}v_{GS}} = -\frac{2I_{D(sat)}\left(1-\frac{v_{GS}}{V_{GS(off)}}\right)}{V_{GS(off)}}$$

$$(V_{GS(off)} \leqslant v_{GS} \leqslant 0) \tag{1.4.3}$$

（2）极间电容。即栅源电容 C_{gs}、栅漏电容 C_{gd} 和漏源电容 C_{ds}。它们是由 PN 结的势垒电容和分布电容构成的。C_{gs} 和 C_{gd} 的数值一般为（1 ~ 3）pF，C_{ds} 约

---

① 式（1.4.3）只能用来计算结型场效应管和耗尽型场效应管的跨导。因增强型场效应管的转移特性曲线表达式比较复杂，一般不采用对 i_D 求导的方法计算跨导，而根据定义在曲线上求解更为方便。

为(0.1～1) pF。

3. 极限参数

(1) 漏源击穿电压 $V_{(BR)DS}$。是指管子发生雪崩击穿、i_D 开始急剧上升时的 v_{DS}值。因加在 PN 结上的反压为($v_{GS}-v_{DS}$),所以 v_{GS}越负,$V_{(BR)DS}$越小。

(2) 栅源击穿电压 $V_{(BR)GS}$。对于结型管是指输入 PN 结反向电流开始剧增时的 v_{GS}值;对绝缘栅型管,是指使绝缘层击穿的 v_{GS}值。

除此之外,还有最大漏极电流 I_{DM}、最大耗散功率 P_{DSM}等极限参数。它们的含意与晶体管的相应参数类似。

1.4.4 场效应管使用注意事项

(1) 在使用 MOS 管时,一般情况应将衬底引线(这种管子有 4 个管脚)与源极引线连在一起,以减小源衬间电压对管子导电性能的影响。如果需要分开,则必须保证源衬间的 PN 结处于反向偏置。

(2) 场效应管的源极与漏极可以互换,但有些产品在制作时已将衬底与源极连在一起,这种管子的源极与漏极不能对调使用。

(3) 结型管的栅源电压不能接反,但可开路保存。而绝缘栅型管,则因其输入电阻很大,使得栅极感应电荷不易泄放,而且由于绝缘层很薄,栅极与衬底间的电容量很小,栅极只要感应少量的电荷即可产生较高的电压,造成管子的击穿。为了避免上述现象的发生,存放管子时,应将各电极间短路;焊接时,烙铁外壳必须良好接地,或拔掉烙铁的电源插头;在电路中,栅源间要有直流通路。

1.4.5 场效应管与双极型晶体管的比较

(1) 场效应管是电压控制器件,栅极基本不取电流,而晶体管是电流控制器件,基极必须取一定的电流。因此,对于信号源额定电流极小的情况,应选用场效应管。

(2) 场效应管是多子导电,而晶体管的两种载流子均参与导电。由于少子的浓度对温度、辐射等外界条件很敏感,因此,对于环境变化较大的场合,采用场效应管比较合适。

(3) 场效应管除了和晶体管一样可作为放大器件及可控开关外,还可作压控可变线性电阻使用。

(4) 场效应管的源极和漏极在结构上是对称的,可以互换使用;耗尽型 MOS 管的栅源电压可正可负。因此,使用场效应管比晶体管灵活。

附录 1.1　半导体器件的命名方法

我国生产的各种半导体器件的型号，是根据国家标准 BG249 - 74《半导体器件型号命名方法》统一命名的。半导体器件的型号由五个部分组成，各部分的符号及其代表意义如附表1.1.1 所示。

附表 1.1.1　常用半导体器件型号组成部分的符号及其意义

第一部分		第二部分		第三部分		第四部分	第五部分
用数字表示器件的电极数目		用汉语拼音字母表示器件的材料		用汉语拼音字母表示器件类型		用数字表示器件序号	用汉语拼音字母表示规格号
符号	意义	符号	意　义	符号	意　义		
2	二极管	A	N 型锗材料	P	普通管		
		B	P 型锗材料	V	微波管		
		C	N 型硅材料	W	稳压管		
		D	P 型硅材料	Z	整流管		
3	三极管	A	PNP 型锗材料	K	开关管		
		B	NPN 型锗材料	X	低频小功率管		
		C	PNP 型硅材料	G	高频小功率管		
		D	NPN 型硅材料	D	低频大功率管		
				A	高频大功率管		
				T	半导体闸流管(可控整流器)		
				CS	场效应器件		
				FH	复合管		



小结

1. 半导体中载流子有两种产生方式：本征激发和掺杂。本征激发产生电子 - 空穴对，且载流子浓度随温度而变化。掺杂分两种情况：掺入施主杂质形成 N 型半导体，电子为多数载流子；掺入受主杂质形成 P 型半导体，空穴为多数载流子。掺杂产生的载流子浓度基本不受温度影响。

2. 半导体中载流子有两种运动方式：扩散运动和漂移运动。PN 结是由这两种运动形成的。

3. 半导体二极管实质上就是一个 PN 结，其基本特性是单向导电性。

4. 晶体管由两个背向的 PN 结组成，它是电流控制器件。它通过基极或射极电流去控制集电极电流。晶体管作放大时，发射结必须正向偏置，集电结必须反向偏置。

5. 场效应管是电压控制器件，它通过栅源电压的电场效应去控制漏极电流。因输入回路的 PN 结处于反向偏置或输入端处于绝缘状态，因此，输入电阻远大于晶体管。

6. 半导体二极管、晶体管和场效应管都是非线性器件。应着重掌握它们的外特性，即二极管的伏安特性、晶体管的输入特性和输出特性、场效应管的输出特性和转移特性。



习题与思考题

1.1 试简述 PN 结的形成过程。空间电荷区、阻挡层、耗尽层和势垒区等名称是根据什么特性提出来的？

1.2 （1）在室温下，当硅二极管的反向电流达到其反向饱和电流 $I_{R(sat)}$ 的 95% 时，反向电压是多少？

（2）计算偏压为 +0.1 V 和 −0.1 V 时，相应的正向电流和反向电流的比值；

（3）如果反向饱和电流为 10 nA（1 nA = 10^{-9} A），计算相应于电压为 0.6 V 时的正向电流，并说明这一结果与实际不符的原因。

1.3 在测量二极管的正向直流电阻时，用万用表的“$R \times 10$”挡测出的阻值小，用“$R \times 100$”挡测出的阻值大，原因何在？

1.4 怎样用万用表判断二极管的极性和好坏？

1.5 限幅电路如图 P1.5 所示，设 D 为理想二极管，输入电压 v_i 为正弦波，其振幅大于 V_R。试绘出输出电压 v_O 的波形。

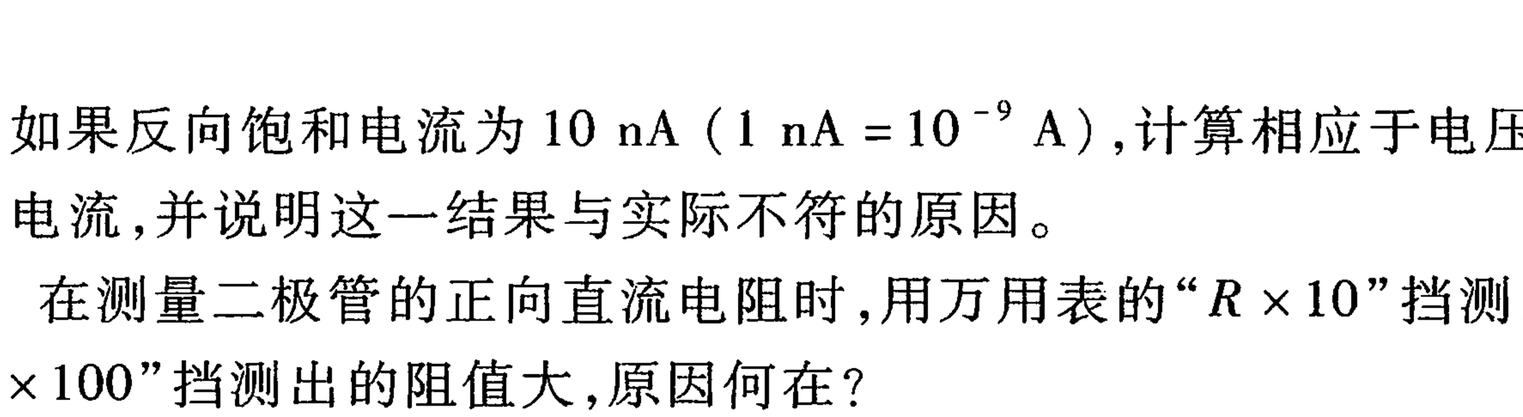


图 P1.5

1.6　双向限幅电路如图 P1.6 所示，设 D_1、D_2 为理想二极管，输入电压 v_i 为正弦波，其振幅 $V_{im}=3\ V_R$。试绘出输出电压 v_O 的波形。

1.7　双向限幅电路如图 P1.7 所示，设 D_1、D_2 为理想二极管，输入电压 v_I 由 0 ~ 100 V 作线性变化。绘出相应于 v_I 的输出电压 v_O 随时间的变化曲线。

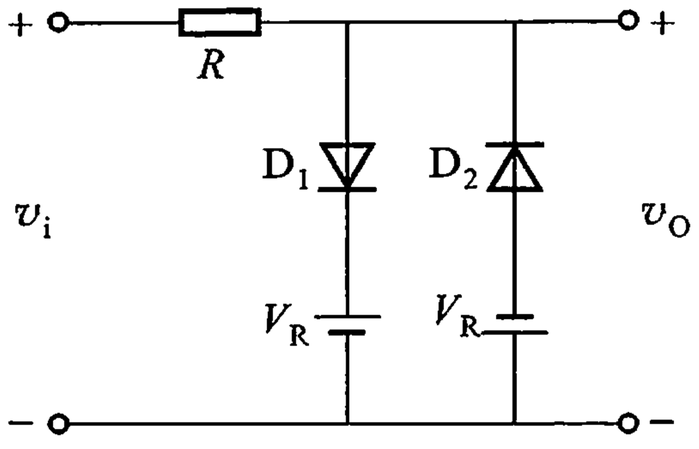


图 P1.6

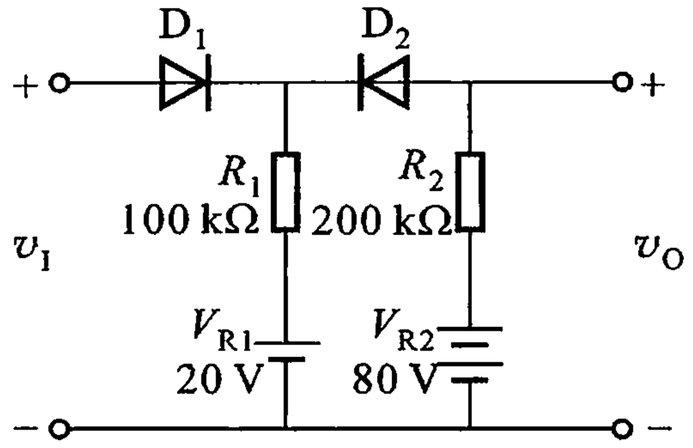


图 P1.7

1.8　求图 P1.8 所示的各电路中的电流 I 和电压 V（设电路中的二极管均为理想二极管）。

1.9　稳压管稳压电路如图 P1.9 所示。已知稳压管的稳定电压 $V_Z=6$ V，最大稳定电流 $I_{Zmax}=25$ mA，最小稳定电流 $I_{Zmin}=2$ mA，限流电阻 $R=500\ \Omega$。

（1）$V_I=15$ V，$R_L=2$ kΩ 时，电路工作是否正常？$V_O=$？

（2）$V_I=10$ V，$R_L=800\ \Omega$ 时，电路工作情况如何？

（3）$V_I=20$ V，R_L 开路时，电路可能会出现什么情况？为什么？

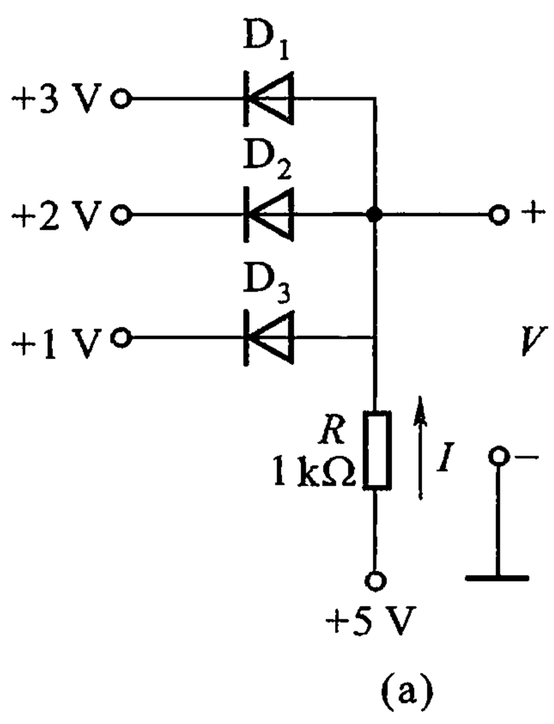


图 P1.8

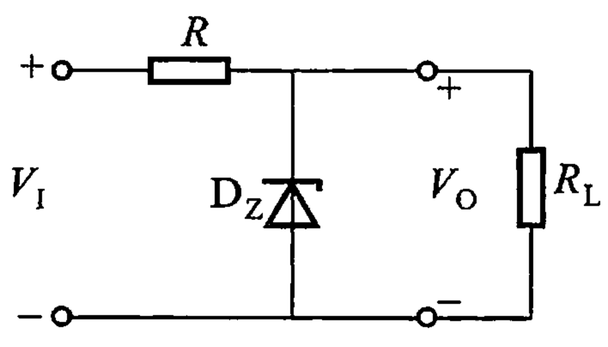


图 P1.9

1.10　将两个二极管按图 P1.10 的方式连接起来，是否与晶体管一样具有

电流放大作用？为什么？

1.11 为什么晶体管的发射区掺杂浓度大，而基区的掺杂浓度小且做得很薄？

1.12 将一个 PNP 型晶体管接成共发射极放大电路，

（1）画出电路，标出电源的极性。

（2）如果管子的 $\alpha=0.98$，要得到 10 mA 的集电极电流，问基极电流应多大？

（3）分析管内载流子的运动情况。

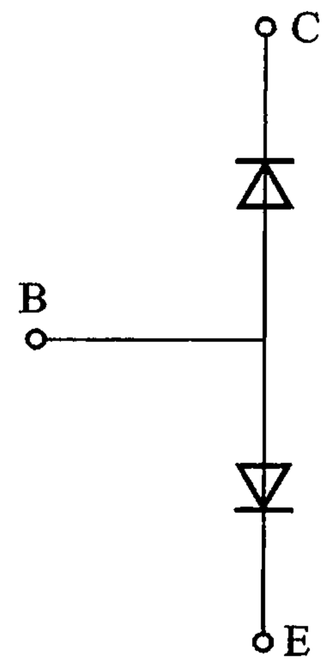


图 P1.10

1.13 一个晶体管的 $I_B=10\ \mu A$，$I_C=0.5\ mA$。在什么条件下才能用这两个数据来计算它的交流电流放大系数？

1.14 若测得放大电路中某一晶体管三个电极对地的电压分别为 $V_1=-6.2\ V$，$V_2=-6\ V$，$V_3=-9\ V$。试判定晶体管的电极和类别。

1.15 晶体管的输出特性如图 P1.15 所示，已知它的 $P_{CM}=200\ mW$，$I_{CM}=20\ mA$，$V_{(BR)CEO}=15\ V$。

（1）定出安全工作区；

（2）定出放大区；

（3）当 $v_{CE}=6\ V$ 时，能否使 i_C 工作在 30 mA？为什么？

1.16 场效应管工作于恒流区时，为什么漏极电流随栅源电压变化？

1.17 已知场效应管的输出特性曲线如图 P1.17 所示。

（1）试判断场效应管的类型，确定 $V_{GS(off)}$ 和 $I_{D(sat)}$ 值，并用虚线在图上画出饱和区（恒流区）和可变电阻区的分界线。

（2）画出 $-v_{DS}=10\ V$ 时的转移特性曲线。

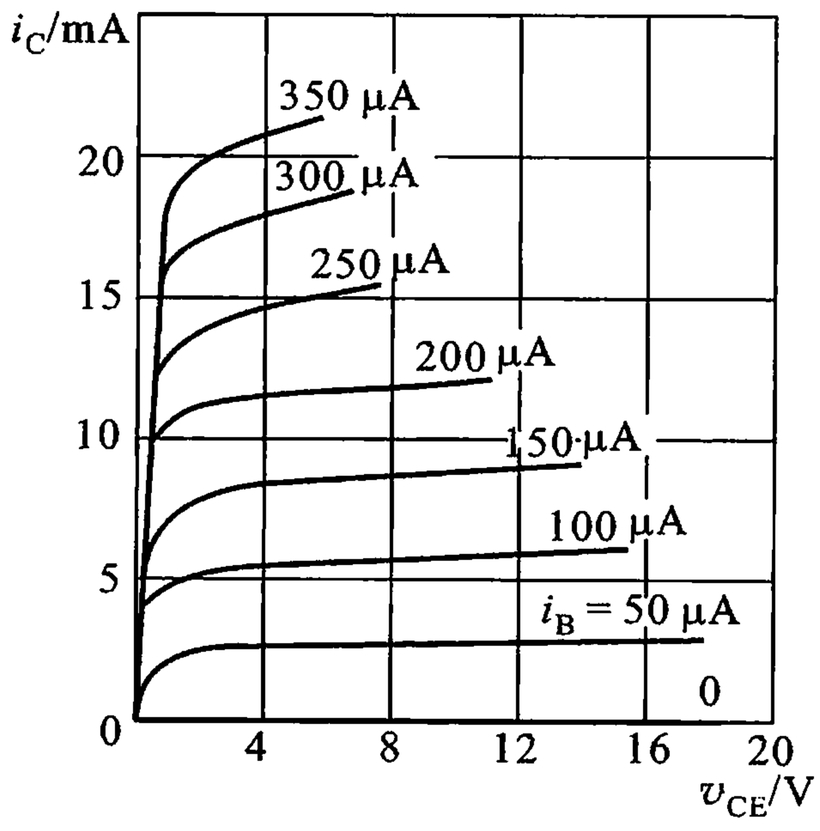


图 P1.15

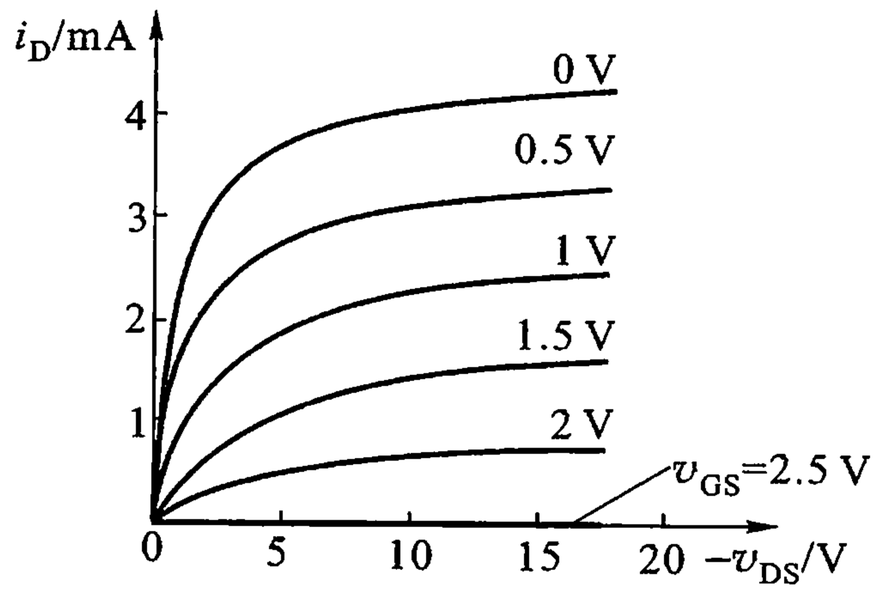


图 P1.17

第 2 章　放大电路基础

引　言

放大电路的主要功能是将微弱的电信号进行放大。由于受到能量守恒定律的限制，放大电路的本质是在输入信号的控制下，将外部能量源（如直流电源）提供的能量转换成所需要的信号能量输出到负载上。通常输出到负载上的能量大于输入信号能量，即信号得到了放大。然而在小信号放大过程中，我们习惯地忽略这种能量转换过程，并简化地认为放大电路“直接地”将信号放大。

目前，在广播、通信、雷达、自动控制、电子测量仪器及各种电子设备中都已广泛采用集成放大器件，而单管放大电路是组成放大电路的基本单元，也是理解各种放大电路的基础。其中晶体管共发射极放大电路是最常用的一种基本形式。因此，我们以这一典型基本放大电路为例，开展对放大电路各项性能指标的讨论。本章将介绍分析放大电路的两个重要方法——图解法和等效电路法，并指出各自的优点和局限性。在此基础上用等效电路法分析共集电极放大电路，并对放大电路三种基本组态的性能加以比较。作为与晶体管对应的另一种放大器件场效应管，对由它组成的放大电路也作了初步的介绍。放大电路能正常和稳定工作的必要条件是给放大管设置合适的、稳定的偏置。在分析基本放大电路的性能指标后，接着介绍了偏置电路。在分析基本放大电路的高频特性时，采用晶体管混合 π 型等效电路。对多级放大电路，仅作简单的讨论。

通过本章的学习，希望能够掌握放大电路的组成原则、工作原理及其性能指标的计算方法，为整个电子线路的学习打好基础。

2.1　放大电路的组成及工作原理

2.1.1　放大电路的功能及组成

放大电路是电子设备中不可缺少的组成部分，它的主要功能是放大电信号，即把微弱的电信号（电流、电压或功率）通过电子器件的控制作用，将直流电源

功率转换成一定幅度的、随输入信号变化的输出信号。根据放大电路放大信号的过程可知，一个放大电路必须有如图 2.1.1 所示的各个组成部分，即信号源、半导体器件、负载、直流电源和相应的偏置电路。输入信号源通常是将非电量变换为电量的换能器，例如，将声音变换为电信号的话筒、将图像变换为电信号的摄像管等。在实验室中，输入信号源为信号发生器；在电路中，前一级的输出信号就是本级的输入信号。它们均可用一等效的信号源电动势 $\dot{V}_s$ 与内阻 R_s 相串联的电路来替代。半导体器件是控制能量转换的电子器件，根据晶体管的三种基本连接方式可得到三种基本组态的放大电路，即共发射极放大电路、共基极放大电路和共集电极放大电路。它们是组成各种复杂放大电路的基本单元。直流电源为放大电路提供直流功率，偏置电路则为放大电路中的半导体器件提供合适的静态工作点，保证其正常的工作状态。负载 R_L 可能是扬声器、显示屏或者是下一级的输入电阻等。

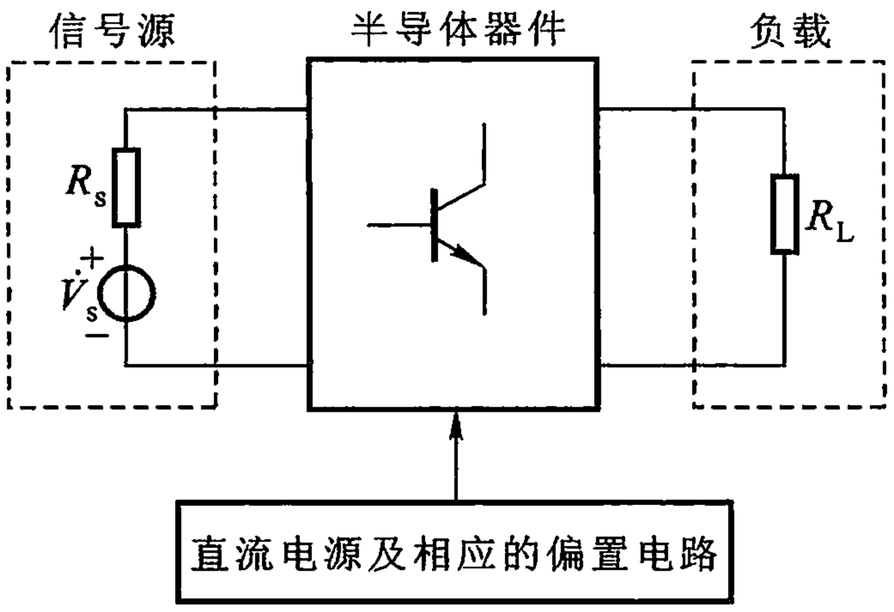


图 2.1.1　放大电路的基本组成

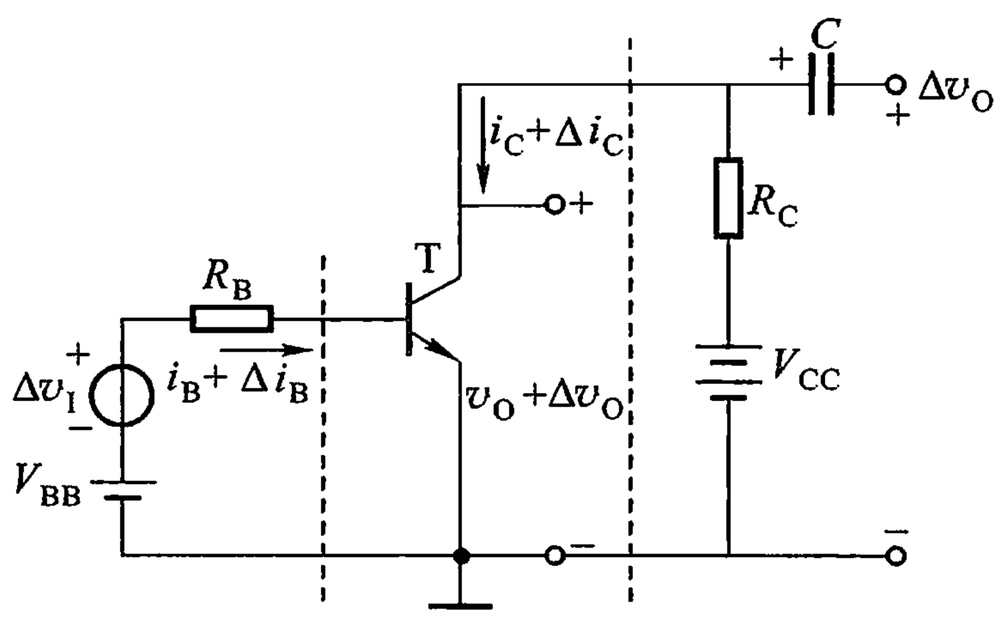


图 2.1.2　共发射极基本放大电路

在由晶体管所组成的放大电路中，无论是哪一种组态，处于放大状态的晶体管必须满足发射结正向偏置、集电结反向偏置的原则。单管共发射极放大电路是应用最广泛的基本放大电路。图 2.1.2 所示为用 NPN 型晶体管组成的共发射极放大电路。

在图 2.1.2 中，晶体管 T 担负电流放大作用，是电路的核心元件。V_{BB} 为基极直流电源，它通过基极电阻 R_B 为晶体管的发射结提供合适的正向偏置和基极电流。V_{CC} 为集电极直流电源，它通过集电极电阻 R_C 为晶体管集电结提供反向偏置；由于能量守恒，所以，V_{CC} 又是能量的来源，放大电路所输出的较大能量来自直流电源 V_{CC}。R_C 的另一个重要作用是把放大了的集电极电流转化为输出电压，从而使电路具有电压放大作用。待放大的信号电压 Δv_I 串接在由 R_B、V_{BB} 和发射结组成的输入回路中，输出电压 Δv_O 为集电极和发射极间

的电压变化量。电容 C 为耦合电容，它只允许交流信号通过，即在输出端只存在变化电压 Δv_O。

在电子设备中，通常将放大电路的输入端、输出端以及直流电源（V_{BB}、V_{CC}）的公共端连在一起，作为电路中电位的参考点，习惯上称为“地”，但不一定与大地相连。

图 2.1.2 所示的共发射极放大电路的放大原理如下：在放大电路的输入回路中加入瞬变信号电压 Δv_I 时，输入回路的电压由 V_{BB} 变为 $V_{BB} + \Delta v_I$，则基极电流由 i_B 变为 $i_B + \Delta i_B$，晶体管把基极电流放大 β 倍，使集电极电流由 i_C 变为 $i_C + \Delta i_C$，集电极电流在 R_C 上的压降由 v_{R_C} 变为 $v_{R_C} + \Delta v_{R_C}$，集射间的电压为电源电压 V_{CC} 与 R_C 上电压之差，它由 v_O 变为 $v_O + \Delta v_O$。只要适当选取 R_C 的大小，就能使 Δv_O 比 Δv_I 大许多倍，这就是放大电路的电压放大倍数。

由上述分析可知，放大作用是通过晶体管基极电流对集电极电流的控制作用实现的，即在输入回路加入一个能量微小的信号，通过基极电流的改变量去控制集电极电流，从而将直流电源 V_{CC} 所提供的能量转化为与输入信号变化规律相同、能量较大的输出信号传给负载。

对放大电路的分析，可分为直流分析和交流分析。直流分析可确定出晶体管的静态工作点。交流分析可以清楚地看到电路中各交流信号之间的关系，并可以用公式表示出放大电路的性能指标。交流分析是建立在直流状态基础之上的动态分析，为了便于分析，通常应画出放大电路的交流通路。在画交流通路时，电路中的直流电源电压 V_{BB}、V_{CC} 应短接，耦合电容可视为短路。据此就可以画出图 2.1.2 所示放大电路的交流通路，如图 2.1.3(a)所示。根据交流通路还可以得到放大电路方框图的一般表示形式，如图 2.1.3(b)所示。图中用 R_L 来替代各种形式的实际负载。R_s 为信号源内阻、$\dot{A}$ 表示放大电路。

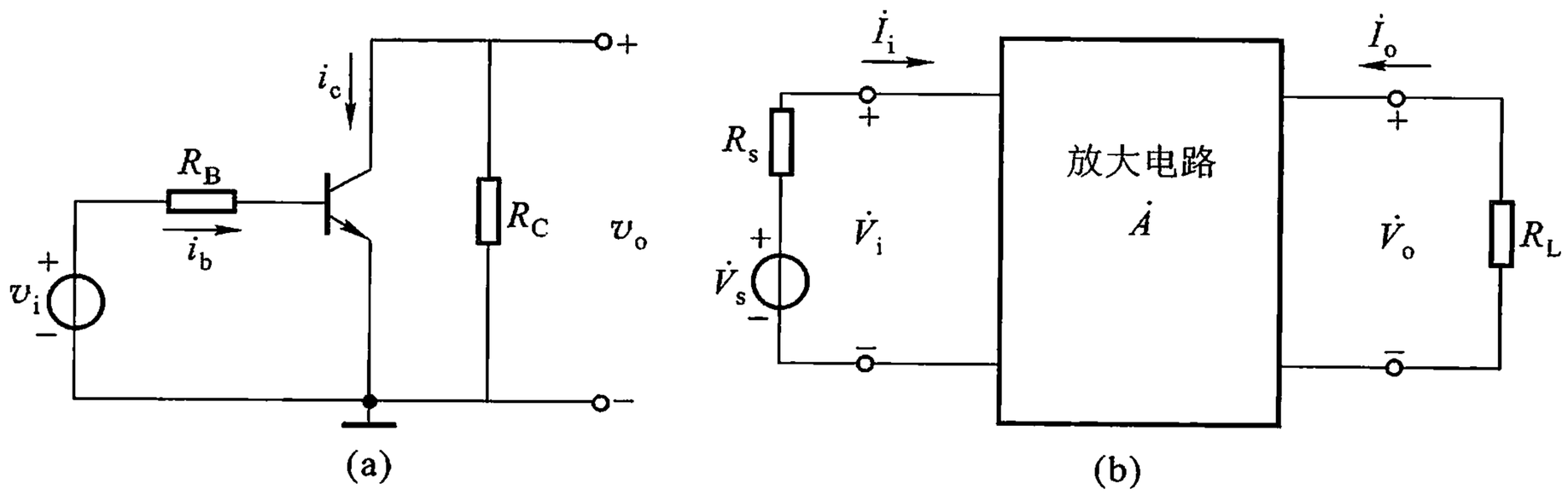


图 2.1.3　放大电路的交流通路及方框图的一般形式

（a）交流通路　（b）放大电路框图的一般形式

2.1.2 放大电路的性能指标

各种小信号放大电路均可用图 2.1.3(b)所示的框图来表示。当输入信号较小,且晶体管又工作在线性区域时,放大电路$\dot{A}$可视为线性有源双口网络①,如图 2.1.4 所示。其输入端口与待放大的信号源相连接,$\dot{V}_i$ 和 $\dot{I}_i$ 分别表示放大电路的输入电压和输入电流。放大电路的输出端口与负载 R_L 相连接,$\dot{V}_o$ 和 $\dot{I}_o$ 分别表示放大电路输出电压与输出电流。

实际信号都是不规则的信号,不便于测量和比较。由信号的频谱分析可知,各种不规则的信号都是由多个不同幅度、不同频率、不同相位的正弦波叠加而成的。所以,通常都是以正弦信号作为测定放大电路性能指标的测试信号。

在分析放大电路性能指标以前,首先必须了解放大电路有哪些性能指标,它们是如何定义的。常用的指标有放大倍数、输入电阻、输出电阻、非线性失真系数、通频带及动态范围、输出功率和效率等。对于不同用途的放大电路,其指标各有侧重。这里只介绍常用的电压放大电路所追求的指标,即电压放大倍数、输入电阻、输出电阻、非线性失真系数和通频带。而对于功率放大电路的特殊指标,将在 2.11 节讨论功率电路时介绍。

1. 电压放大倍数 $\dot{A}_V$

放大倍数又称放大电路的增益,它是衡量放大电路放大能力的指标,有电压放大倍数、电流放大倍数和功率放大倍数三种。对一般放大电路主要探讨的是电压放大倍数$\dot{A}_V$,它定义为放大电路的输出电压$\dot{V}_o$与输入电压$\dot{V}_i$之比,即

$$\dot{A}_V = \frac{\dot{V}_o}{\dot{V}_i} = \frac{V_o}{V_i}e^{j\varphi}$$

式中 φ 为输出电压与输入电压的相位差。但在不讨论A_V的相位频率特性时,可将其简写为

$$A_V = \frac{V_o}{V_i} \tag{2.1.1}$$

有时还讨论源电压放大倍数,它定义为放大电路的输出电压与信号源的电压之比,即

---

① 网络的含意,见附录 2.3.2。

$$\dot{A}_{VS} = \frac{\dot{V}_o}{\dot{V}_s} \tag{2.1.2}$$

2. 输入电阻 R_i

放大电路工作时，必须向信号源索取一定的电流，索取电流的大小表明了放大电路对信号源的影响程度，用输入阻抗来衡量这个影响的大小。通常，在工作频率范围内，可认为输入电流 $\dot{I}_i$ 与输入电压 $\dot{V}_i$ 基本同相位，因此，输入阻抗通常用输入电阻 R_i 来表示，它的定义为

$$R_i = \frac{\dot{V}_i}{\dot{I}_i} \tag{2.1.3}$$

R_i 不是一个实际电阻，而是一个等效的视在电阻。对于信号源而言，R_i 可视为它的负载，如图 2.1.4 所示。

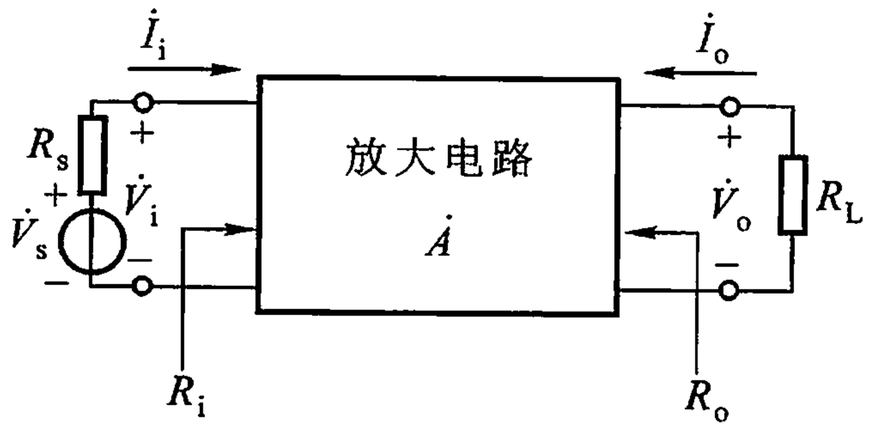


图 2.1.4　放大电路的输入电阻与输出电阻

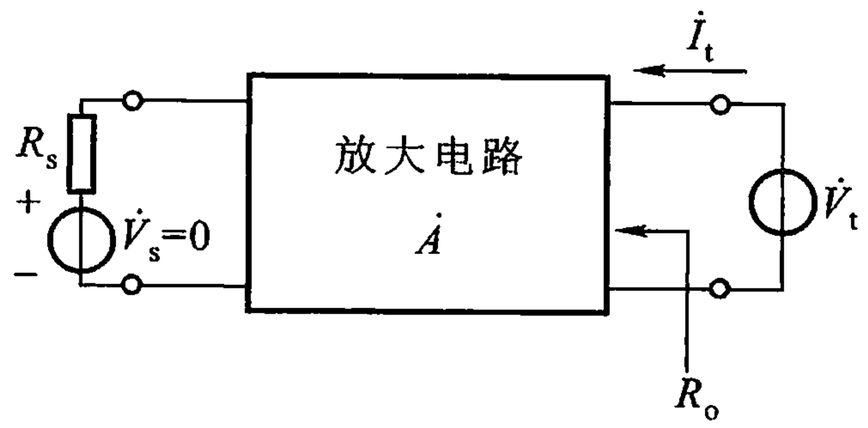


图 2.1.5　求放大电路输出电阻的原理图

3. 输出电阻 R_o

对负载 R_L 而言，放大电路的输出端可等效为一个信号源，该信号源的内阻 R_o 为放大电路的输出电阻。为了求出放大电路的输出电阻 R_o，应令 $\dot{V}_s = 0$，断开 R_L，即令 $R_L = \infty$，在输出端施加测试电压 $\dot{V}_t$，从输出端流进放大电路的电流为 $\dot{I}_t$，如图 2.1.5 所示，则输出电阻为

$$R_o = \left.\frac{\dot{V}_t}{\dot{I}_t}\right|_{\dot{V}_s = 0, R_L = \infty} \tag{2.1.4}$$

根据这一定义，即可算出各种具体的放大电路的输出电阻 R_o。

4. 通频带 BW

由于放大电路中存在电抗元件和放大电路件的电抗效应（放大管的结电容效应等），使放大电路对不同频率的信号有不同的放大能力，在一般情况下，放大电路只对一个特定频率范围内的信号有等同的放大倍数，当信号频率太低或

太高时，放大倍数都将大幅度下降，如图 2.1.6 所示。

当信号频率升高和降低使放大电路的放大倍数下降到中频段放大倍数 $|\dot{A}_{VM}|$ 的 0.707（即 $1/\sqrt{2}$）时所对应的频率，分别记为放大电路的上限频率 f_H 和下限频率 f_L。f_H 与 f_L 之间的频率范围定义为放大电路的通频带，用 BW 表示，即

$$BW = f_H - f_L \qquad (2.1.5)$$

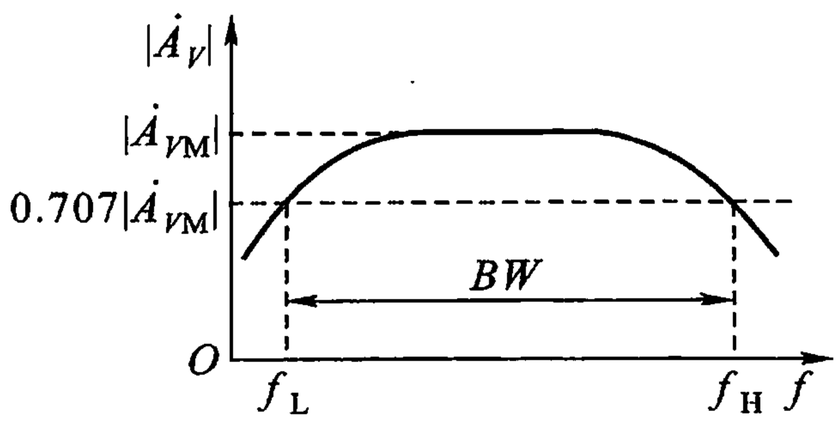


图 2.1.6 放大电路的幅频特性

通频带越宽，表明放大电路对信号频率的适应力越强。例如，对于收音机的低频放大电路，频带越宽，就可将乐曲中丰富的高、低音同等地放大，再通过扬声器放出逼真的声音来。而有些场合则希望频带窄一些好，例如，在收音机和电视机中，为了准确选择电台，必须采用具有选频能力的调谐放大电路（用 LC 调谐回路作为负载的放大电路），这种放大电路只对某一特定频率附近很小频率范围内的信号有放大作用。

5. 非线性失真系数 D

在输入信号幅度较大时，由于放大器件的非线性特性，使放大电路的输出信号相对于输入信号总存在一定程度的失真。由放大器件的非线性引起的波形失真，称为非线性失真。非线性失真系数是衡量放大电路非线性失真程度的指标。放大电路在某一频率的正弦输入信号下，输出波形的谐波成分总量与基波成分之比，称为非线性失真系数 D。若基波和各次谐波的幅值分别为 A_1 和 A_n（$n = 2,3,\cdots$），则非线性失真系数可表示为

$$D = \frac{\sqrt{\sum_{n=2}^{\infty} A_n^2}}{A_1} \qquad (2.1.6)$$

附录 2.1.1 信号的频谱分析

1. 模拟信号和数字信号

电子线路中的信号是由电路产生、处理或传输的变化的电量，如电压变量和电流变量。这些信号都是时间的函数。

近代电子设备中的信号，可分为模拟信号和数字信号两大类。所谓模拟信号，是指反映模拟物理量（如声强、温度等）的电流或电压，它们可能是平滑地、连续地变化的，也可能断续地变化，在任一时刻的幅度有各种可能的取值。图 2.1.7(a) ~ (c)所示为常见的几种模拟信号波形。对于模拟信号，不但要研究

它的有无，而且要研究它对时间的变化规律。

数字信号是在时间上和取值上都不连续的信号，它的幅度只有为数不多的取值。图 2.1.7(d)所示为数字信号一例。对于数字信号，只需考虑它的有无或出现次数，对信号的大小并无严格的要求。而这一点也正是模拟信号与数字信号最本质的区别。

按照信号形式的不同，可将电路分为模拟电路和数字电路两大类，处理模拟信号的电路称为模拟电路，而处理数字信号的电路则称为数字电路。

模拟信号又可分为周期信号和非周期信号。周期信号是每隔一定的时间 T，按同一规律重复变化的信号，图 2.1.7(a) ~ (c)都是周期信号。

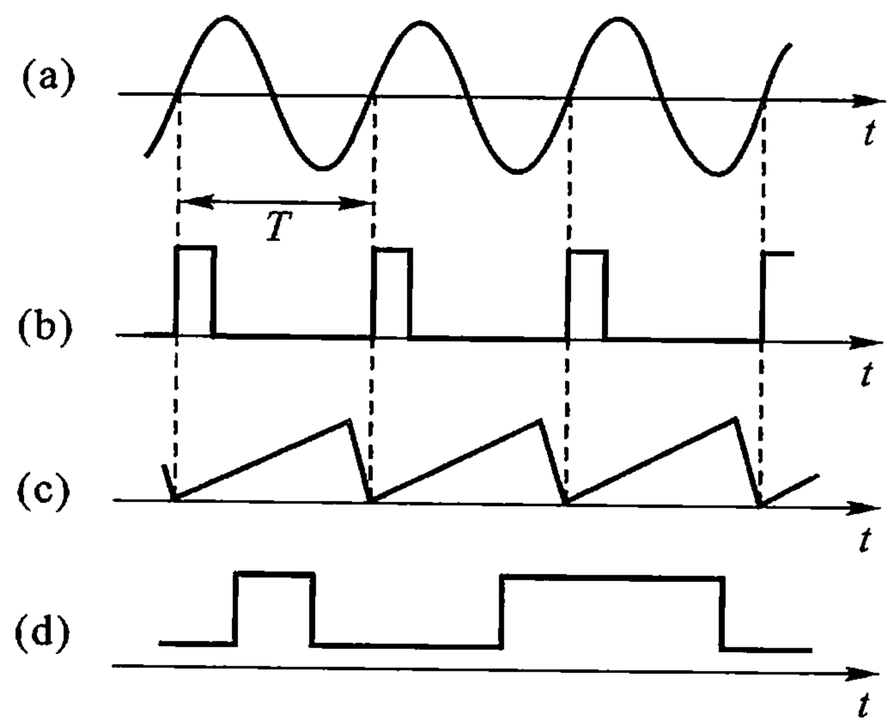


图 2.1.7　几种信号波形

(a) 正弦波　(b) 矩形脉冲　(c) 锯齿波　(d) 数字信号一例

许多脉冲信号属于周期信号。所谓脉冲电压或电流，是指在短暂的时间(如毫秒(ms)至纳秒(ns)数量级)内作用于电路的电压或电流。广义地说，一切非正弦信号，都可称之为脉冲信号。现以图 2.1.8 的矩形电压脉冲为例，介绍描述脉冲信号特征的几个主要参数。

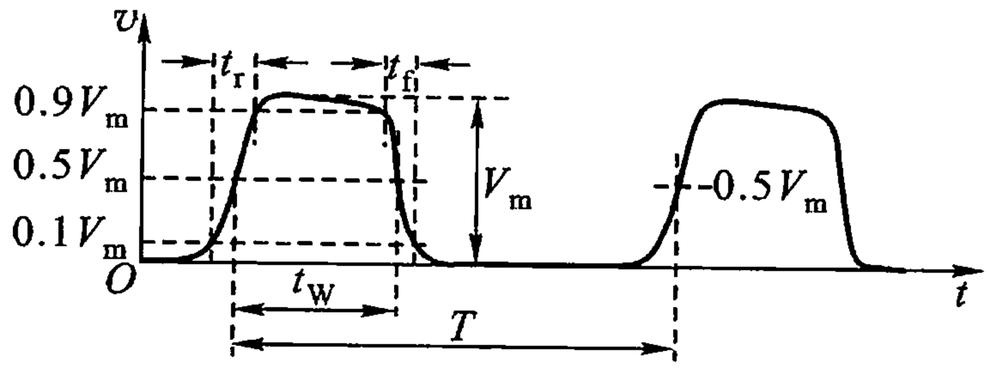


图 2.1.8　脉冲波形的主要参数

（1）脉冲幅度 V_m。为脉冲电压变化的最大值。

（2）上升时间或前沿时间 t_r。是指由 0.1 V_m 上升到 0.9 V_m 所需的时间。波形上相应于上升时间的那段变化过程，称为脉冲的前沿。

（3）下降时间或后沿时间 t_f。是指由 0.9 V_m 下降到 0.1 V_m 所需的时间。波形上相应于下降时间的那段变化过程，称为脉冲的后沿。

（4）脉冲宽度 t_W。是指由前沿的 0.5V_m 到后沿的 0.5V_m 的时间。t_W 又称脉冲的持续时间。

（5）重复周期 T。对周期性的脉冲信号，T 为两相邻脉冲前沿（或后沿）对应点（或中点）之间的时间间隔。

2. 周期信号的频谱

一个非正弦周期信号，可以分解为许多不同频率的正弦信号，换言之，非正弦周期信号为一系列正弦信号的叠加。

任何周期函数 $f(t)$，当其满足狄里克雷条件①时，都可展开为傅里叶级数，即

$$f(t) = A_0 + A_1\cos(\Omega t - \varphi_1) + A_2\cos(2\Omega t - \varphi_2) + \cdots + A_n\cos(n\Omega t - \varphi_n) + \cdots \tag{2.1.7}$$

式中，第一项 A_0 为常数，它是周期信号中所包含的直流分量，即 $f(t)$ 的平均值；第二项 $A_1\cos(\Omega t - \varphi_1)$ 称为基波或一次谐波，它的频率 $\Omega/(2\pi)$ 与周期信号的重复频率相等，A_1 为基波的振幅，φ_1 为基波的初相角；第三项 $A_2\cos(2\Omega t - \varphi_2)$ 称为二次谐波，其频率为基波频率的二倍，A_2 为二次谐波的振幅，φ_2 为其初相角；其余各项依次为三次谐波、四次谐波、…，$A_n\cos(n\Omega t - \varphi_n)$ 为 n 次谐波。周期信号所包含的各次谐波分量，可由其振幅频谱和相位频谱清楚地表示出来。图 2.1.9 所示的线图，绘出了各次谐波振幅的相对大小。图上每条垂直线代表一个谐波分量，其长度代表振幅 A_n，各线之间的距离相等，均等于基波频率 Ω。这种以谐波频率为横坐标，以振幅为纵坐标的线图，称为频谱图或信号振幅的频谱，图中各线称为谱线。图中的虚线是通过各谱线顶点的连线，为谱线的包络线，实际上此线并不存在，可不画出，它只是用来说明各振幅分量的变化趋势。同样，可绘出相位 φ_n 对 Ω 的线图，这种图形称为相位频谱。在许多应用场合，只要知道振幅频谱就够了，故把振幅频谱简称频谱。

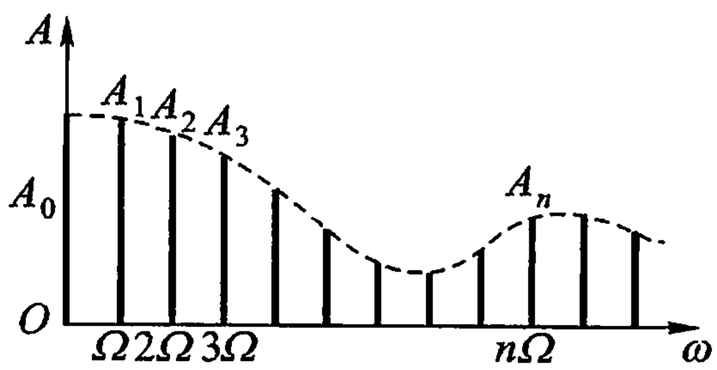


图 2.1.9　周期信号的频谱

① 狄里克雷条件是：(1) 函数 $f(t)$ 在任一有限区间内连续或只有有限个第一类间断点；(2) 在一个周期内，函数有有限个极值。电子线路中的周期信号一般都能满足这一条件。

现在通过一个具体例子来体会周期信号的分解和频谱图的意义。

图 2.1.10 所示为对称方波，它的傅里叶展开式是

$$f(t)=\frac{2V_{\mathrm{m}}}{\pi}\left[\cos\Omega t-\frac{1}{3}\cos 3\Omega t+\frac{1}{5}\cos 5\Omega t-\right.$$

$$\left.\frac{1}{7}\cos 7\Omega t+\cdots+(-1)^{\frac{n-1}{2}}\frac{1}{n}\cos n\Omega t+\cdots\right] \tag{2.1.8}$$

式中，$n=1$、3、5、…。上式表明，方波的直流分量为零，只有奇次谐波，其中一、五、…次谐波的初相角为零，而三、七、…次谐波的初相角为 π。由式(2.1.8)可绘出对称方波的频谱，如图 2.1.11 所示。

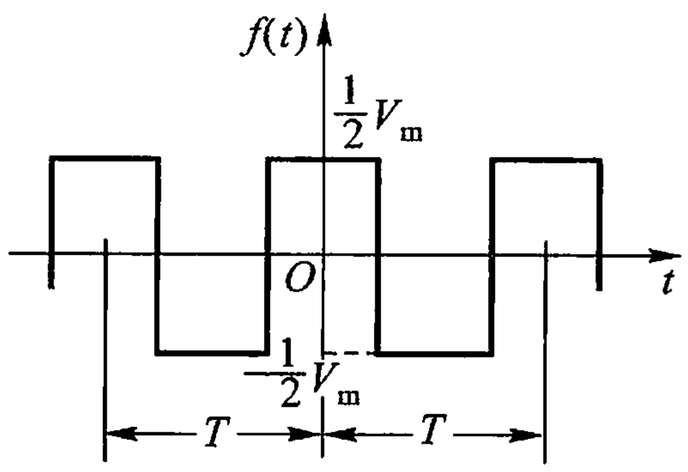


图 2.1.10　对称方波

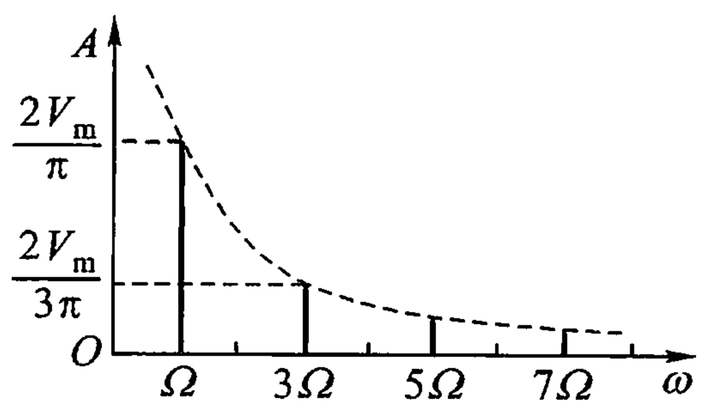


图 2.1.11　对称方波的频谱

傅里叶级数揭示了周期信号可以分解为一系列的谐波分量，反之，它还表明不同频率的谐波可以叠加成一个周期信号。图 2.1.12 绘出了方波的分解成谐波的叠加情况，图中只保留到五次谐波，略去了其余的谐波。由图可以看出，低次谐波振幅较大，它们组成方波的主体，而高次谐波振幅较小，它们主要影响方波的细节，保留的高次谐波愈多，叠加的波形边缘愈陡，愈接近于原来的理想方波。这也表明一个理想方波，包含着丰富的谐波分量。

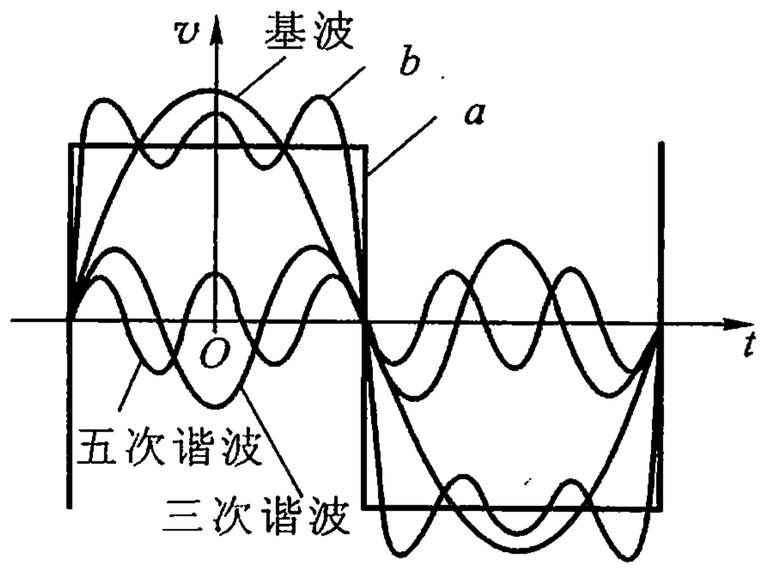


图 2.1.12　对称方波的分解

a 为方波，合成波 b = 基波 + 三次谐波 + 五次谐波

严格地说，复杂的周期信号有无限多个谐波分量，但因谐波振幅随频率的增加而减小，所以在实际工作中，只要考虑次数较低的一些谐波分量就够了。从零频率到需要考虑的最高次谐波的频率之间的频带，称为信号的频带宽度。在实用中，常把从零频率到振幅降为最大谐波振幅的 $1/K$ 的那个谐波频率之间的频带，称为信号的频带宽度。K 值根据具体情况而定，常取为 10。

最后指出:周期信号的频谱,是线状或离散的频谱,而非周期信号的频谱为连续频谱;分析非周期信号的频谱,必须采用傅里叶积分并引用频谱密度的概念,它的频谱图,描述的是频谱密度和频率的关系。这个问题,限于篇幅,不再详述。[1]

2.2 放大电路的图解分析法

在晶体管的特性曲线上,用作图的方法定量地分析放大电路的基本性能,称为放大电路的图解分析法。电子线路的一个重要特点是交流和直流共存于电路之中。图解法的处理办法是:先确定静态工作点,以找出直流分量,然后绘出各极电流、电压的波形,以确定交流分量。下面以图 2.1.2 所示的电路为例进行图解分析。

2.2.1 用图解法确定静态工作点

在没有输入信号时,放大电路所处的状态称为静态或直流工作状态。确定静态工作点,就是确定 I_B、V_{BE},I_C 和 V_{CE}① 四个量。

在图 2.1.2 所示的输入回路中,虚线以右为晶体管的发射结,其电流、电压的关系可用输入特性曲线表示。在 $\Delta v_I = 0$ 时,虚线以左的电路满足

$$v_{BE} = V_{BB} - i_B R_B \tag{2.2.1}$$

式(2.2.1)代表一条直线,称为输入回路的负载线,其斜率为 $-1/R_B$,它与坐标轴的交点分别为

$$\text{当 } i_B = 0 \text{ 时}, \quad v_{BE} = V_{BB}$$

$$\text{当 } v_{BE} = 0 \text{ 时}, \quad i_B = \frac{V_{BB}}{R_B}$$

如图 2.2.1(a)所示。

在输入回路中,虚线左、右两部分电路的电流 i_B 是连续的,且接口上的电

---

① 为了便于讨论,现以晶体管基极电流和发射结电压为例,将所用的符号规定如下:

I_B、V_{BE}——直流成分;

i_b、v_{be}——交流瞬时值;

i_B、v_{BE}——交、直流瞬时总值;

I_b、V_{be}——正弦交流有效值。

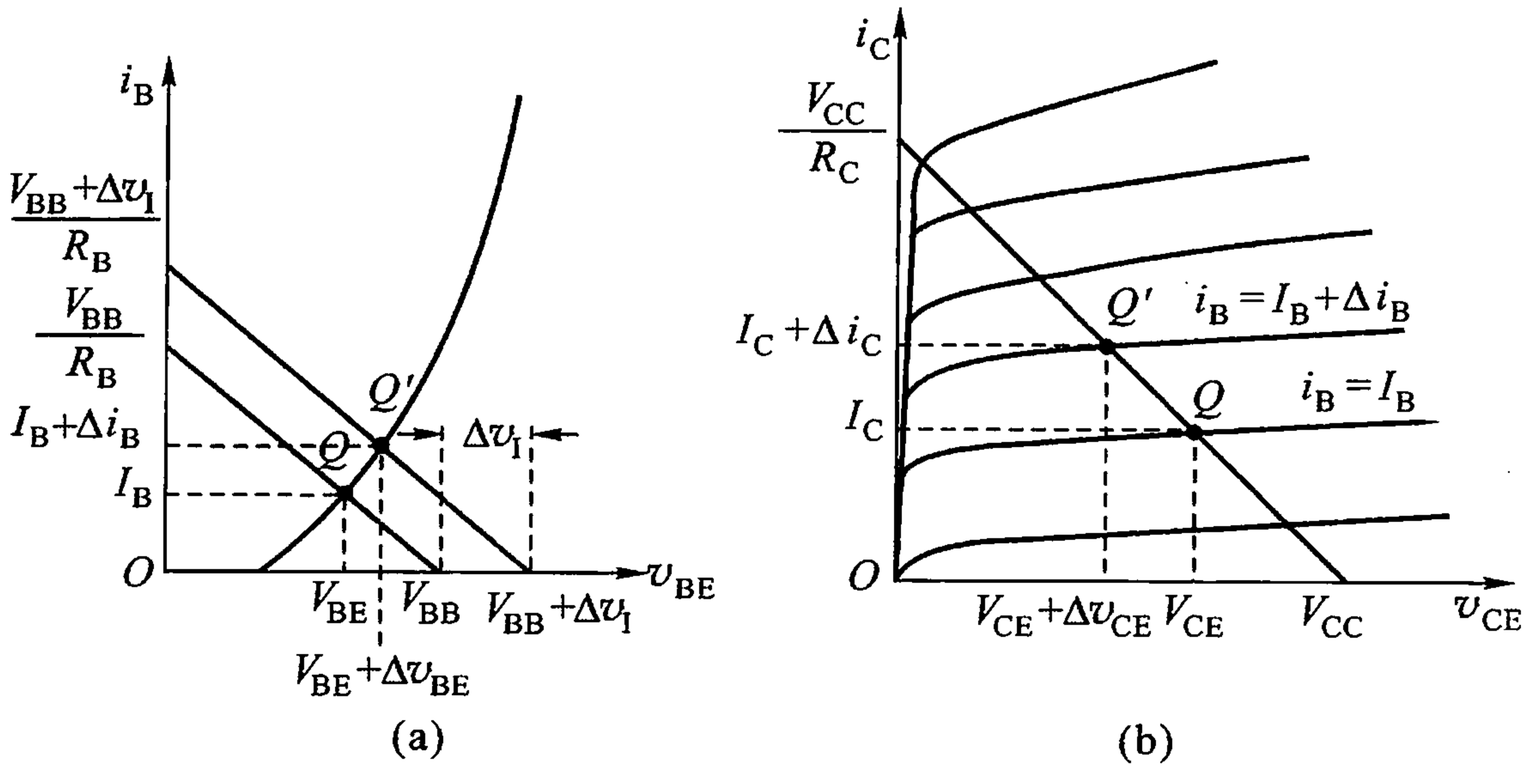


图 2.2.1　图解分析放大电路

（a）输入回路图解　（b）输出回路图解

压相等，均为 v_{BE}，因此，负载线与输入特性曲线的交点 Q① 即为输入回路的静态工作点。Q 点的坐标 V_{BE} 和 I_B 分别表示晶体管静态时的发射结电压和基极电流。

对于输出回路，虚线以左的电路其电流与电压的关系可用晶体管的输出特性曲线表示，虚线以右的电路方程为

$$v_{CE} = V_{CC} - i_C R_C \tag{2.2.2}$$

式(2.2.2)称为输出回路的负载线方程，它所表示的负载线与坐标轴的交点分别为

当 $i_C = 0$ 时，　$v_{CE} = V_{CC}$

当 $v_{CE} = 0$ 时，　$i_C = V_{CC}/R_C$

如图 2.2.1(b)所示。该直线的斜率为 $-1/R_C$，取决于输出回路的集电极电阻 R_C。负载线与 $i_B = I_B$（在输入图解中已求出）的一条输出特性的交点 Q 为输出回路的静态工作点，对应的坐标 V_{CE} 和 I_C 分别表示晶体管静态集射电压和静态集电极电流。

2.2.2　用图解法分析动态工作情况

在输入信号 Δv_I 的作用下，放大电路处于动态工作情况。$\Delta v_I \neq 0$ 时，输入回路的方程为

$$v_{BE} = V_{BB} + \Delta v_I - i_B R_B \tag{2.2.3}$$

---

① Q 为 Quiescent（静止的）字头。

也是直线方程，这条直线与输入回路的负载线相比，其斜率仍为 $-1/R_B$，只是平移了一段距离，它与坐标轴的交点分别为

$$\text{当 } i_B = 0 \text{ 时，} \quad v_{BE} = V_{BB} + \Delta v_I$$

$$\text{当 } v_{BE} = 0 \text{ 时，} \quad i_B = (V_{BB} + \Delta v_I)/R_B$$

如图 2.2.1(a)所示，它与输入特性曲线的交点为 Q'，Q'的坐标($V_{BE} + \Delta v_{BE}$，$I_B + \Delta i_B$)就是输入为 Δv_I 时，晶体管的发射结电压和基极电流。可见，在 Δv_I 的作用下，工作点由静态工作点 Q 移到 Q'处。若 Δv_I 为负值，工作点将从 Q 点沿特性曲线下移。

在 Δv_I 作用下，输出回路的负载线方程仍为式(2.2.2)，只是基极电流由 i_B 变为 $I_B + \Delta i_B$。此时应由 $i_B = I_B + \Delta i_B$ 的一条输出特性曲线与输出回路负载线的交点 Q'来确定晶体管的工作状态，如图 2.2.1(b)所示。此时晶体管的状态为 $v_{CE} = V_{CE} + \Delta v_{CE}$，$i_C = I_C + \Delta i_C$。若 Δv_I 为负值，则输出回路的工作点将从 Q 点沿负载线下移。

如果输入信号是一正弦电压，同样可按上述方法进行图解分析。步骤是：在确定静态工作点以后，首先根据输入信号电压在输入特性曲线上绘出 i_B 的波形，然后根据 i_B 的变化范围在输出特性曲线上绘出 i_C 和 v_{CE}的波形。

1. 根据 v_i 在输入特性上绘出 i_B 的波形

现将共发射极基本放大电路重绘于图 2.2.2(该图没有考虑耦合电容 C)。若静态工作点已确定，如图 2.2.3 所示，在正弦输入信号 $v_i = V_{im}\sin \omega t$ 的作用下，晶体管的工作点将在一定的范围内移动。为了确定工作点的移动范围，可以 V_{BB} 为中心，在 v_{BE} 轴上找到两个峰值点 $V_{BB} \pm V_{im}$，过这两点作与负载线平行的两条直线，它们与输入特性分别交于 Q_1 点和 Q_2 点。在正弦信号作用下，工作点将以 Q 为中心，在 Q_1 与 Q_2 之间往返移动，由此可绘出 i_B 和 v_{BE}的波形。由图 2.2.3 可见，相对于峰值电压为 V_{im}的输入电压，基极电流 i_B 将在 i_{B1}和 i_{B2}之间摆动。

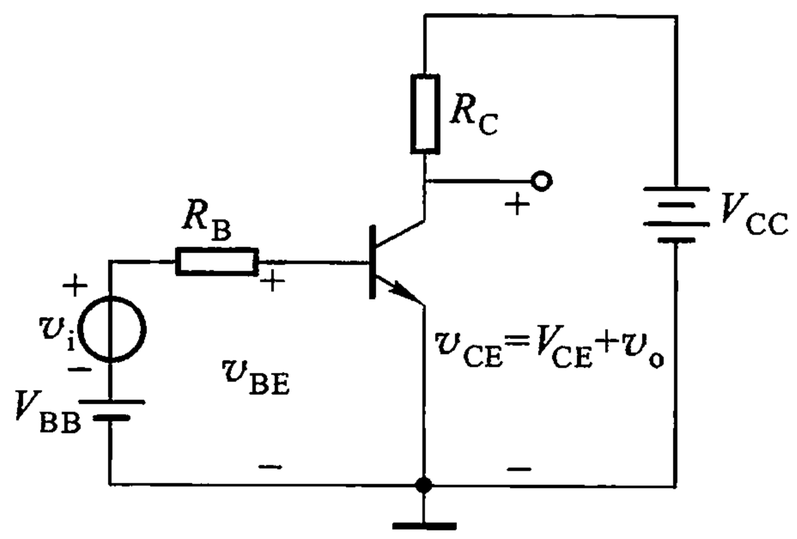
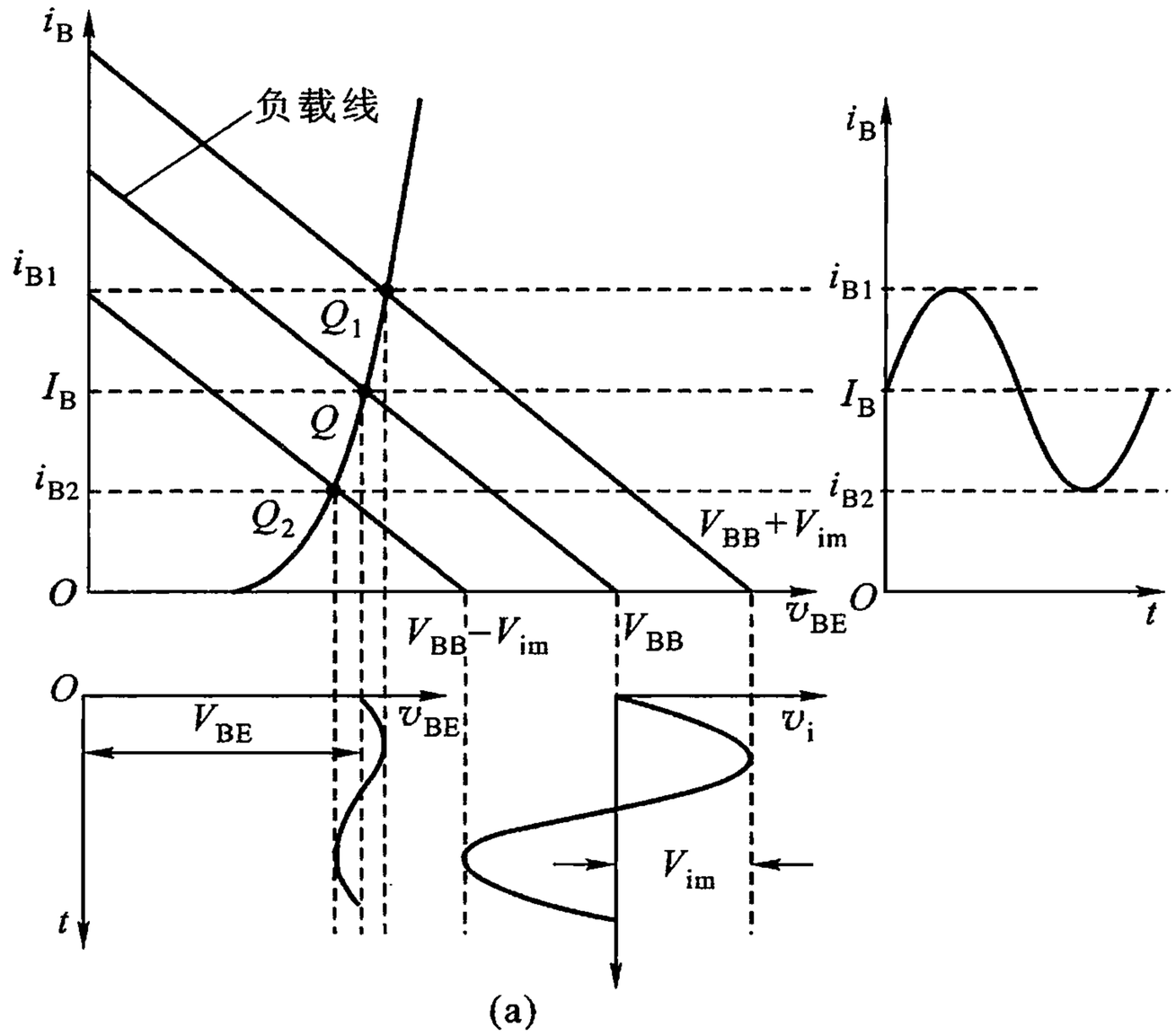


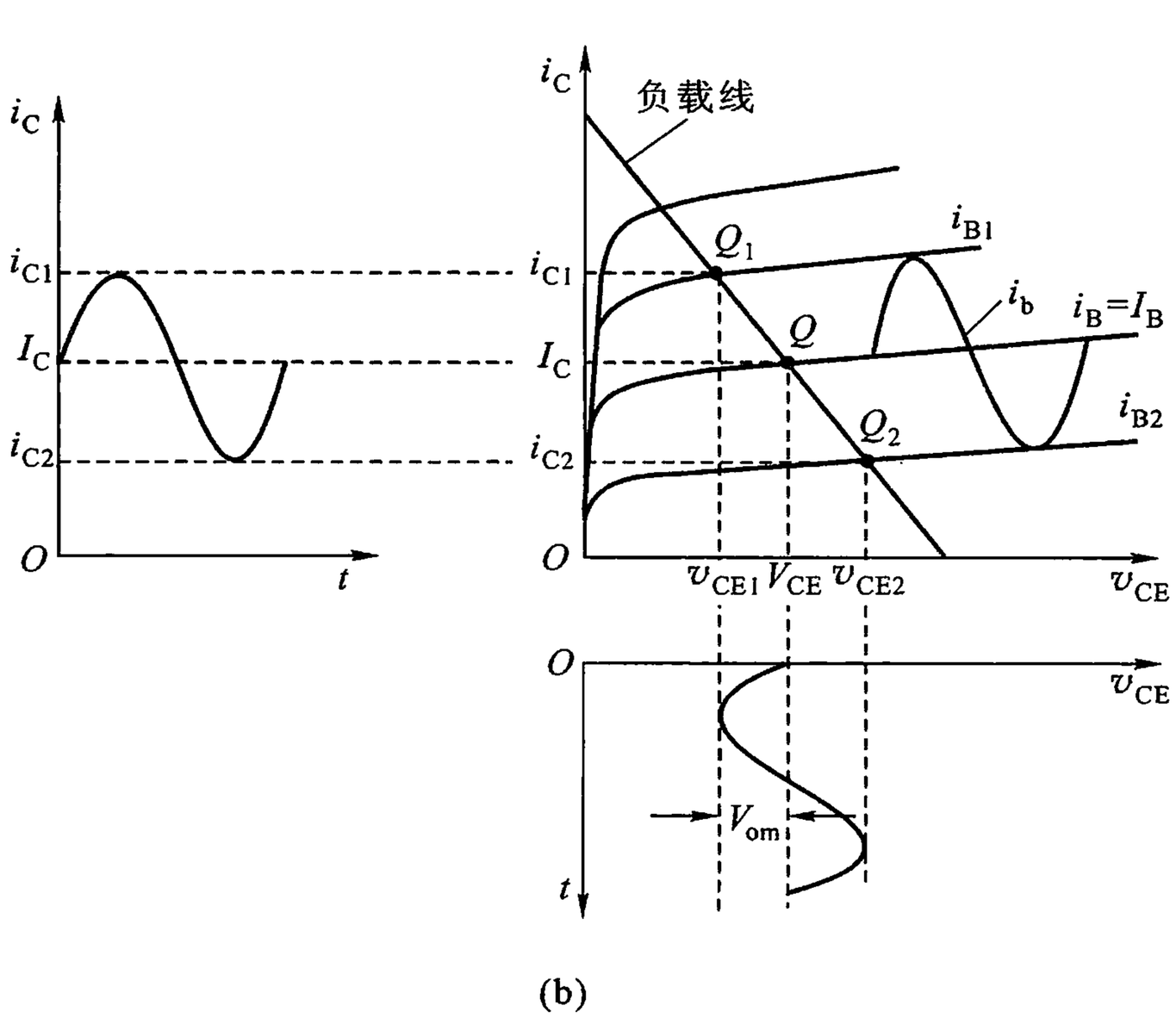
图 2.2.2　共发射极基本放大电路

2. 根据 i_B 的摆动范围绘出 i_C 和 v_{CE}的波形

放大电路的工作过程就是工作点在输出负载线上移动的过程。当 i_B 在 i_{B1}和 i_{B2}之间摆动时，工作点将随之变动，对应于 $i_B = i_{B1}$和 $i_B = i_{B2}$的两条输出特性曲线与负载线的交点分别为 Q_1 和 Q_2，如图 2.2.3(b)所示。根据 Q_1 和 Q_2 的横坐标可绘出 v_{CE}的波形，根据 Q_1 和 Q_2 的纵坐标可绘出 i_C 的波形。



(a)



(b)

图 2.2.3　图解法求电流、电压波形

（a）求 i_B 波形　（b）求 i_C、v_{CE}波形

3. 各极电流、电压波形的特点和相位关系

为了便于分析和对比，把图 2.2.3 中电流、电压的波形集中绘于图 2.2.4 中。由图可以说明下述两个问题：

（1）基极、集电极的电流和电压都是方向和极性不变的脉动直流，是直流分量和交流分量的叠加，即

$$v_{BE} = V_{BE} + v_{be}$$

$$i_B = I_B + i_b$$

$$v_{CE} = V_{CE} + v_{ce}$$

$$i_C = I_C + i_c$$

（2）v_{be} 与 v_{ce} 相位相反。i_C、i_B、v_{BE} 三者是同相的，而 v_{CE} 与它们反相，这是因为 v_{BE} 增加时，i_B 增加并使 i_C 增大，在 R_C 上的压降增加，而 $v_{CE} + i_C R_C = V_{CC}$ = 常量，则 v_{CE} 必然减小。v_{CE} 与 v_{BE} 反相变化，也就是 v_{ce} 与 v_{be} 反相，这里 v_{ce} 与 v_{be} 表示 v_{CE} 与 v_{BE} 的变化量，而这正是我们所关心的输出电压与输入电压，即输出电压与输入电压反相，这是共射极放大电路的重要特征之一。

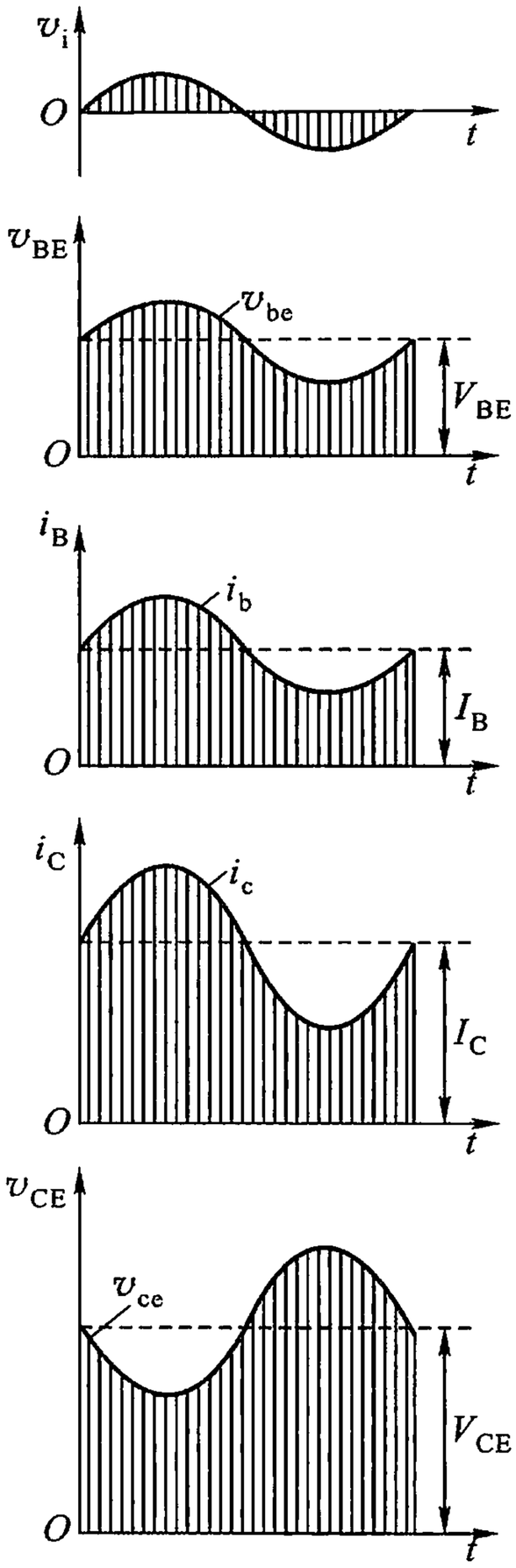


图 2.2.4　共射放大电路各极电流、电压波形

4. 接 R_L 时，放大电路输出回路的图解分析

在图 2.1.2 所示电路中的输出端接入 R_L，其电路如图 2.2.5 所示。负载电阻 R_L 的接入，会改变动态工作时输出回路的外特性。但是，由于耦合电容 C 的隔直作用，负载电阻 R_L 的接入并不改变放大电路的静态工作点 Q。因此得到

$$v_{CE} = V_{CE} + v_{ce} = V_{CE} + v_o \qquad (2.2.4)$$

式中

$$v_{ce} = v_o = -i_{R_C} R_C = -i_{R_L} R_L = -i_c R'_L$$

$$(R'_L = R_C // R_L)$$

由图 2.2.4 中的波形可见，集电极电流 $i_C = I_C + i_c$，其交流信号电流 $i_c = i_C - I_C$。所以

$$v_{CE} = V_{CE} + v_o = V_{CE} - i_c R'_L = V_{CE} - (i_C - I_C) R'_L \qquad (2.2.5)$$

式(2.2.4)和式(2.2.5)称为动态工作时输出回路的外部方程式，式中 i_C 与 v_{CE} 之间的关系是直线性的。根据式(2.2.4)或式(2.2.5)作出的直线 AB，称为交流负载线，它的斜率为 $\dfrac{di_C}{dv_{CE}} = -\dfrac{1}{R'_L}$，如图 2.2.6 所示。因此，式(2.2.4)和式

(2.2.5)又称为交流负载线方程式。

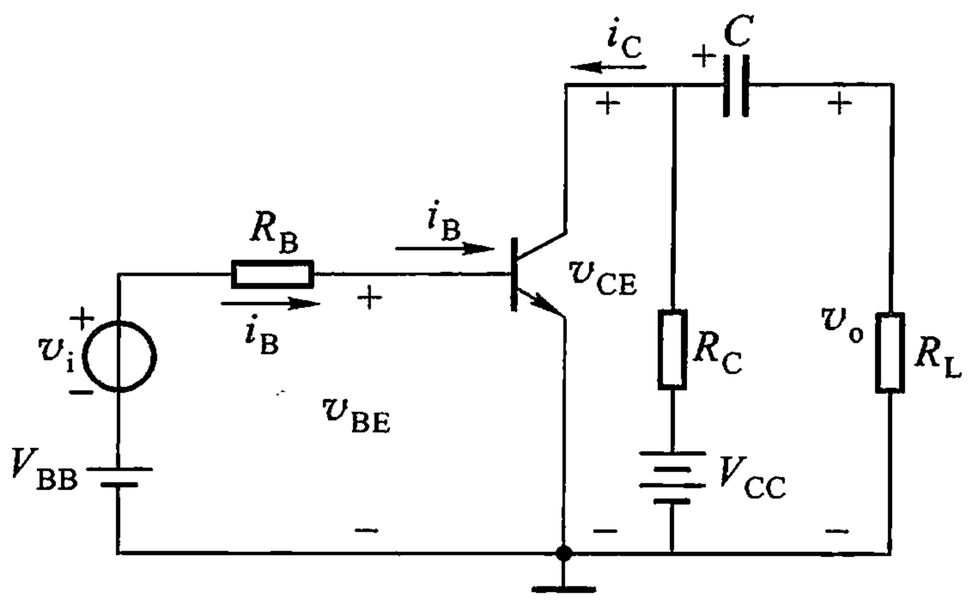


图 2.2.5　接 R_L 的共发射极基本放大电路

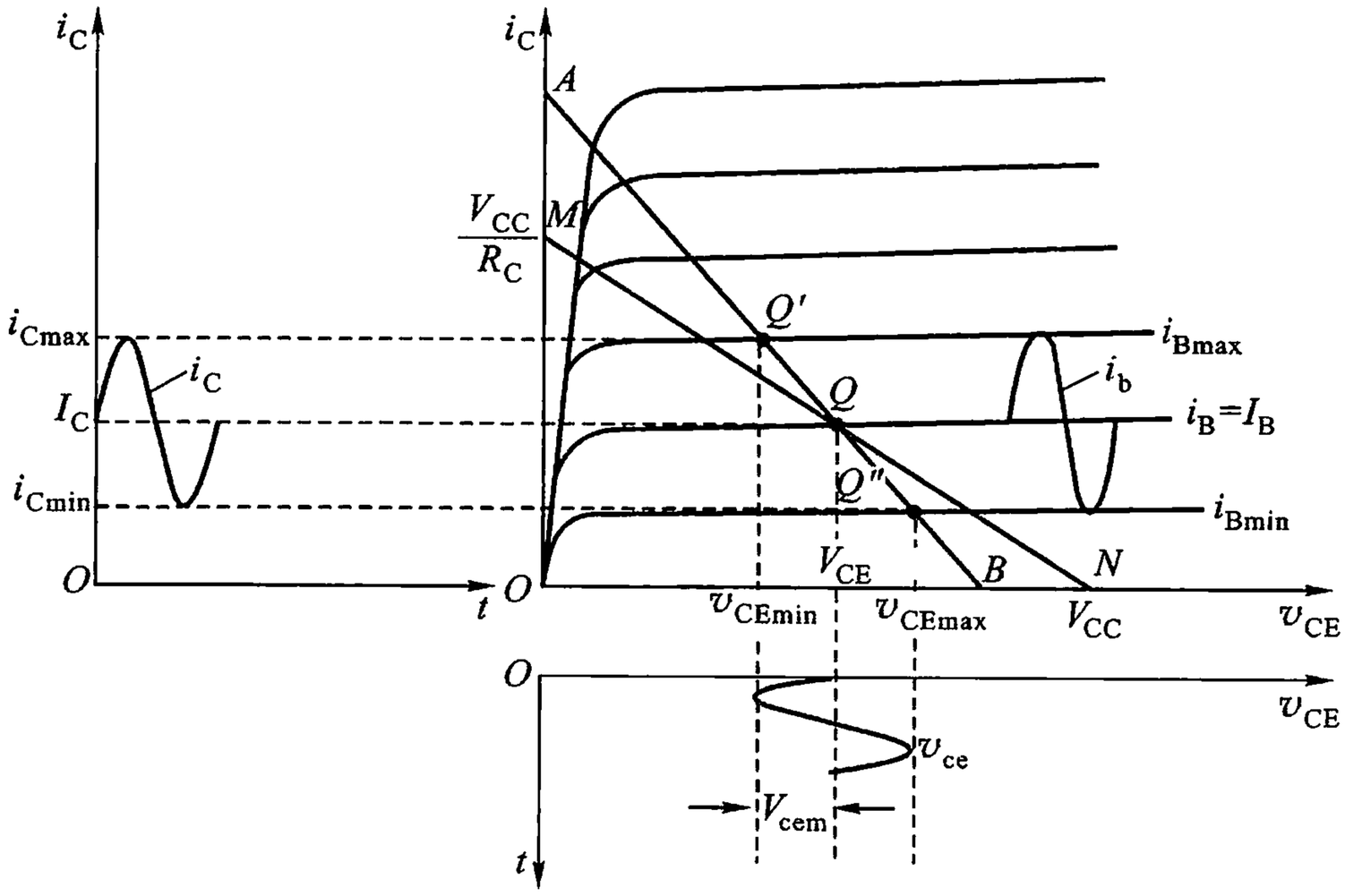


图 2.2.6　接 R_L 时放大电路输出回路的图解分析

作交流负载线的方法也是取两点画一直线，其中一点就是静态工作点 Q（这是因为 $i_C=I_C$ 时，$v_{CE}=V_{CE}$，因此，交流负载线必通过 Q 点），另一点则根据式(2.2.5)取点 $A\left(v_{CE}=0, i_C=I_C+\dfrac{V_{CE}}{R'_L}\right)$ 或点 $B(v_{CE}=V_{CE}+I_CR'_L, i_C=0)$，然后将其连成直线 AB；或者通过点 Q 作一条斜率为 $-1/R'_L$ 的直线，即可得输出回路的交流负载线 AB。

交流负载线 AB 与输出特性曲线的交点为放大电路动态工作时的工作点，即动态工作点。由于集电极电流 i_C 受基极电流 i_B 的控制，从图 2.2.6 可见，当

i_B从I_B 增大到 i_{Bmax}时，输出回路的动态工作点由 Q 点沿着交流负载线 AB 移动到与 i_{Bmax}的交点 Q'，i_C 从 I_C 增大到 i_{Cmax}，v_{CE}从 V_{CE}下降到 v_{CEmin}，其余类推。所以集电极电流 i_C、集射间的电压 v_{CE}均随 i_B 的变化而变化。它们也是在静态值 I_C 与 V_{CE}的基础上叠加一个交流成分 i_c 与 v_{ce}，即 $i_C = I_C + i_c$ 与 $v_{CE} = V_{CE} + v_{ce}$，其波形与图 2.2.4 所示波形相同。

从交流负载线方程可见，交流负载线必须通过点 Q。其实点 Q 既可理解为无信号输入时的静态工作点，又可以理解为当输入信号瞬时值变为零时的动态工作点。当 $R_L \to \infty$（R_L 开路）时，$R'_L = R_C$，交流负载线 AB 与直流负载线 MN 重合。由此可见，没有接 R_L 的放大电路的图解是此种情况的特例。

5. 计算放大电路的电压放大倍数

对于图 2.2.2 所示的放大电路，$v_o = v_{ce}$，由图 2.2.3 可查出输入、输出电压的峰值 V_{im}和 V_{om}，于是电压放大倍数为

$$\dot{A}_V = \frac{V_o}{V_i} e^{j\varphi} = -\frac{V_{om}}{V_{im}}$$

式中，负号表示输出电压与输入电压有 180°的相位差。

2.2.3 用图解法分析放大电路的非线性失真

由晶体管特性的非线性引起的波形失真，称为非线性失真。这种失真的产生，根本原因在于晶体管的非线性，其次与静态工作点的位置及输入信号的大小也有关。

在放大区内，晶体管的非线性表现在输入特性曲线的弯曲和输出特性曲线间距不匀，如果信号比较大，将使 i_b、v_{ce}和 i_c 正、负半周不对称，产生非线性失真。

如静态工作点的位置不合适，信号又比较大，将会产生严重的非线性失真。工作点选得太低，如图 2.2.7 所示的 Q 点，虽然输入信号 v_i 是正弦波，但 v_i 的负半周使动态工作点部分进入截止区，因此，i_b 的负半周被削去一部分，i_b 已为失真波形，结果使 i_c 的负半周和 v_{ce}的正半周被削去相应的部分，产生截止失真。静态工作点选得太高，如图 2.2.7 所示的 Q'点，尽管 i'_b 波形完好，但在输出特性曲线上，i'_b 的摆动范围有一部分进入饱和区，结果 i'_b 的正半周和 v'_{ce}的负半周被削去一部分，产生饱和失真。

在不产生非线性失真（这里指截止失真和饱和失真）的条件下，输出电压所能摆动的最大范围称为放大电路的动态范围。显然，动态范围就是最大不失真输出电压的峰－峰值，记作 V_{OP-P}。因此，在信号较大的情况下，为避免出现截止和饱和失真，应把静态工作点选在输出负载线的中部。如果信号幅度不大，为了

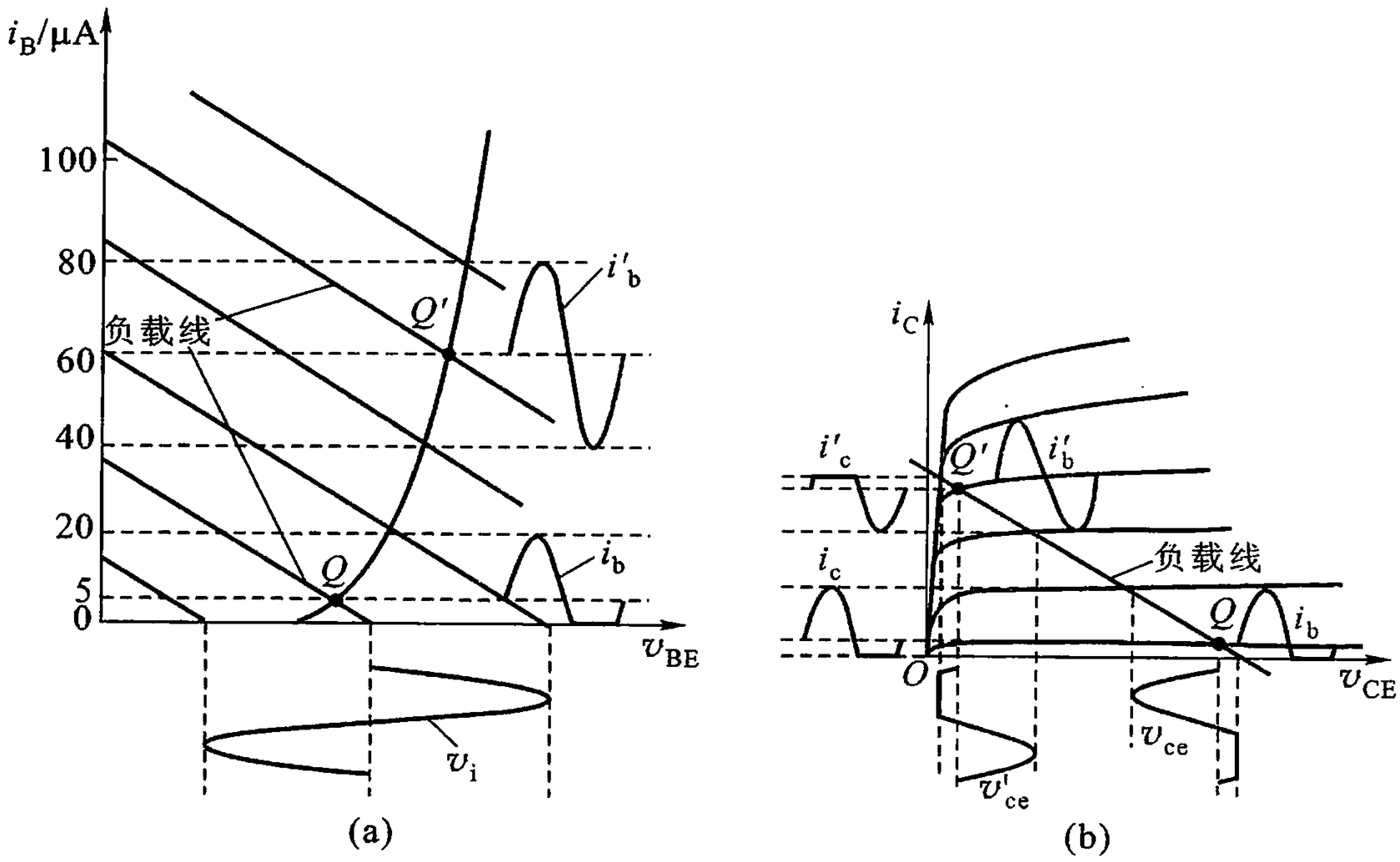


图 2.2.7　静态工作点不合适引起的失真

（a）输入图解　（b）输出图解

降低直流电源 V_{CC} 的能量损耗，在不产生失真和保证一定电压放大倍数的前提下，常把 Q 点选得低一些。

从对放大电路的图解分析可以看出，图解法的最大特点是能直观、全面地反映管子的工作情况，但是对于非电阻性负载或工作频率较高需要考虑晶体管的电容效应以及分析负反馈放大电路和多级放大电路时，采用图解法就会遇到无法克服的困难。而且用图解法不能确定放大电路的输入、输出电阻和频率特性等参数。因此，图解法一般适用于分析输出幅度比较大而工作频率不太高的情况。对于信号幅度较小和信号频率较高的放大电路，常采用微变等效电路法进行分析。

2.3　放大电路的等效电路分析法

如果输入信号幅度很小，动态工作点只在一个小范围内摆动，在这个小范围中，晶体管的特性可近似看作是线性的，就可以用一个由若干电源和无源元件组成的所谓小信号等效电路来代替晶体管，把包含晶体管的非线性电路转化为线性电路，便可方便地运用线性电路的定律来求解。

晶体管的小信号等效电路，简称交流等效电路。晶体管的交流等效电路有多种模型，对于不同的使用场合，其等效模型不同，这是因为根据不同的要求，对

晶体管的参数进行了不同的取舍和近似的结果。本节将要讨论的 h 参数等效电路适用于低频小信号交流电路。h 参数是一种混合参数，其物理意义明确，在低频范围内为实数，因此，使用较为方便。

交流等效电路只能用来分析放大电路电流、电压变化量之间的关系，以确定其动态指标 $\dot{A}_V$、R_i、R_o 和 BW 等。对于图 2.3.1(a)所示的基本放大电路，其交流通路如图 2.3.1(b)所示。由图可见，R_C 是放大电路的交流负载电阻，它与晶体管的输出端口相并联。

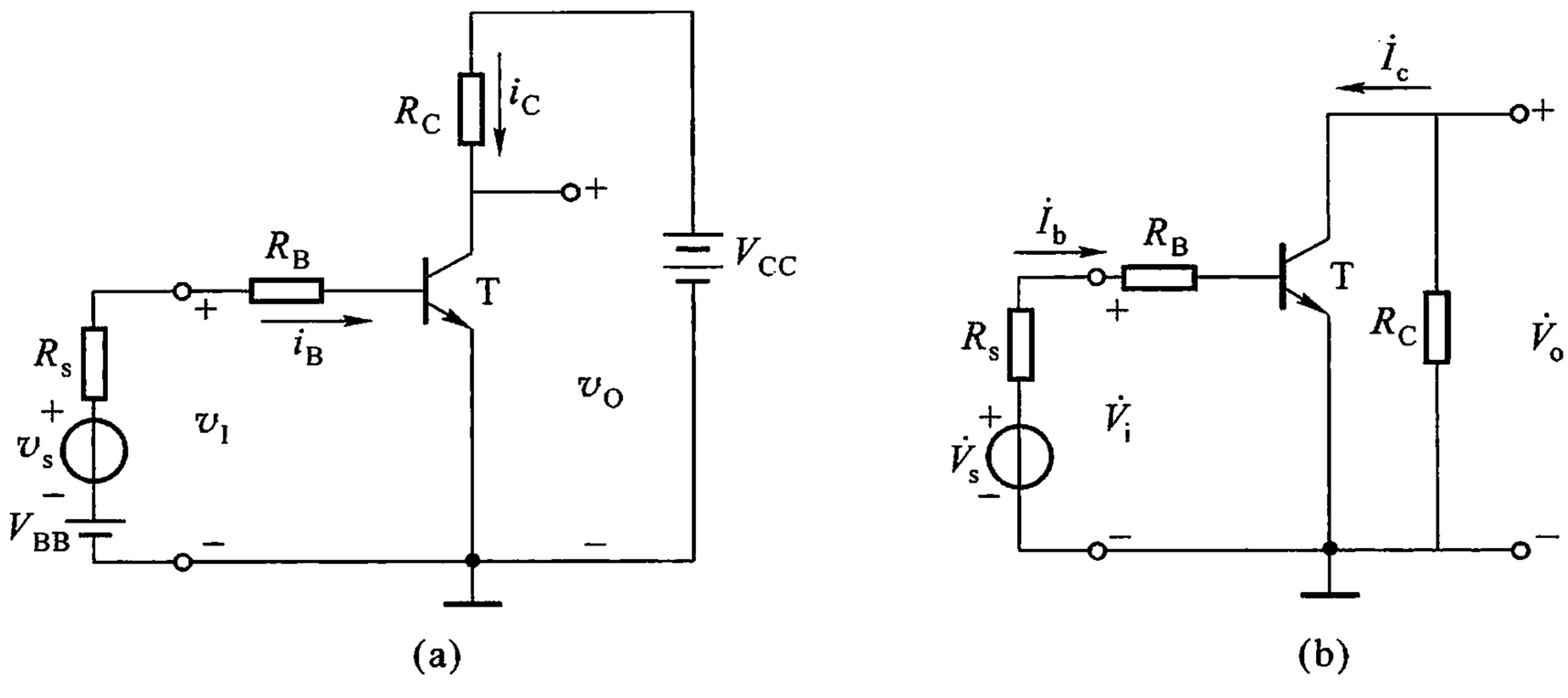


图 2.3.1　共发射极放大电路及其交流通路

(a)电路　(b)交流通路

2.3.1　晶体管的 h 参数及其小信号等效电路

1. 晶体管 h 参数小信号等效电路的导出

晶体管是一个有源双口网络，如图 2.3.2 所示。晶体管输入回路和输出回路电流、电压的关系可分别表示为

$$v_{BE} = f_1(i_B, v_{CE})$$

$$i_C = f_2(i_B, v_{CE})$$

对上二式求全微分，得

$$\mathrm{d}v_{BE} = \left.\frac{\partial v_{BE}}{\partial i_B}\right|_{v_{CE}} \mathrm{d}i_B + \left.\frac{\partial v_{BE}}{\partial v_{CE}}\right|_{i_B} \mathrm{d}v_{CE} \tag{2.3.1}$$

$$\mathrm{d}i_C = \left.\frac{\partial i_C}{\partial i_B}\right|_{v_{CE}} \mathrm{d}i_B + \left.\frac{\partial i_C}{\partial v_{CE}}\right|_{i_B} \mathrm{d}v_{CE} \tag{2.3.2}$$

式中，$\mathrm{d}v_{BE}$、$\mathrm{d}i_B$、$\mathrm{d}i_C$、$\mathrm{d}v_{CE}$ 代表各极电压、电流瞬时总值中的变化量部分，用其交流分量来代替，于是上述二式可写成下列形式：

$$v_{be} = h_{ie} i_b + h_{re} v_{ce} \tag{2.3.3}$$

$$i_c = h_{fe} i_b + h_{oe} v_{ce} \tag{2.3.4}$$

式中，h_{ie}、h_{re}、h_{fe}和 h_{oe}称为共发射极接法的 h 参数。比较式(2.3.3)与(2.3.1)、式(2.3.4)与(2.3.2)，可得

$h_{ie} = \left.\dfrac{\partial v_{BE}}{\partial i_B}\right|_{v_{CE}}$　为输出端交流短路时的输入电阻；

$h_{re} = \left.\dfrac{\partial v_{BE}}{\partial v_{CE}}\right|_{i_B}$　为输入端交流开路时的反向电压传输系数；

$h_{fe} = \left.\dfrac{\partial i_C}{\partial i_B}\right|_{v_{CE}}$　为输出端交流短路时的正向电流传输系数；

$h_{oe} = \left.\dfrac{\partial i_C}{\partial v_{CE}}\right|_{i_B}$　为输入端交流开路时的输出电导。

导出了晶体管输入回路和输出回路电流变量与电压变量之间的关系式，即式(2.3.3)和式(2.3.4)，就很容易找出这组方程所描述的电路，如图 2.3.3 所示，它就是晶体管的共发射极 h 参数等效电路。应当注意，电路中电压的参考极性和电流的参考方向是按双口网络的习惯标定的，而受控源 $h_{fe} i_b$ 和 $h_{re} v_{ce}$是分别根据 i_b 的方向和 v_{ce}的极性确定的，不能随意假定。

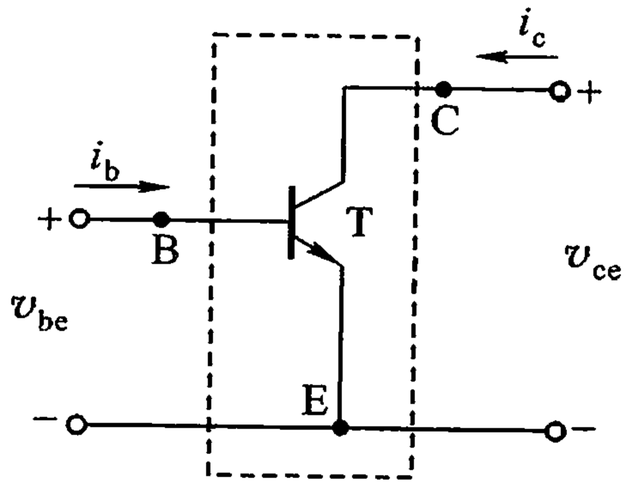


图 2.3.2　晶体管共发射极接法的双口网络

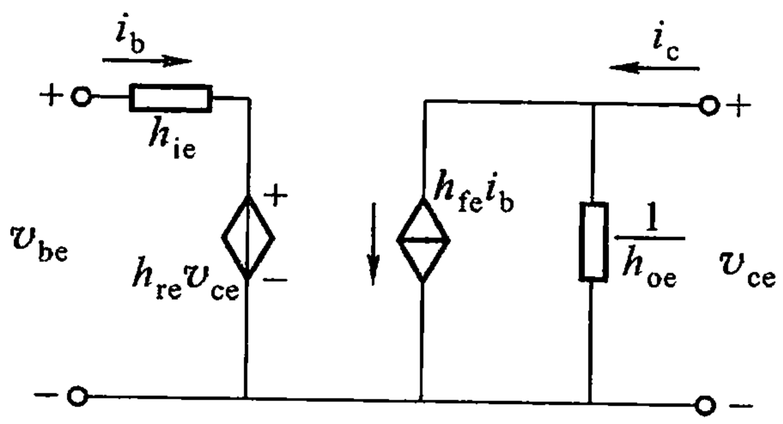


图 2.3.3　晶体管共发射极 h 参数小信号等效电路

2. h 参数的意义

从晶体管的特性曲线上可以更清楚地看出 h 参数的意义。输入电阻 h_{ie}反映了输出电压 v_{ce}不变时，输入电压 v_{BE}对输入电流 i_B 的影响程度，它是输入特性在静态工作点 Q 处切线斜率的倒数。在图 2.3.4(a)中，如果在 Q 点切线上确定变量，则

$$h_{ie} \approx \left.\frac{\Delta v_{BE1}}{\Delta i_B}\right|_{v_{CE}}$$

反向电压传输系数 h_{re}反映了当 i_B 不变时，输出电压 v_{CE}对输入电压 v_{BE}影响

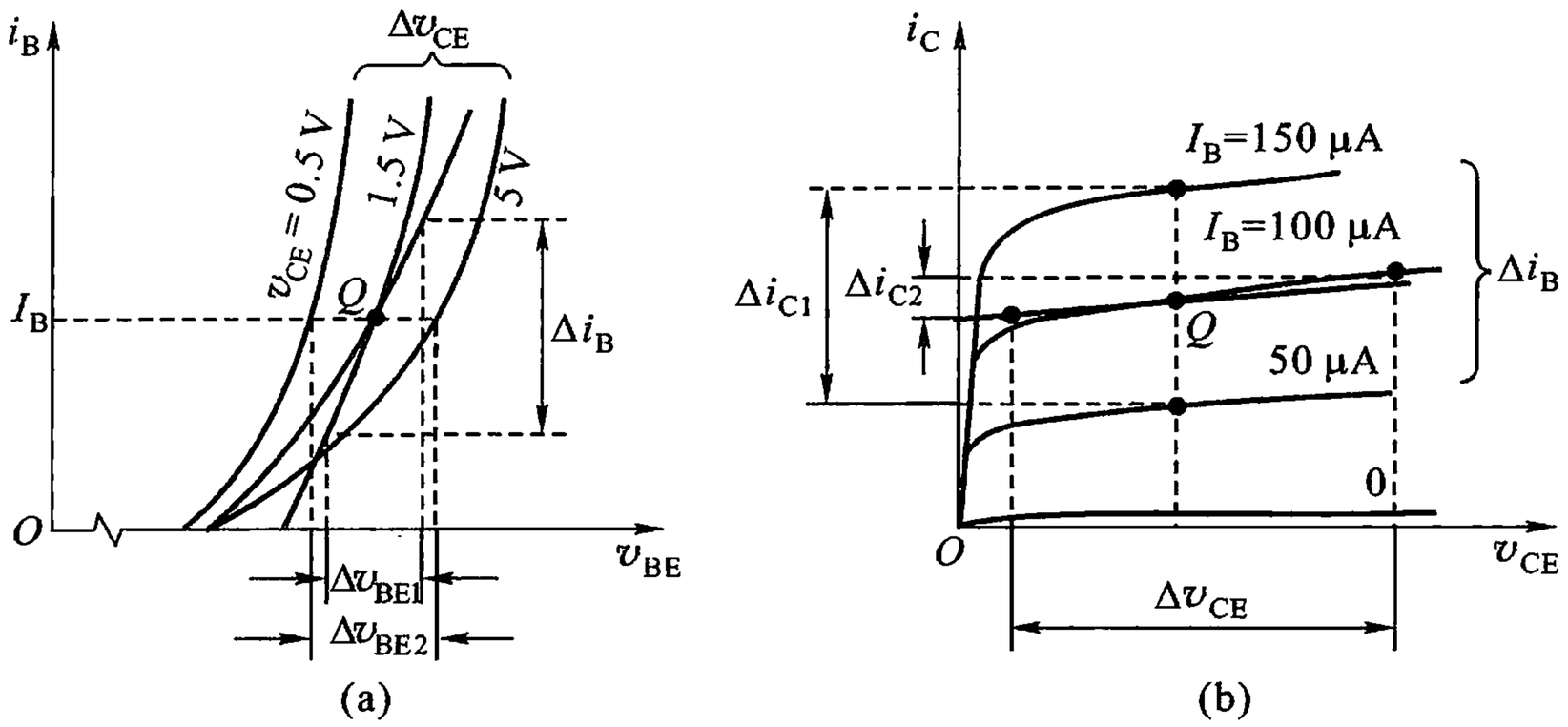


图 2.3.4　由特性曲线求 h 参数

（a）由输入特性求 h_{ie} 和 h_{re}　（b）由输出特性求 h_{fe} 和 h_{oe}

的大小。这种影响是由晶体管内部反馈作用产生的，因此，h_{re} 又称“内部电压反馈系数”。由图 2.3.4(a)可见

$$h_{re}\approx\left.\frac{\Delta v_{BE2}}{\Delta v_{CE}}\right|_{i_B}$$

正向电流传输系数 h_{fe} 反映了晶体管对电流的放大能力。由图 2.3.4(b)可见，Q 点附近曲线间距越大，则 h_{fe} 越大，反之越小。由图 2.3.4 可求出

$$h_{fe}\approx\left.\frac{\Delta i_{C1}}{\Delta i_B}\right|_{v_{CE}}$$

输出电导 h_{oe} 反映了当 i_B 不变时输出电压 v_{CE} 对输出电流 i_C 的影响，输出特性愈倾斜，h_{oe} 越大。h_{oe} 是某一输出特性曲线在 Q 点切线的斜率，如果由相应的变量表示，则

$$h_{oe}\approx\left.\frac{\Delta i_{C2}}{\Delta v_{CE}}\right|_{i_B}$$

为了明确 h 参数的物理意义，也为了便于称呼和书写，我们以 r_{be} 代替 h_{ie}，β 代替 h_{fe}，r_{ce} 代替 $1/h_{oe}$。由此可见，h_{fe} 就是式(1.3.13)定义的共发射极交流电流放大系数。对于小功率管，h 参数的值大致为

$$h_{ie}=r_{be}=(10^2\sim10^3)\ \Omega$$
$$h_{fe}=\beta=20\sim100$$
$$h_{re}=10^{-4}\sim10^{-3}$$
$$h_{oe}=1/r_{ce}=(1\sim10)\ \mu S$$
$$r_{ce}=1/h_{oe}=(10^2\sim10^3)\ k\Omega$$

其中 r_{ce} 为 h_{oe} 的倒数，称为晶体管共发射极接法的输出电阻。

3. 简化的 h 参数小信号等效电路

从上述 h 参数的具体数值可见，h_{re} 和 h_{oe} 是比较小的。在输入回路中，$h_{re}v_{ce}$ 比 v_{be} 小得多，可以忽略 h_{re}，也就是忽略晶体管的内部反馈作用，把晶体管看成是一个单向传输元件。在输出回路中，r_{ce} 与负载 R_C 是并联的，在实际电路中，r_{ce} 比 R_C 大 10 倍以上，因此，常可忽略 r_{ce}。经过这样简化以后，如图 2.3.3 所示的 h 参数等效电路便可画成如图 2.3.5 所示的简化形式。在工程计算中，把等效电路作这样的简化，并不带来显著的误差。

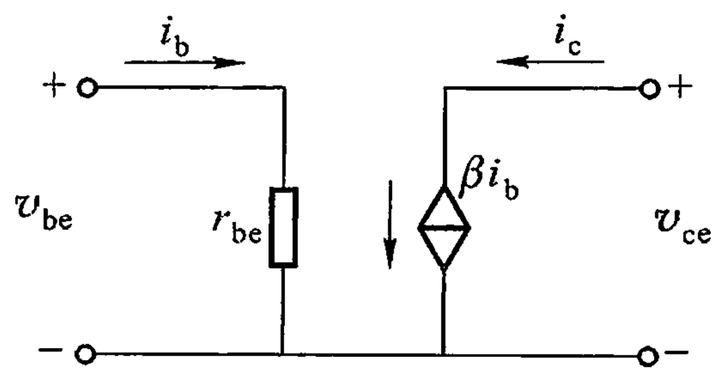


图 2.3.5　晶体管简化的 h 参数小信号等效电路

4. 晶体管输入电阻的计算

用等效电路法分析放大电路时，需要确定晶体管两个最基本的参数，即电流放大系数 β 和输入电阻 r_{be}。前面介绍的在特性曲线上求 h 参数的方法比较麻烦，一般不用这种方法。电流放大系数 β 可用较简便的方法测出，而 r_{be} 可近似地计算出来。

为了计算 r_{be}，可以从分析晶体管的内部电阻着手。已知半导体有一定的体电阻，基区、集电区和发射区的体电阻分别记为 $r_{bb'}$、r'_c 和 r'_e，如图 2.3.6 所示。此外还存在结电阻，r_c 为集电结电阻，r_e 为发射结电阻。通常体电阻比结电阻小得多，即 $r'_c \ll r_c$，$r'_e \ll r_e$，因此，可略去体电阻 r'_c 和 r'_e。由于基区的掺杂浓度较低，而且做得很薄，基区的体电阻 $r_{bb'}$ 有一定的大小，因此不能略去。图 2.3.6 中 B′为基区抽象出来的一点，$r_{bb'}$ 可视为集中在 B 与 B′之间的电阻。

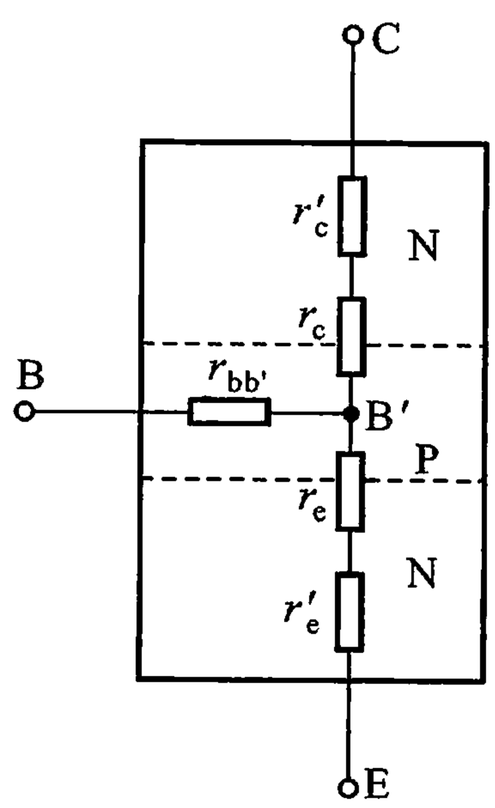


图 2.3.6　晶体管简化的内部电阻

根据 PN 结方程式(1.2.1)，可写出发射结的电流方程式

$$i_E = I_{R(sat)}(e^{v_{BE}/V_T} - 1)$$

式中，$I_{R(sat)}$ 为发射结的反向饱和电流。在放大区里 $v_{BE} > 0.1$ V，而常温下 $V_T = 26$ mV，故 $e^{v_{BE}/V_T} \gg 1$，因此，可认为

$$i_E \approx I_{R(sat)} e^{v_{BE}/V_T}$$

为了求出发射结的动态电阻 $r_e = dv_{BE}/di_E$，应对上式微分，于是

$$\frac{1}{r_e}=\frac{\mathrm{d}i_E}{\mathrm{d}v_{BE}}\approx\frac{1}{V_T}I_{R(sat)}\mathrm{e}^{v_{BE}/V_T}=\frac{i_E}{V_T}$$

常温下 $V_T=26$ mV，又因在静态工作点上 $i_E=I_E$，因此，发射结电阻为

$$r_e=\frac{V_T}{I_E}=\frac{26\ \mathrm{mV}}{I_E} \tag{2.3.5}$$

根据上述分析，晶体管的输入回路可用图 2.3.7 来表示，它包含了 $r_{bb'}$ 和 r_e，但是输入电阻 r_{be} 并不等于 $r_{bb'}$ 和 r_e 的串联，这是因为流过 $r_{bb'}$ 和 r_e 的电流不同的缘故。

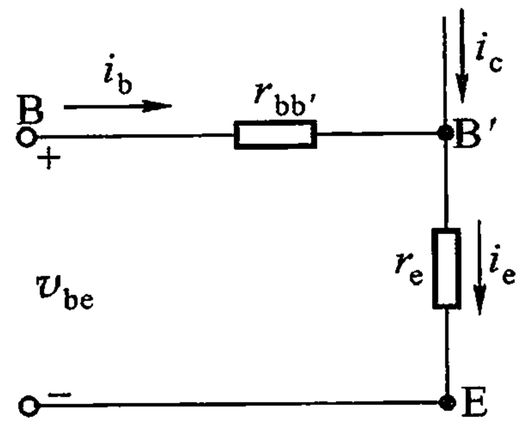


图 2.3.7 晶体管简化的输入回路

为求 r_{be}，列出输入回路方程

$$v_{be}=i_b r_{bb'}+i_e r_e=i_b[r_{bb'}+(1+\beta)r_e]$$

则晶体管的输入电阻为

$$r_{be}=\frac{v_{be}}{i_b}=r_{bb'}+(1+\beta)r_e$$

式中，$(1+\beta)r_e$ 一项为 r_e 从大电流（i_e）回路折算到小电流（i_b）回路的等效电阻。将式(2.3.5)代入上式，并加整理，便得到计算晶体管输入电阻的公式

$$r_{be}=r_{bb'}+(1+\beta)\frac{26\ \mathrm{mV}}{I_E} \tag{2.3.6}$$

对于一般小功率管，在低频运用中，$r_{bb'}$ 约为 200 Ω。如果 $\beta=100$，$r_{bb'}=200\ \Omega$，$I_E=3.7$ mA，代入式(2.3.6)即可算出 $r_{be}\approx0.91$ kΩ。

由上述分析可见，虽然 h 参数是交流参数，但它们是在静态工作点处通过直流量 I_E 求出的，所以它们与静态工作点紧密相关。

2.3.2 用 h 参数小信号等效电路分析基本放大电路

现在用 h 参数等效电路分析图 2.3.1(a)所示的基本放大电路。

1. 画出放大电路的交流等效电路

可按下列步骤进行：

(1) 画出晶体管的 h 参数等效电路，如图 2.3.8 中虚线框内所示；

(2) 画出晶体管的外部电路；

(3) 标出电压的极性和电流的方向。由于分析和测试时采用正弦电压作为输入信号，所以电路中的电流和电压均采用有效值表示。图 2.3.1(a)电路的 h 参数等效电路如图 2.3.8 所示。

2. 计算电压放大倍数

由图 2.3.8 可见

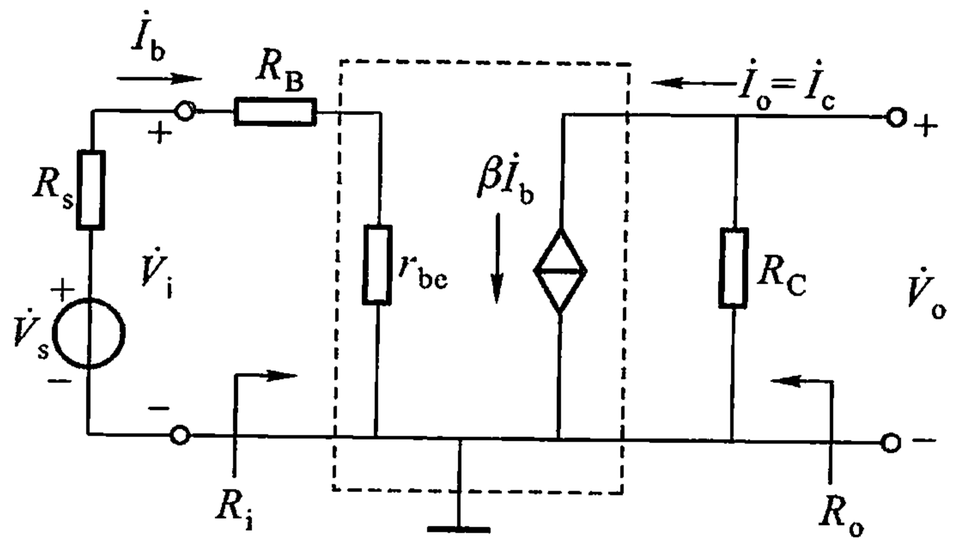


图 2.3.8　图 2.3.1(a)电路的 h 参数等效电路

$$\dot{V}_i = \dot{I}_b(R_B + r_{be})$$

$$\dot{V}_o = -\dot{I}_o R_C = -\beta\ \dot{I}_b R_C$$

所以电压放大倍数为

$$\dot{A}_V = \frac{\dot{V}_o}{\dot{V}_i} = -\frac{\beta R_C}{R_B + r_{be}} \tag{2.3.7}$$

式(2.3.7)中,负号表示输出电压与输入电压反相。

电压放大倍数$\dot{A}_V$的大小到底与哪些因素有关呢?适当地选用较大的 R_C 对提高$\dot{A}_V$是有效的,但 R_C 的提高受到静态工作点的限制,必须兼顾考虑。选用 β 较大的管子,$\dot{A}_V$ 增加甚少,原因在于 β 增大了,由式(2.3.6)可知,r_{be}也几乎成比例增大。但是从增大输入电阻以减小信号电流来说,还是以采用 β 值较大的管子为宜。在实际应用中,R_C 值通常为(1 ~ 10) kΩ,β 值为 50 ~ 100。

此外,在一定范围内,A_V 随静态电流 I_E 的增大几乎线性增大。这是因为,当 β 较大而 I_E 较小,即 $\beta/I_E > 50$ 时

$$r_{bb'} << (1+\beta)\frac{26\ \text{mV}}{I_E}$$

则

$$r_{be} \approx \beta\frac{26\ \text{mV}}{I_E}$$

$$A_V = -\frac{\beta R_C}{r_{be} + R_B} \approx \frac{-R_C I_E}{R_B I_B + 26(\text{mV})}$$

3. 计算输入电阻和输出电阻

由图 2.3.8 可见,放大电路的输入电阻为

$$R_i = \frac{\dot{V}_i}{\dot{I}_b} = R_B + r_{be} \tag{2.3.8}$$

为了确定放大电路的输出电阻 R_o，令信号电压源 $\dot{V}_s$ 等于零，在放大电路的输出端口 2、2′施加一电压 $\dot{V}_t$，则电压 $\dot{V}_t$ 与输出端口的电流 $\dot{I}_t$ 之比就是放大电路的输出电阻，即

$$R_o = \left.\frac{\dot{V}_t}{\dot{I}_t}\right|_{\dot{V}_s=0} \tag{2.3.9}$$

由图 2.3.8 可见，当 $\dot{V}_s = 0$ 时，$\dot{I}_b = 0$，因此 $\dot{I}_o = \dot{I}_c = \beta \dot{I}_b = 0$，所以

$$R_o = R_C \tag{2.3.10}$$

显然，如果不忽略 r_{ce}，则有

$$R_o = R_C // r_{ce} \tag{2.3.11}$$

4. 计算源电压放大倍数

由源电压放大倍数的定义，应有

$$\dot{A}_{VS} = \frac{\dot{V}_o}{\dot{V}_s} = \frac{\dot{V}_o}{\dot{V}_i} \cdot \frac{\dot{V}_i}{\dot{V}_s} = \dot{A}_V \frac{\dot{V}_i}{\dot{V}_s} \tag{2.3.12}$$

而

$$\frac{\dot{V}_i}{\dot{V}_s} = \frac{R_i}{R_i + R_s} = \frac{R_B + r_{be}}{R_B + r_{be} + R_s}$$

则

$$\dot{A}_{VS} = \dot{A}_V \frac{R_B + r_{be}}{R_B + r_{be} + R_s} = -\frac{\beta R_C}{R_B + r_{be} + R_s} \tag{2.3.13}$$

例 2.3.1 放大电路如图 2.3.1(a)所示，设晶体管的 $\beta = 60$。电路中其他参数为：$V_{BB} = 1.2\ \text{V}$，$V_{CC} = 12\ \text{V}$，$R_s = 1\ \text{k}\Omega$，$R_B = 15\ \text{k}\Omega$，$R_C = 2.7\ \text{k}\Omega$。(1) 确定静态工作点；(2) 计算 $\dot{A}_V$。

解 (1) 已知 β，可用计算法求静态工作点。当 $V_s = 0$ 时，有

$$I_B = \frac{V_{BB} - V_{BE}}{R_s + R_B} = \frac{(1.2 - 0.7)\ \text{V}}{(1 + 15)\ \text{k}\Omega} \approx 31\ \mu\text{A}$$

$$I_C = \beta I_B = 60 \times 0.031\ \text{mA} = 1.86\ \text{mA}$$

$$V_{CE} = V_{CC} - I_C R_C = (12 - 1.86 \times 2.7)\ \text{V} \approx 7\ \text{V}$$

(2) 由式(2.3.6)可求出静态工作点处的 r_{be}，有

$$r_{be} = 200\ \Omega + (1 + \beta)\frac{26\ \text{mV}}{I_E} \approx 200\ \Omega + 61 \times \frac{26\ \text{mV}}{1.86\ \text{mA}} \approx 1.05\ \text{k}\Omega$$

由此可得　　$$\dot{A}_V = -\frac{\beta R_C}{R_B + r_{be}} = -\frac{60 \times 2.7}{15 + 1.05} \approx -10$$

2.3.3　带 R_E 的共发射极放大电路的分析

发射极串接电阻的共发射极放大电路，是一个应用十分广泛的基本放大电路，现以阻容耦合放大电路为例来分析。该电路如图 2.3.9(a)所示，图中 R_{B1}、R_{B2}和 R_{E1}为晶体管提供了适当的偏置，C_1、C_2 分别用来隔断晶体管与信号源以及晶体管与负载的直流通路，C_E 为发射极交流旁路电容。电容 C_1、C_2 和 C_E 对交流信号可视为短路，由此可画出 h 参数等效电路如图 2.3.9(b)所示，图中 $R_B = R_{B1} // R_{B2}$。由图 2.3.9(b)可得

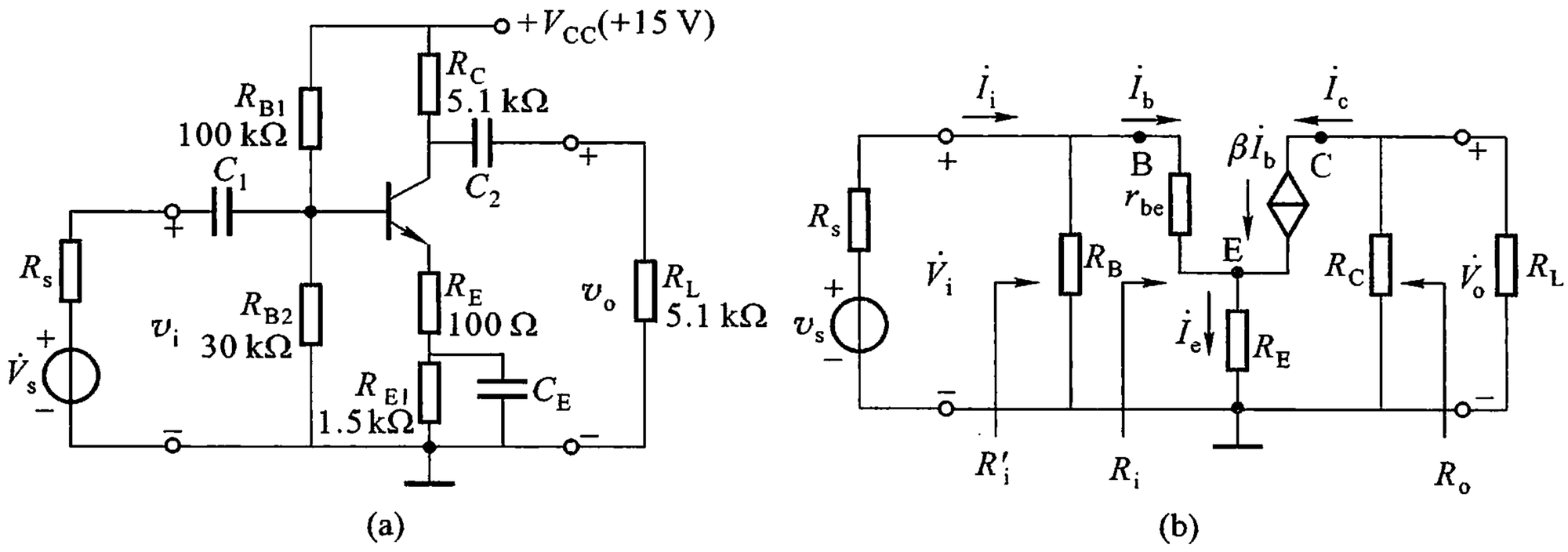


图 2.3.9　带 R_E 的共发射极放大电路及等效电路

(a) 带 R_E 的放大电路　(b) 等效电路

$$\dot{V}_i = \dot{I}_b r_{be} + \dot{I}_e R_E = \dot{I}_b [r_{be} + (1+\beta) R_E]$$

$$\dot{V}_o = -\dot{I}_c (R_C // R_L) = -\beta \dot{I}_b (R_C // R_L)$$

则电压放大倍数为

$$\dot{A}_V = \frac{\dot{V}_o}{\dot{V}_i} = -\frac{\beta (R_C // R_L)}{r_{be} + (1+\beta) R_E} \tag{2.3.14}$$

由 R_B 右边向放大电路看进去的等效电阻为

$$R_i = \frac{\dot{V}_i}{\dot{I}_b} = r_{be} + (1+\beta) R_E \tag{2.3.15}$$

放大电路的输入电阻为

$$R_i' = R_B // R_i = R_{B1} // R_{B2} // R_i \tag{2.3.16}$$

为求输出电阻，应令 $\dot{V}_s = 0$（或 $\dot{I}_s = 0$），但保留信号源内阻，将 R_L 断开，在输出端施加电压 V_t（相应产生电流 I_t），则放大电路的输出电阻为

$$R_o = \frac{\dot{V}_t}{\dot{I}_t} \approx R_C$$

设晶体管的 $\beta = 50$，$r_{be} = 1\ \text{k}\Omega$，电路的元件值如图 2.3.9(a)所示，将这些参数代入上述公式，即可得 $\dot{A}_V = -20.9$，$R_i' = 4.9\ \text{k}\Omega$，$R_o = 5.1\ \text{k}\Omega$。

这两节学习了分析放大电路的两种基本方法，即图解法和等效电路法。图解法适用于低频大信号电路，等效电路法适用于任意复杂的小信号电路。如果信号较大，只要非线性失真不严重，等效电路法仍适用，只是计算误差稍大而已。由此可见，两种方法各有其特点和局限性，但它们又是相互联系、相互补充的。在分析电路时，往往以一种方法为主，辅以另一方法，使分析更加简便。

附录 2.3.1 电压源和电流源

电子线路中的电源，可分独立源和受控源两大类。

1. 独立源

独立源给电路提供能量或提供信号，它的参数完全由电源内部的因素决定，而与电路中其他部分的电流和电压无关。经常遇到的电池和信号源等属于独立源。独立源又可分为电压源和电流源两种。

（1）电压源

两端能保持定值电压的电源，称为理想电压源。它有两个基本特性：(1) 端电压 $\dot{V}$ 为定值（等于 $\dot{V}_s$）或一定的时间函数 $v(t)$，与流过的电流无关；(2) 流过它的电流是由定值电压 $\dot{V}_s$ 和与它相连接的外部电路共同决定的。理想电压源的符号如图 2.3.10(a)所示。由于理想电压源的端电压为定值，与流过它的电流的大小无关，这一特性意味着理想电压源的内阻为零，如果 $\dot{V}_s = 0$，则理想电压源的两端点相当于短路。

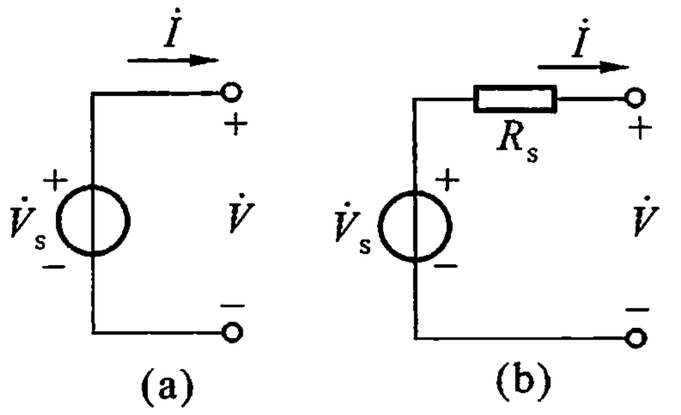


图 2.3.10 电压源

（a）理想电压源 （b）实际电压源

实际电压源的端电压随电流而改变，它可以用一个理想的电压源 $\dot{V}_s$ 和内阻

R_s 串联的电路来等效，如图 2.3.10(b)所示。因此，实际电压源的端电压可表示为

$$\dot{V} = \dot{V}_s - R_s \dot{I} \tag{2.3.17}$$

由此可见，由于内阻上的压降 $R_s \dot{I}$ 随电流改变，使电源端电压也随电流而变。实际电压源的内阻越小，就越接近于理想电压源。通常把理想电压源简称为电压源。

(2) 电流源

能输出定值电流的电源，称为理想电流源。它也有两个基本特性：(1) 它的电流为定值，或是一定的时间函数，与端电压无关；(2) 它的端电压是由定值电流 $\dot{I}_s$ 和与它相连接的外电路共同决定的。理想电流源的符号如图 2.3.11(a)所示。由于理想电流源具有输出电流为定值而不随端电压改变的特性，这就意味着它的内阻为无穷大。在 $\dot{I}_s = 0$ 时，它的两个端点相当于开路。

实际电流源的输出电流随端电压而改变，它可以用一个理想的电流源 $\dot{I}_s$ 和内阻 R_s 的并联电路来等效，如图 2.3.11(b)所示，它往外输送的电流 $\dot{I}$ 为

$$\dot{I} = \dot{I}_s - \frac{\dot{V}}{R_s} \tag{2.3.18}$$

其中，$\dot{I}_s$ 为电流源的定值电流，$\dot{V}/R_s$ 为内阻所分走的电流。内阻越大，分流电流越小，实际电流源就越接近于理想电流源。通常把理想电流源简称为电流源。

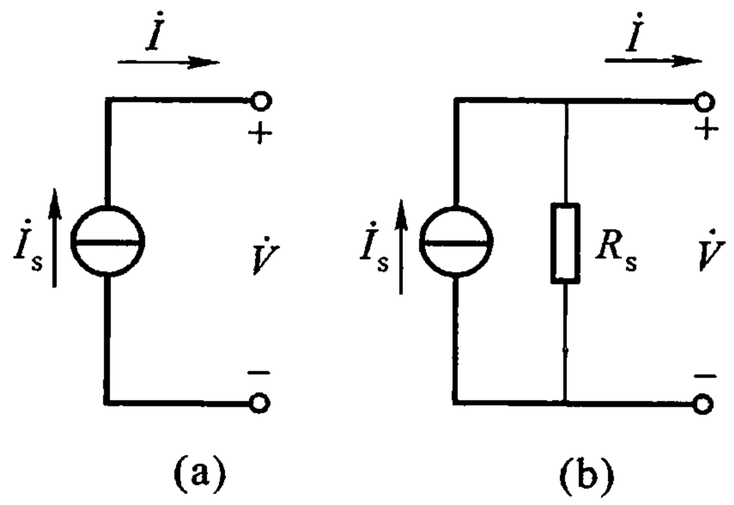


图 2.3.11　电流源

(a) 理想电流源　(b) 实际电流源

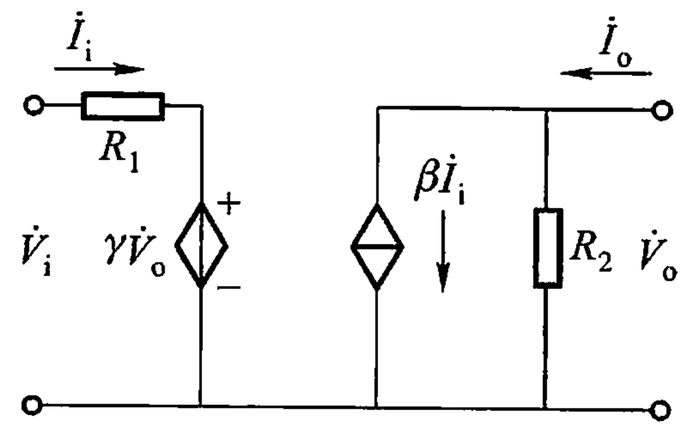


图 2.3.12　具有受控源的电路

2. 受控源

受控源又称非独立源，它的电流或电压是受电路中其他部分的电流或电压控制的，是这些电流或电压的函数。因此，受控源共有四种，在图 2.3.12 中给出

了两种。有两种受控电压源，即“电压控制电压源 $\gamma\,\dot{V}_o$”和“电流控制电压源 $r\,\dot{I}$”；还有两种受控电流源，即“电压控制电流源 $g\,\dot{V}_o$”和“电流控制电流源 $\beta\,\dot{I}$”。当受控源的被控制量 $\gamma\,\dot{V}_o$ 正比于控制量 $\dot{V}_o$ 时，比例系数 γ 为常数，则受控源是一种线性元件。显然，在 4 个比例系数中 γ、β 没有量纲，r 具有电阻的量纲，g 具有电导的量纲。

附录 2.3.2 线性网络的几个定理

加于其上的电压和电流之间的关系可用线性的代数或微分方程来描述的元件，称为线性元件。电阻、电容和电感元件的伏安特性可用代数或微分方程表示，因此它们是线性元件。由线性元件组成的电路，称为线性电路。

网络是电路的概括和泛称，当研究电路的一般规律时称网络，讨论具体电路时称电路，但两个名词的意义很相近，往往混用。网络理论是研究电路系统一般规律的理论。

一般地说，由线性元件构成的网络，称为线性网络；若网络中包含非线性元件，则称为非线性网络。内部不含电源的网络，称为无源网络；内部含有电源的网络，则称有源网络。网络也常按引出端口的数目来分类，有一个端口（一对引出端）的网络，称为单口网络，如图 2.3.10(b)所示；有两个端口亦即有两对引出端的网络，称为双口网络，如图 2.1.4 所示。

对线性网络的分析，可采用克希霍夫定理进行，但如果还采用本节介绍的几个基本定理，将使分析更加简化，并能更深入地了解电路的结构和相互关系，下面讨论这些定理。

1. 叠加定理

在线性网络中，若含有两个或两个以上的独立源，每一元件的电流或电压，可以看作是每一个独立源单独作用于网络时在该元件上产生的电流或电压之和，这就是叠加定理。

运用叠加定理时应该注意：考虑任一独立源单独作用时，其他独立源应视为零值，即独立电压源用短路代替，独立电流源用开路代替；而全部受控源则必须保留。

例 2.3.2 电路结构和元件数值如图 2.3.13 所示，试用叠加定理求 R_1 支路的电流 $\dot{I}_1$。

解 电流源 $\dot{I}$ 单独作用于网络时，电压源 $\dot{V}$ 用短路代替，电路见图 2.3.13(b)，$\dot{I}_1'$ 为 $\dot{I}$ 在 R_1 上的分流，即

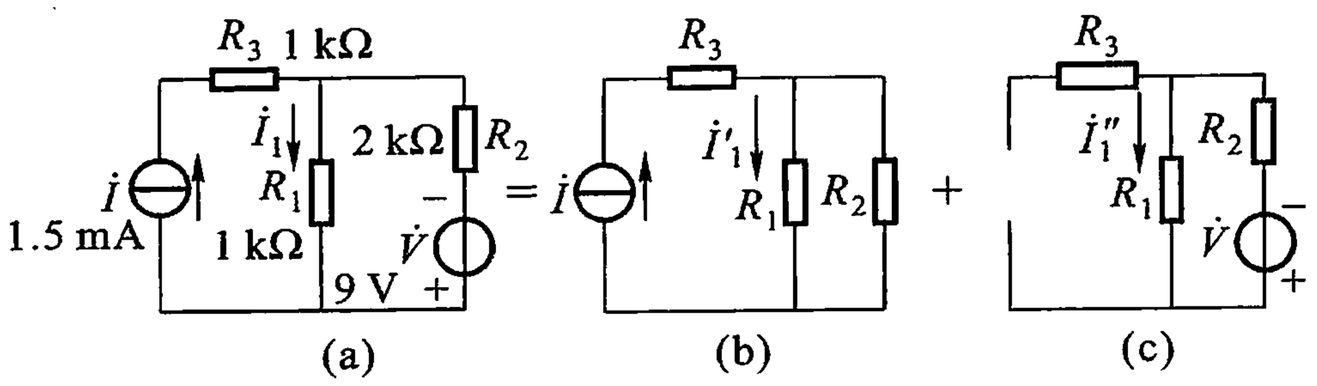


图 2.3.13　叠加定理一例

（a）具有两个独立源的电路　（b）$\dot{I}$ 单独作用　（c）$\dot{V}$ 单独作用

$$\dot{I}'_1 = \frac{R_2}{R_1 + R_2}\dot{I} = \frac{2}{1+2} \times 1.5\ \text{mA} = 1\ \text{mA}$$

电压源 $\dot{V}$ 单独作用于网络时，电流源 $\dot{I}$ 用开路代替，见图 2.3.13(c)。R_1 的电流为

$$\dot{I}''_1 = \frac{-\dot{V}}{R_1 + R_2} = \frac{-9}{(1+2) \times 10^3}\ \text{A} = -3\ \text{mA}$$

流过 R_1 的总电流 $\dot{I}_1$ 应为两个独立源单独作用于网络时，在 R_1 上产生电流的矢量和，即

$$\dot{I}_1 = \dot{I}'_1 + \dot{I}''_1 = (1-3)\ \text{mA} = -2\ \text{mA}$$

由上例可见，运用叠加定理来分析线性网络，计算比较简单，而且不易出错。读者可用基尔霍夫定律验证其结果。

还需指出：在分析电路时，既要假定电流的参考方向，又要假定电压的参考极性。如果电流的计算结果为正值，表明电流的真实方向与参考方向一致。在未标示参考方向的情况下，电流的正、负结果是毫无意义的，对电压也如此。电流的参考方向和电压的参考极性，可以彼此无关地任意假定，但为方便起见，常采用“关联”参考方向（参考极性），即假定电流的参考方向与电压的参考极性一致。

2. 戴维宁定理

戴维宁定理的内容是：任一线性有源单口网络，可用一个电压源串联一个阻抗来代替，设电压源为正弦电压，则电压源的电压等于该网络端口的开路电压 $\dot{V}_o$，而等效阻抗 Z_o 则等于该网络的全部独立源为零值时的输出阻抗。

由这一电压源和等效阻抗组成的等效电路，称为戴维宁等效电路，图 2.3.14 说明了这种关系。

图 2.3.14 中 a、b 两点左边的电路是一个线性有源单口网络，Z_L 为网络的

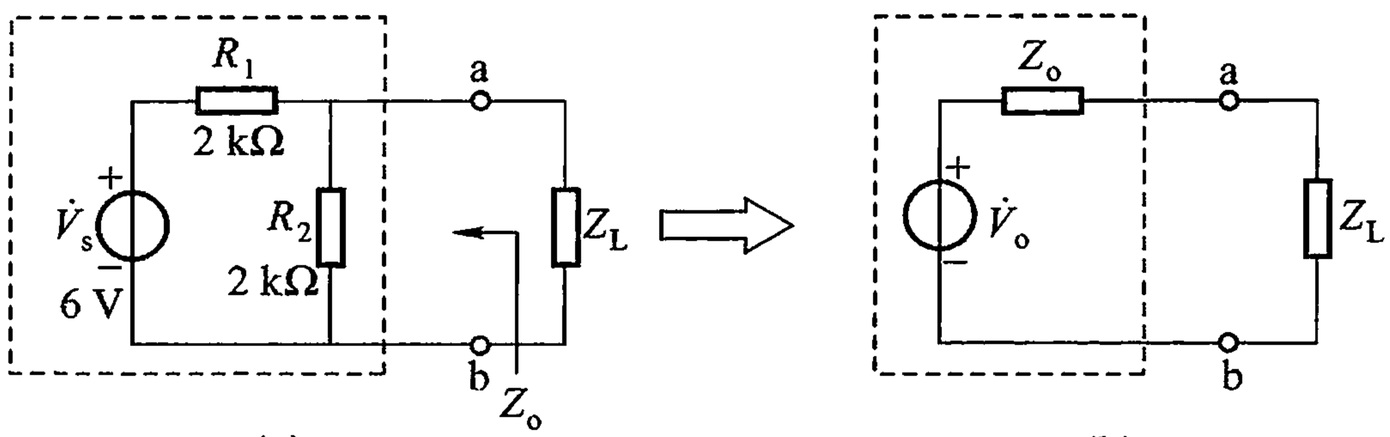


图 2.3.14　戴维宁定理示意图

（a）电路一例　（b）戴维宁等效电路

外部电路。求等效电压源 $\dot{V}_o$ 时，应将 Z_L 断开，$\dot{V}_o$ 就是 a、b 两端的电压。对于图 2.3.14 中的例子则为

$$\dot{V}_o = \frac{R_2}{R_1 + R_2}\dot{V}_s = \frac{2}{2+2} \times 6\ \text{V} = 3\ \text{V}$$

等效阻抗 Z_o 应为 Z_L 断开、网络内部的电压源短路（电流源开路）时 a、b 两端的阻抗。对于图 2.3.14 中例子

$$Z_o = R_o = R_1 // R_2 = 1\ \text{k}\Omega$$

应用戴维宁定理时，还有两个问题必须注意：（1）由戴维宁定理所得的等效电路，仅对网络的外部电路等效，亦即只适用于计算外部电路的电压和电流，而不适用于计算网络内部的电压和电流；（2）只要单口网络内部是线性的，外部电路即使是含有非线性元件的非线性电路，戴维宁定理同样适用。

3. 诺顿定理

一个有源线性单口网络，可用一个电流源并联一个等效阻抗来代替，电流源 $\dot{I}_o$ 等于该网络端口的短路电流，等效阻抗 Z_o 等于该网络的全部独立源为零值时的输出阻抗，这就是诺顿定理。图 2.3.15 说明了这种关系，电流源与等效阻抗并联的电路，称为诺顿等效电路。

对于图 2.3.15（a）的例子，将 a、b 两端短路，则短路电流为等效电流源 $\dot{I}_o$，即 $\dot{I}_o = \dot{V}_s / R_1 = 6\ \text{V}/2\ \text{k}\Omega = 3\ \text{mA}$；等效阻抗 $Z_o = R_1 // R_2 = 1\ \text{k}\Omega$。

对比图 2.3.14 与图 2.3.15 后可知，同一个电路既可等效为戴维宁电路，又可等效为诺顿电路，表明两种电路之间也是彼此等效的。可以将图 2.3.14（b）的戴维宁电路变换为图 2.3.15（b）的诺顿电路，$\dot{I}_o = \dot{V}_o / Z_o$，而 Z_o 则不变。同样，也可作相反的变换。

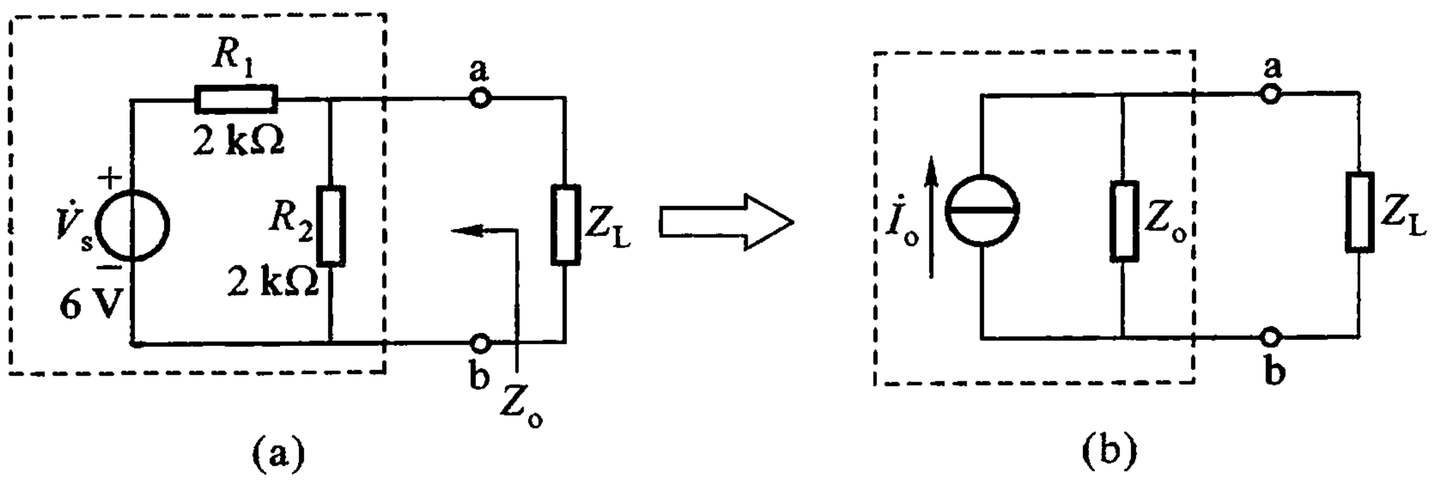


图 2.3.15　诺顿定理示意图

（a）电路一例　（b）诺顿等效电路

4. 密勒定理

密勒定理指出：具有 N 个独立节点的任意网络，见图 2.3.16，N 为参考节点，假设在节点 1 与节点 2 之间接有阻抗 Z'，并已知节点电压 $\dot{V}_2$ 与节点电压 $\dot{V}_1$ 之比 $\dot{K}$（$\dot{K}=\dot{V}_2/\dot{V}_1$）；若断开阻抗 Z'，而在节点 1 与节点 N 之间接以阻抗 $Z_1=Z'/(1-\dot{K})$，在节点 2 与节点 N 之间接以阻抗 $Z_2=Z'\dot{K}/(\dot{K}-1)$；由此得出的网络与原网络彼此等效。图 2.3.16 说明了这个等效关系。

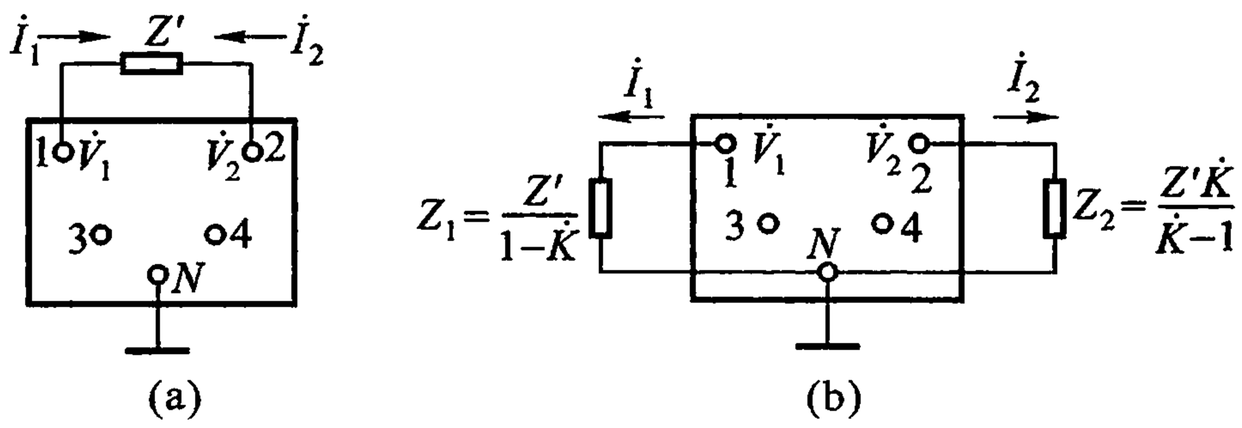


图 2.3.16　密勒定理示意图

（a）变换前的网络　（b）变换后的网络

密勒定理不难证明。对于具有 N 个独立节点的任意网络，如图 2.3.16（a）所示，其节点电压为 $\dot{V}_1$、$\dot{V}_2$，$\dot{V}_3$、…、$\dot{V}_N$，N 为参考节点或接地点，故 $\dot{V}_N=0$。其中某两个节点（1 与 2）之间接有阻抗 Z'，则从节点 1 流过 Z' 的电流 $\dot{I}_1$ 为

$$\dot{I}_1=\frac{\dot{V}_1-\dot{V}_2}{Z'}=\frac{\dot{V}_1(1-\dot{K})}{Z'}=\frac{\dot{V}_1}{\dfrac{Z'}{1-\dot{K}}}=\frac{\dot{V}_1}{Z_1}$$

上式表明，如果断开 Z'，而在节点 1 与节点 N 之间接以阻抗 $Z_1=Z'/(1-\dot{K})$，则从节点 1 流过 Z_1 的电流 $\dot{I}_1$ 将与流过原电路 Z' 的电流相同，如图 2.3.16（b）

所示。同理也可证明，如果断开 Z' 而在节点 2 与节点 N 之间接以阻抗 Z_2，则从节点 2 流过 Z_2 的电流 $\dot{I}_2$，将与流过原电路 Z' 的电流相同，Z_2 应为

$$Z_2 = \frac{Z'}{1 - \frac{1}{\dot{K}}} = \frac{Z'\dot{K}}{\dot{K} - 1}$$

因此，对于图 2.3.16(a)和图 2.3.16(b)所示的两个网络，可列出相同的节点电流方程，这就证明了这两个网络是等效的。

必须指出，密勒定理的应用，只有当电压比 $\dot{K}$ 能用某种方法单独求出时，才是可行的。在电子电路分析中，有些电路利用密勒定理简化，可使电路的分析简单得多。

2.4 放大电路工作点的稳定

在分立元件组成的放大电路中，常采用阻容耦合方式，即信号源与放大电路之间、放大电路与负载之间是通过耦合电容将信号几乎无损耗地(耦合电容对信号所呈现的容抗近似为零)进行传输。耦合电容同时也起到隔直流的作用，用来隔离信号源和负载对放大电路直流工作状态的影响。

在放大电路中，为了保证晶体管工作在放大区，必须给晶体管提供一个合适、稳定的静态工作点。

2.4.1 温度变化对工作点的影响

1. 固定偏置电路

图 2.4.1 为固定偏置基本放大电路，C_1、C_2 为耦合电容，R_B 为基极偏流电阻，电源 V_{CC} 同时给发射结和集电结提供合适的偏置。此电路的静态工作点电流、电压为

$$I_B = \frac{V_{CC} - V_{BE}}{R_B} \approx \frac{V_{CC}}{R_B} \tag{2.4.1}$$

$$I_C = \bar{\beta} I_B + (1 + \bar{\beta}) I_{CBO} \approx \beta I_B$$

$$V_{CE} = V_{CC} - I_C R_C$$

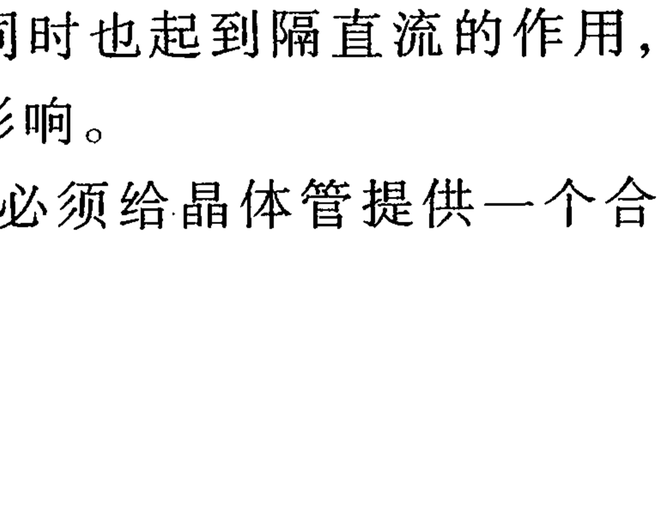


图 2.4.1 固定偏置放大电路

这种电路的特点是结构简单，调试方便。电路在 R_C、V_{CC} 确定后，改变 R_B 的大小就可以改变静态

工作点 Q 的位置。但该电路的静态工作点 Q 却容易受外部因素(如温度、更换管子、电源电压波动等)的影响产生变动,变动大时甚至能使电路无法工作,在诸多因素中,影响最大的是温度。

2. 温度变化对工作点的影响

理论和实践表明,当温度变化时,晶体管有 3 个参数要发生变化,它们是:反向饱和电流 I_{CBO},电流放大系数 $\bar{\beta}$(或 $\bar{\alpha}$)以及阈值电压 $V_{BE(th)}$。它们变化时,都引起静态工作点的变动。现以图 2.4.1 所示的放大电路为例,说明这 3 个参数随温度变化时静态工作点 Q 是怎样移动的。

(1) I_{CBO}的温度特性

I_{CBO}是集电区和基区的少子在集电结反向电压的作用下形成的漂移电流,对温度非常敏感,温度每升高 10 ℃时,I_{CBO}约增加一倍。由于穿透电流 $I_{CEO} = (1+\bar{\beta})I_{CBO}$,故 I_{CEO}对温度更敏感,上升更显著。I_{CEO}的增加导致共发射极输出特性曲线族平行上移,使工作点向饱和区移动。

(2) $\bar{\beta}$(或 $\bar{\alpha}$)的温度特性

晶体管的电流放大系数 $\bar{\beta}$ 会随温度的升高而增大。温度升高后,基区内非平衡少子的扩散速度加快,非平衡少子电子与空穴复合数目减少,因而,表现为 $\bar{\beta}$ 增大。$\bar{\beta}$ 值的增加在输出特性曲线上表现为曲线簇间的间隔变宽,使工作点向饱和区移动。

(3) $V_{BE(th)}$的温度特性

温度升高时,载流子运动加剧,发射结导通电压将减小,$V_{BE(th)}$随温度的变化率为

$$\frac{dV_{BE(th)}}{dT} = -2.5\ \text{mV/℃} \tag{2.4.2}$$

式(2.4.2)中,负号表示温度升高时,$V_{BE(th)}$降低。$V_{BE(th)}$的降低同样会引起 I_C 的增大。

综上所述,可得如下结论:

(1) $V_{BE(th)}$具有负的温度特性,$\bar{\beta}$(或 $\bar{\alpha}$)和 I_{CBO}具有正的温度特性,当温度升高时,它们都导致集电极静态工作点电流 I_C 的增大。这种静态工作点随温度而变化的现象称为静态工作点的漂移。

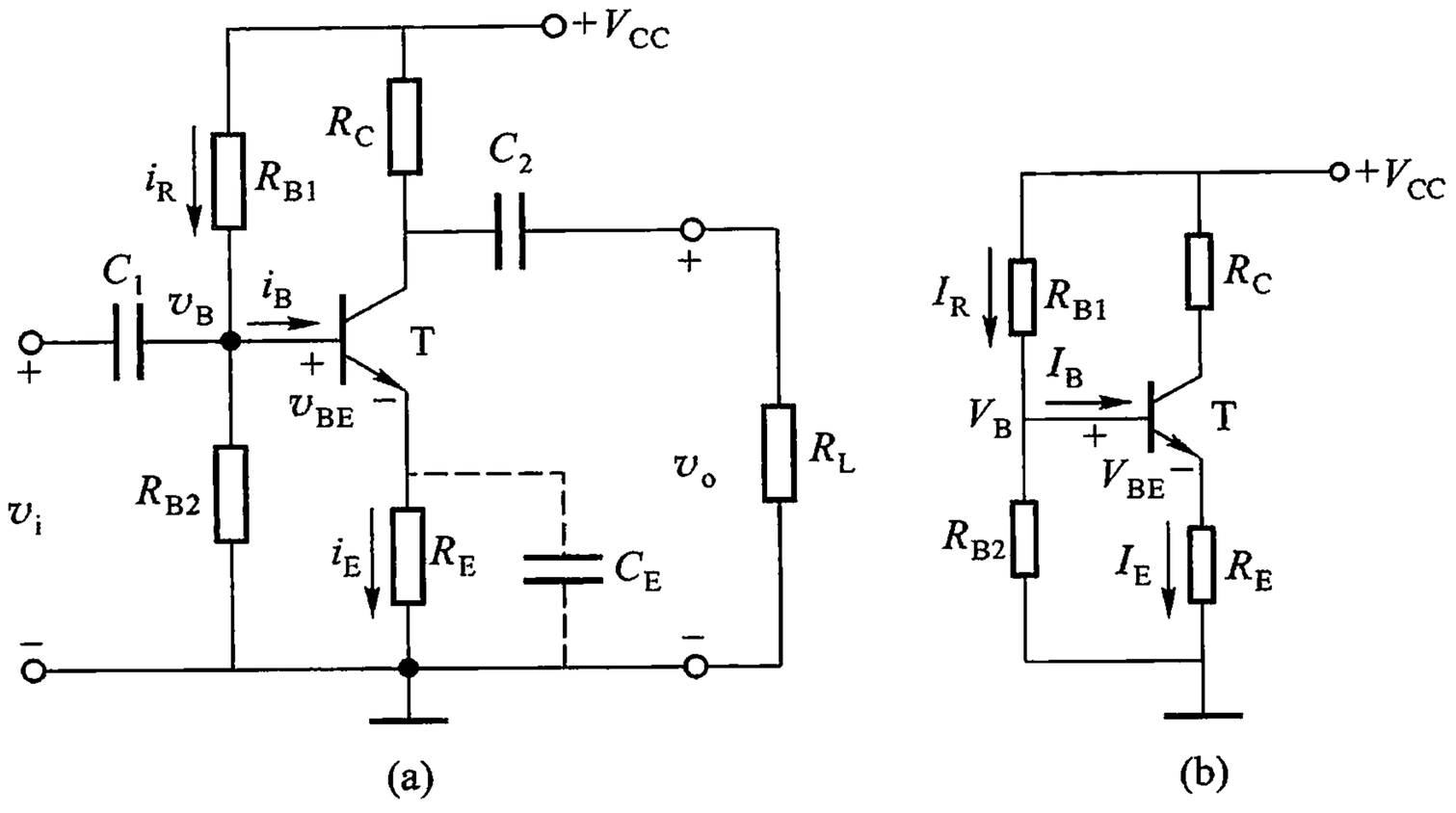
(2) 固定偏置电路的静态工作点 Q 的温度稳定性是很差的,静态工作点 Q 随温度而变动。因此,这种电路在实际工作中很少采用。

如何才能使放大电路获得一个稳定的静态工作点呢?由于温度对晶体管参数的影响,最终集中表现在晶体管静态工作点 I_{CQ}的变化上,从这一基本事实出

发，可设计一些偏置电路，在 I_{CQ} 随温度上升而增大时，能使 I_{BQ} 减少，以减少 I_{CQ} 的变化，近似地自动维持 I_{CQ} 不变，达到稳定静态工作点的目的。

2.4.2 分压式偏置稳定电路

图 2.4.2(a)所示的分压式偏置放大电路，它是分立元件放大电路最常用的偏置电路，其特点是在发射极与地之间接入电阻 R_E，基极接有分压电阻 R_{B1} 和 R_{B2}，图(b)是直流通路。此电路具有自动稳定静态工作点的能力。



(a) (b)

图 2.4.2 分压式偏置放大电路

(a) 原理电路 (b) 直流通路

1. 稳定工作点的原理

由偏流电阻 R_{B1} 和 R_{B2} 组成分压电路，其作用是固定基极电位 V_B。由于选取 $I_R >> I_B$，所以 I_R 与 I_B 近似无关，I_R 可视为恒定的电流，于是 $V_B = I_R R_{B2}$ 也就固定了。当温度升高时，I_C 和 I_E 增大，发射极电位 $V_E = I_E \cdot R_E$ 必然增加，因为 $V_{BE} = V_B - V_E$，而 V_B 已被固定，所以 V_{BE} 减小，使 I_{BQ} 减小，结果抑制了 I_{CQ} 的增加，从而使 I_{CQ} 基本稳定。可见这种电路稳定工作点的实质是利用 I_E 的变化，在 R_E 上产生压降，回送到(反馈到)输入回路去调节 V_{BE}，抑制 I_C 的变化。因此，这种电路又称反馈式偏置电路①或射极偏置电路。

由于选择 $I_R >> I_B$，所以基极电压近似为

---

① 将放大电路的输出电压或电流的一部分或全部，通过一个电路(又称反馈网络)，送回到放大电路的输入端，称为反馈。反馈问题详述于第 4 章。

$$V_B \approx \frac{R_{B2}}{R_{B1}+R_{B2}}V_{CC} \tag{2.4.3}$$

由此，可得静态集电极电流为

$$I_C \approx I_E = \frac{V_B - V_{BE}}{R_E} \approx \frac{V_B}{R_E} \tag{2.4.4}$$

式(2.4.4)表明，在一定条件下，静态电流 I_C 和 I_E 基本稳定，几乎与晶体管的参数无关。

2. 稳定工作点的条件

由式(2.4.4)可见，只要选取 $V_B >> V_{BE}$，则 $I_C \approx V_B/R_E$，即静态电流 I_C 几乎与管子参数无关，从而抑制了温度对静态工作点的影响。由上述分析可知，稳定静态工作点的条件是 $I_R >> I_B$ 和 $V_B >> V_{BE}$。

稳定条件的具体选择，既要满足稳定条件的要求，又要兼顾电路其他方面的性能。为了稳定 V_B，应使 $I_R >> I_B$，但是 I_R 太大，即 R_{B1} 和 R_{B2} 太小，不仅增加了无益的直流功耗，还会使输入信号分流，造成放大倍数下降。为了稳定 I_C，应使 $V_B >> V_{BE}$，但是如果 V_B 太大，亦即 V_E 很大，V_E 将分占电源电压太多，致使放大电路的动态范围减小。因此，通常选取的稳定条件是

$$\left.\begin{aligned} I_R &= (5 \sim 10) I_B \\ V_B &= (5 \sim 10) V_{BE} \end{aligned}\right\} \tag{2.4.5}$$

硅管的 I_{CBO} 较小，I_R 可以选择得小些。

为了避免交流信号的负反馈，造成放大倍数下降，常在 R_E 两端并联一个容量很大的电容 C_E(约为 10 ~ 100 μF)，如图 2.4.2 所示。C_E 对交流信号可视为短路，故称 C_E 为发射极旁路电容。

2.5　共集电极放大电路

共集电极放大电路的原理电路如图 2.5.1(a)所示，图 2.5.1(b)是其交流等效电路。由图可见，集电极是输入信号和输出信号的共同端，故称该电路为共集电极放大电路。又因信号从发射极输出，所以共集电极放大电路又称为射极输出器。

2.5.1　静态工作点

静态时，由图 2.5.1(a)可列出基极回路的电压方程为

$$V_{CC} - V_{BE} = I_B R_B + I_E R_E = I_B R_B + (1+\beta) I_B R_E$$

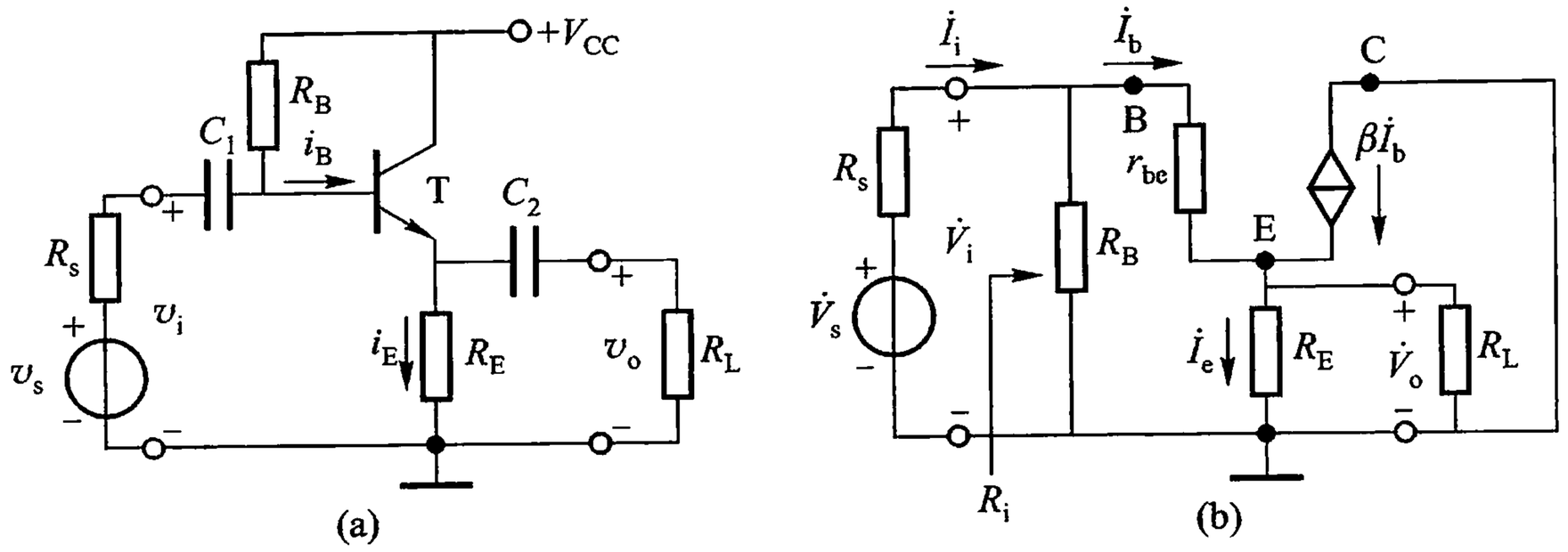


图 2.5.1　共集电极放大电路

(a) 原理电路　(b) h 参数等效电路

因此

$$I_B = \frac{V_{CC} - V_{BE}}{R_B + (1+\beta)R_E} \tag{2.5.1}$$

再由 $I_C = \beta I_B$ 和 $V_{CE} \approx V_{CC} - I_C R_E$ 两式可算出静态工作点。

2.5.2　电压放大倍数

由图 2.5.1(b)可列出输入、输出回路的电压方程分别为

$$\dot{V}_i = \dot{I}_b r_{be} + \dot{I}_e R'_L = \dot{I}_b r_{be} + (1+\beta)\dot{I}_b R'_L \tag{2.5.2}$$

式(2.5.2)中 $R'_L = R_E // R_L$，而

$$\dot{V}_o = (1+\beta)\dot{I}_b R'_L \tag{2.5.3}$$

所以电压放大倍数为

$$\dot{A}_V = \frac{\dot{V}_o}{\dot{V}_i} = \frac{(1+\beta)R'_L}{r_{be} + (1+\beta)R'_L} \approx \frac{\beta R'_L}{r_{be} + \beta R'_L} \tag{2.5.4}$$

通常 $\beta R'_L >> r_{be}$，因此，共集电极放大电路的电压放大倍数恒小于 1，但接近于 1。而且 $\dot{A}_V$ 为正，说明输出电压与输入电压同相位。共集电极放大电路的输出电压跟随(重复)输入电压变化，因此，又称射极输出器为射极跟随器。

共集电极放大电路没有电压放大作用，但其输出电流 $\dot{I}_o = (1+\beta)\dot{I}_b$ 比输入电流 $\dot{I}_b$ 大得多，因此，它有电流放大和功率放大作用。

2.5.3　输入电阻和输出电阻

由式(2.5.2)可求出输入电阻为

$$R_i = \frac{\dot{V}_i}{\dot{I}_b} = R_B // [r_{be} + (1+\beta) R'_L] \tag{2.5.5}$$

由此可见,共集电极放大电路的输入电阻是比较高的,比共发射极基本放大电路的输入电阻大几十倍到几百倍。

为计算输出电阻,将 $\dot{V}_s$ 短路($\dot{V}_s = 0$),在输出端施加一电压 $\dot{V}_t$,如图 2.5.2 所示。由图可得

$$\dot{I}_t = \dot{I}_b + \beta \dot{I}_b + \dot{I}_e = \dot{V}_t \left(\frac{1}{r_{be} + R'_s} + \beta \frac{1}{r_{be} + R'_s} + \frac{1}{R_E} \right)$$

式中　$R'_s = R_s // R_B$,因此输出电阻为

$$R_o = \left. \frac{\dot{V}_t}{\dot{I}_t} \right|_{\dot{V}_s = 0} = \frac{1}{\dfrac{1+\beta}{r_{be} + R'_s} + \dfrac{1}{R_E}}$$

亦即

$$R_o = R_E // \frac{r_{be} + R'_s}{1+\beta} \tag{2.5.6}$$

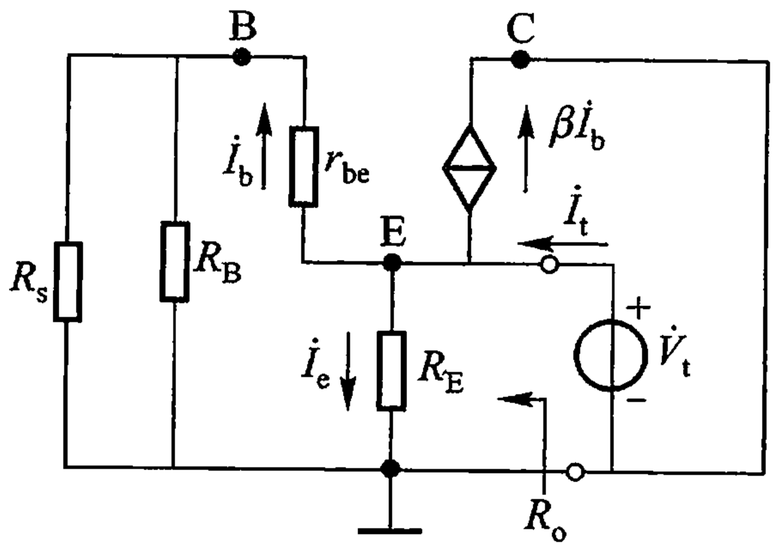


图 2.5.2　计算共集电极放大电路输出电阻 R_o 的等效电路

式(2.5.6)表明,输出电阻 R_o 是发射极电阻 R_E 与 $\dfrac{r_{be} + R'_s}{1+\beta}$ 的并联。通常

$$R_E >> \frac{r_{be} + R'_s}{1+\beta}, \quad \beta >> 1$$

故有

$$R_o \approx \frac{r_{be} + R'_s}{\beta} \tag{2.5.7}$$

由此可见,共集电极放大电路的输出电阻是比较小的,一般为几十欧到几百欧,而且它还与信号源内阻 R_s 有关,或与前级输出电阻有关。

2.5.4　主要特点和应用

由上述分析可见,共集电极放大电路有以下特点:电压放大倍数稍小于 1,输出电压与输入电压同相,输入电阻高,输出电阻低。后两个特点是共集电极放大电路最可贵的两个特点,是它得以广泛应用的原因之所在。

共集电极放大电路的输入电阻大，常被用作电子测量仪器的输入级，以减小对被测电路的影响，保证测量结果的准确度。共集电极放大电路的输出电阻小，其输出特性接近于恒压源的特性，因此，常用作多级放大电路的输出级，以增强带负载的能力。在多级放大电路中，共集电极放大电路也常用作中间缓冲级，利用其输入电阻大、输出电小的特点实现阻抗变换，隔离前后级的相互影响。

2.6 共基极放大电路

共基极放大电路如图 2.6.1(a)所示。图中 R_{B1}、R_{B2}和 R_E 为直流偏置电阻，R_E 一般远大于共基极晶体管的输入电阻，C_1、C_2 为耦合电容，C_B 为旁路电容。通常 C_1、C_2、C_B 对交流信号可视为短路，因此，基极为交流地电位，故称该电路为共基极放大电路。共基极电路静态工作点的计算与分压式共发射极电路完全一样，这里不再说明，主要介绍交流性能的计算。共基极放大电路的交流等效电路如图 2.6.1(b)所示。

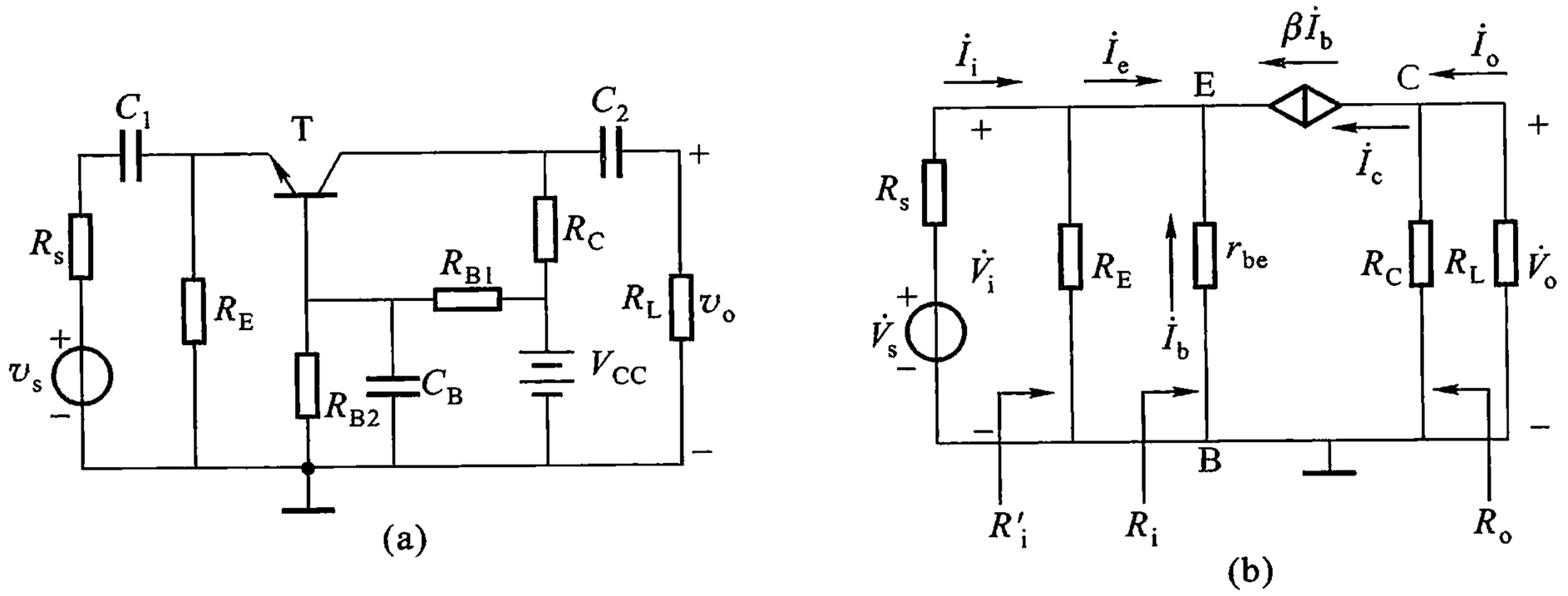


图 2.6.1 共基极放大电路

(a) 电路图 (b) h 参数等效电路

2.6.1 电压放大倍数

由图 2.6.1(b)可列出输入、输出回路的电压方程分别为

$$\dot{V}_i = -\dot{I}_b r_{be}$$

$$\dot{V}_o = -\dot{I}_c R'_L = -\beta \dot{I}_b R'_L$$

式中　　$R'_L = R_C // R_L$

所以电压放大倍数为

$$\dot{A}_V = \frac{\dot{V}_o}{\dot{V}_i} = \frac{-\beta\ \dot{I}_b R'_L}{-\dot{I}_b r_{be}} = \frac{\beta R'_L}{r_{be}} \tag{2.6.1}$$

式(2.6.1)中,电压增益与共发射极电路相同(绝对值均为 $\beta R'_L / r_{be}$),而且是正值,表明输出与输入同相。

2.6.2　输入电阻和输出电阻

由图 2.6.1(b)可见,输入电阻 R_i 为

$$R_i = \frac{\dot{V}_i}{\dot{I}_e}$$

式中　　$\dot{I}_e = -\dot{I}_b(1+\beta)$

则

$$R_i = \frac{\dot{V}_i}{\dot{I}_e} = \frac{-\dot{I}_b r_{be}}{-\dot{I}_b(1+\beta)} = \frac{r_{be}}{1+\beta} \tag{2.6.2}$$

考虑 R_E 后,放大电路的输入电阻 R'_i 为

$$R'_i = \frac{\dot{V}_i}{\dot{I}_i} = R_i // R_E \approx R_i = \frac{r_{be}}{1+\beta} \tag{2.6.3}$$

可见,共基极放大电路的输入电阻比基本共射电路的输入电阻 r_{be} 小得多。

为求输出电阻,可按前述的方法画出等效电路,从 R_L 两端向放大电路看去的等效电阻为

$$R_o \approx R_C \tag{2.6.4}$$

输出电阻与共发射极电路一样。共基电路还有一个优点,它的频率响应好,在要求频率特性高的场合多采用共基极放大电路。

2.7　单管放大电路的频率特性

2.7.1　放大电路频率特性的概念

实际应用中所放大的信号,往往是包含许多频率的复杂信号,如语言电信号

或电视图像信号等，都含有丰富的谐波。要放大这些信号，要求放大电路对不同频率分量有同等的放大能力，才不会产生信号失真。但是，由于放大电路中有耦合电容、旁路电容、分布电容以及放大管的极间电容等电抗元件，使放大倍数与各频率分量的频率有关，这种关系称为放大电路的频率特性，又称频率响应。

放大电路的频率特性可表示为

$$\dot{A}_V = |\dot{A}_V(f)| \angle \varphi(f) \tag{2.7.1}$$

式中，$|\dot{A}_V(f)|$表示电压放大倍数的模与频率的关系，称为放大电路的幅频特性；$\varphi(f)$表示放大电路输出电压与输入电压之间的相位差与频率的关系，称为相频特性。

一个共发射极单管放大电路（含耦合电容），它的幅频特性与相频特性如图2.7.1所示。先看幅频特性，在一个较宽的频率范围内，曲线是平坦的，即放大倍数不随频率变化，这段频率范围称为中频段，其电压放大倍数记作$\dot{A}_{VM}$。中频段以外，随着频率升高和降低，放大倍数都要下降。当放大倍数下降到中频段放大倍数的$1/\sqrt{2}=0.707$时，相应的低频频率和高频频率，分别称为下限频率f_L和上限频率f_H。在f_H和f_L之间的频率范围内，可认为放大电路对不同频率的信号有几乎同等的放大，这一频率范围称为频带宽度，简称通频带，以BW表示，即

$$BW = f_H - f_L \tag{2.7.2}$$

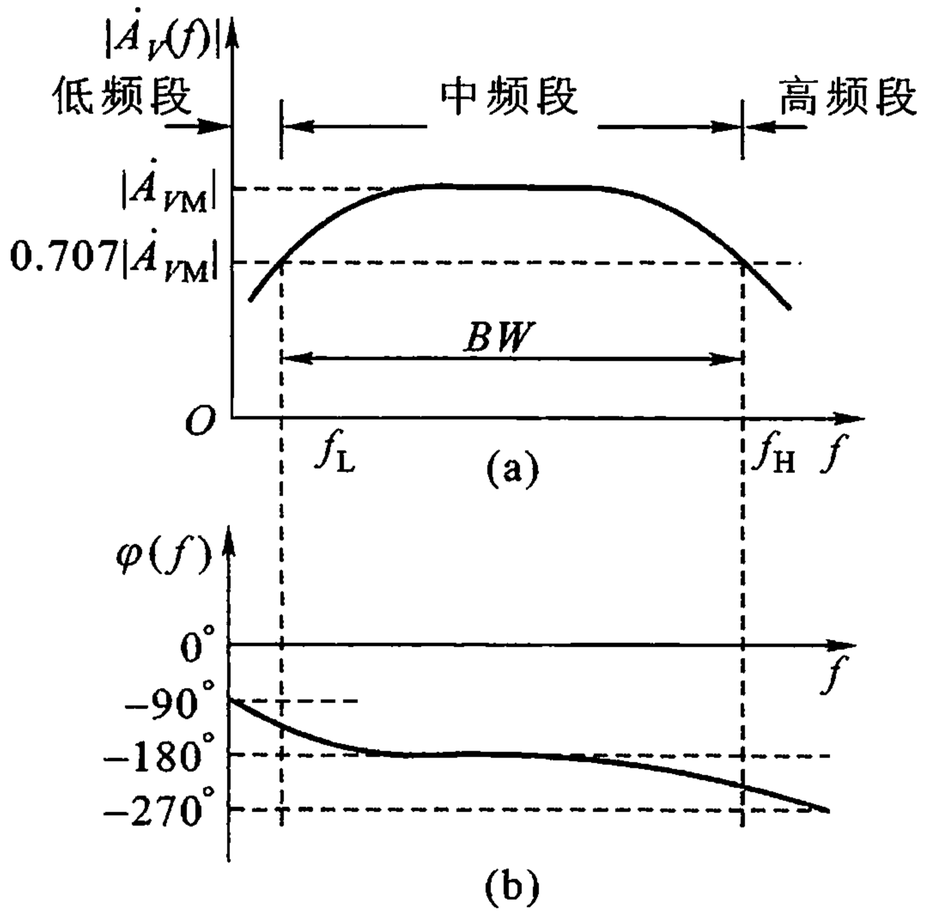


图2.7.1　单管阻容耦合放大电路的频率特性

（a）幅频特性　（b）相频特性

从图2.7.1(b)所示的相频特性可见，在中频段，放大倍数的相角随频率的变化很小，可认为恒等于180°。在低频段，相角随频率降低，超前于中频相角；

在高频段，相角随频率升高，而滞后于中频相角。

一个波形复杂的信号，是由许多不同频率、不同振幅和相角的简谐波叠加起来的。如果放大电路的通频带不够宽，对不同频率的信号放大倍数不一样，就改变了各谐波之间的振幅比例关系和相位关系，输出的合成波形就会变形，出现失真。放大电路对不同频率分量的信号放大倍数的大小不同而引起的失真，称为幅频失真。放大电路对不同频率分量的信号产生不同的相移，改变了信号中各频率成分之间的相位关系，由此引起的失真，称为相频失真。二者综合起来可全面表征放大电路的频率失真。由此可见，要减小幅频失真和相频失真，放大电路应有足够宽的通频带。

在分析放大电路的频率特性时，放大倍数常取对数并以“分贝”(dB)①作单位。现在介绍一下这个单位的意义。信号经电路传输后，通常其大小会发生变化，分贝是表示信号传输前后大小变化的一个对数单位。

对于放大电路，电压放大倍数用分贝(dB)表示的定义是

$$|\dot{A}_V|(\mathrm{dB}) = 20\lg\left|\frac{\dot{V}_o}{\dot{V}_i}\right|\mathrm{dB} = 20\lg|\dot{A}_V|\ \mathrm{dB} \tag{2.7.3}$$

式中，$\dot{V}_o$ 和 $\dot{V}_i$ 分别表示放大电路的输出电压和输入电压。例如，一个放大电路的电压放大倍数 $|\dot{A}_V| = 100$，以分贝作单位，则电压放大倍数为 40 dB；某一射极输出器的 $|\dot{A}_V| = 0.95$，以分贝(dB)作单位，则为 −0.45 dB，因 $|\dot{A}_V| < 1$，故分贝值为负，表示信号在传输过程中受到衰减。

放大倍数采用分贝(dB)作单位，其优点在于，可避免放大倍数的庞大数字并把多级放大倍数的乘法运算简化为加法运算；便于绘制频率特性的对数坐标图；对数单位比较符合听觉对声音感觉的特性。

2.7.2　晶体管的混合参数 π 型等效电路

在 2.3 节中介绍过的晶体管低频 h 参数等效电路，是根据特性方程导出的。当考虑晶体管的电容效应时，4 个 h 参数在高频段是随频率而变的复数，运用中很不方便。本节将采用物理模拟的方法，从晶体管的物理模型抽象出所谓混合参数 π 型等效电路，电路中的参数描述了管子内部所发生的物理过程，因此，具有明确的物理意义。并且，这些参数在很宽的频率范围内基本不随频率变化，在分析放大电路的高频特性时比较方便。

---

① dB 为英文 decibel 的缩写。以分贝表示的放大倍数通常又称为“增益”。

1. 混合 π 型等效电路的形式和参数的意义

晶体管混合 π 型等效电路如图 2.7.2 所示。图中 $r_{bb'}$ 代表晶体管的基区扩散电阻(或称为基区体电阻),$r_{b'e}$ 代表共发射极接法下 B′与 E 之间的等效电阻,r_{ce} 代表晶体管 C 与 E 之间的输出电阻(即 $1/h_{oe}$),$r_{b'c}$ 代表集电结的结层电阻。

$C_{b'e}$ 与 $C_{b'c}$ 分别代表发射结和集电结的等效电容。PN 结电容等于扩散电容 C_D 和势垒电容 C_T 之和,在正向偏置下 $C_D >> C_T$,反偏时 $C_D << C_T$。因此,处于正偏的发射结,其等效电容 $C_{b'e}$ 主要决定于扩散电容 C_D,容量较大,而处于反偏的集电结,其等效电容 $C_{b'c}$ 决定于势垒电容 C_T,容量较小。

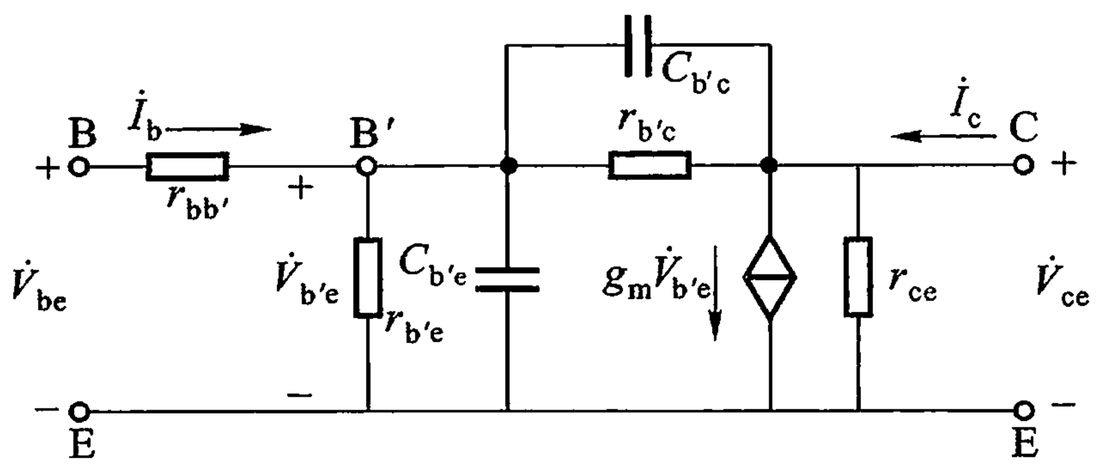


图 2.7.2　晶体管混合 π 型等效电路

受控电流源 $g_m\ \dot{V}_{b'e}$ 反映了晶体管输入回路对输出回路的控制作用。这里 g_m 定义为 v_{CE} 恒定时,基极电压 $v_{B'E}$ 的变化所引起的集电极电流 i_C 的变化量与 $v_{B'E}$ 的变化量之比,即

$$g_m = \left.\frac{\partial i_C}{\partial v_{B'E}}\right|_{v_{CE}} \tag{2.7.4}$$

g_m 的量纲为导纳,通常称为跨导,单位一般用 mS 表示。还须指出的是,在此采用 $\dot{V}_{b'e}$ 作为等效电流源 $g_m\ \dot{V}_{b'e}$ 的控制量,其原因在于,考虑发射结的等效电容 $C_{b'e}$ 后,在高频时 $C_{b'e}$ 将产生分流作用,而集电极电流 $\dot{I}_c$ 只与流过 $r_{b'e}$ 的电流成正比,于是 I_c 与 I_b 的正比关系不再成立,而采用 $V_{b'e}$ 为控制量时,就避开了 $C_{b'e}$ 的分流问题,从而使问题简化。

同 h 参数等效电路一样,混合 π 型等效电路只适用于交流小信号的场合,并且应采用静态工作点上的参数。在室温下,对于一般高频小功率管,工作电流 I_C 为 1.3 mA 时,混合 π 参数的典型数值如下:

$g_m = 50$ mS　　$r_{bb'} = 200\ \Omega$　　$r_{b'e} = 1$ kΩ

$r_{b'c} = 5$ MΩ　　$r_{ce} = 80$ kΩ　　$C_{b'e} = 100$ pF

$C_{b'c} = 3$ pF

由上述数据可见，$r_{b'c}$ 比电路中其他电阻大得多，可看作开路，而 r_{ce} 与负载 R_L 是并联的，一般 r_{ce} 比负载电阻大得多，因此，r_{ce} 也可略去。于是得到了简化的混合 π 型等效电路，如图 2.7.3(a)所示。

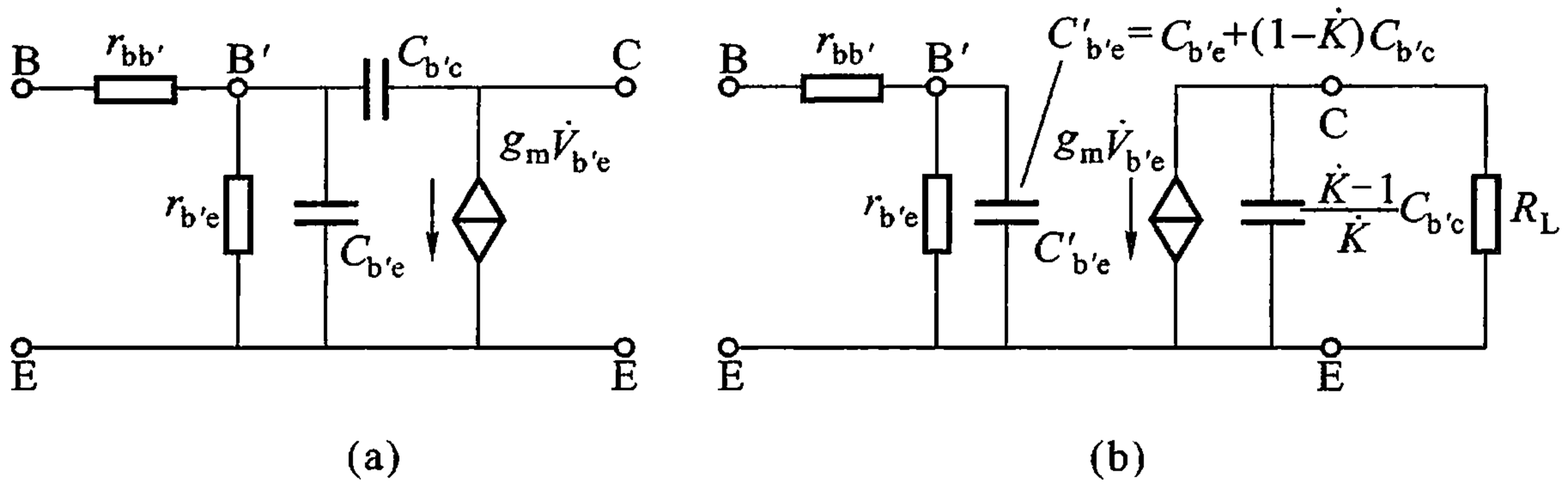


图 2.7.3　简化的混合 π 型等效电路

(a) 简化的等效电路　(b) 单向化的等效电路

由图 2.7.3(a)可见，由于电容 $C_{b'c}$ 的影响，使信号在电路中不是单向传输的，在电路结构上，存在 3 个回路，求解电路方程比较困难。为了简化电路，可运用密勒定理把 $C_{b'c}$ 的作用分别等效到输入和输出回路中去。也就是说，把 $C_{b'c}$ 对输入回路的作用，用一个与 B′－E 端并联的电容 $(1-\dot{K})C_{b'c}$ 来等效，而把 $C_{b'c}$ 对输出回路的作用，用一个与输出端并联的电容 $(\dot{K}-1)C_{b'c}/\dot{K}$ 来等效。于是，就把图 2.7.3(a)变换成图 2.7.3(b)，得到一个输入回路与输出回路彼此独立的单向化电路。

图 2.7.3(b)中的 $\dot{K}=\dot{V}_o/\dot{V}_{b'e}$，为节点 C 与节点 B′的电压比。通常 $\dot{K}>>1$，而且高频管的 $C_{b'c}$ 又小，所以在计算 $\dot{K}$ 时，可把 $(\dot{K}-1)C_{b'c}/\dot{K}$ 忽略不计，于是

$$\dot{K}=\frac{\dot{V}_o}{\dot{V}_{b'e}}\approx-\frac{g_m\dot{V}_{b'e}R_L}{\dot{V}_{b'e}}=-g_mR_L \tag{2.7.5}$$

因此，输入回路的电容

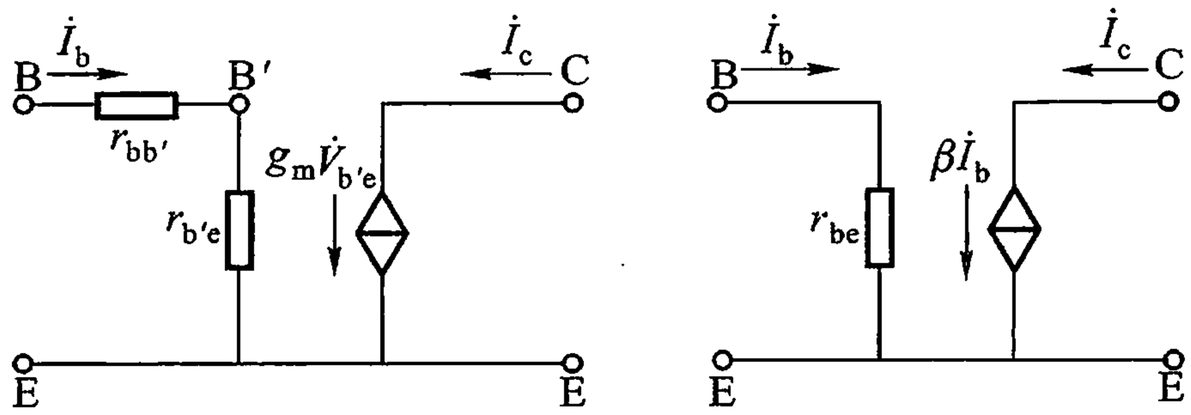
$$C'_{b'e}=C_{b'e}+(1-\dot{K})C_{b'c}=C_{b'e}+(1+g_mR_L)C_{b'c} \tag{2.7.6}$$

2. 混合 π 参数的计算

混合 π 参数可直接测出，也可以由已知的 h 参数计算出来。由于 h 参数容易测出，故通常采用后者。下面推导混合 π 参数与 h 参数的关系。

由于混合 π 参数在很宽的频率范围内与频率无关，所以通过低频 h 参数换算得到的混合 π 电阻参数和跨导 g_m 在高频段同样适用。在低频区，可以忽略 $C_{b'e}$ 和 $C_{b'c}$ 的影响，图 2.7.3(b)便可简化为图 2.7.4(a)的形式，与图(b)的 h 参

数等效电路比较，可见 $r_{be} = r_{bb'} + r_{b'e}$，再与式(2.3.6) $r_{be} = r_{bb'} + (1+\beta)26\ \text{mV}/I_E$ 比较，可得



(a)　　(b)

图 2.7.4　两种低频等效电路

(a) 低频混合 π 型等效电路　(b) h 参数等效电路

$$r_{b'e} = (1+\beta)\frac{26\ \text{mV}}{I_E} \approx \beta\frac{26\ \text{mV}}{I_C} \tag{2.7.7}$$

式中，I_C 的单位为 mA，$r_{b'e}$的单位为 Ω。

$$r_{bb'} = r_{be} - r_{b'e} \tag{2.7.8}$$

由图 2.7.4 有，$\dot{I}_c = g_m\ \dot{V}_{b'e} = \beta\ \dot{I}_b$，再利用式(2.7.7)，可得

$$g_m = \frac{\beta\ \dot{I}_b}{\dot{V}_{b'e}} = \frac{\beta}{r_{b'e}} = \frac{I_C}{26\ \text{mV}} \tag{2.7.9}$$

由此可见，跨导正比于静态电流 I_C。如 $I_C = 1.3$ mA，则 $g_m = 1.3\ \text{mA}/0.026\ \text{V} = 50$ mS。

简化的混合 π 型高频等效电路还包括 $C_{b'e}$和 $C_{b'c}$。$C_{b'c}$的数值可从手册上查到，有些手册用符号 C_{ob}表示 $C_{b'c}$。$C_{b'e}$的数值则根据手册上给出的特征频率 f_T 由下式计算：

$$C_{b'e} = \frac{g_m}{2\pi f_T} \tag{2.7.10}$$

2.7.3　单管放大电路的频率特性

单管共发射极放大电路如图 2.7.5(a)所示。图中的电容 C 为耦合电容，它起着耦合交流隔断直流的作用，使负载 R_L 上只得到交流输出信号。此放大电路的混合 π 型等效电路如图 2.7.5(b)所示。显然，这个电路是比较复杂的。

分析放大电路的频率特性，可以根据等效电路直接计算放大倍数与频率的关系。但是这样做是十分繁琐的，而且所得到的复杂表达式，往往不能给出频率

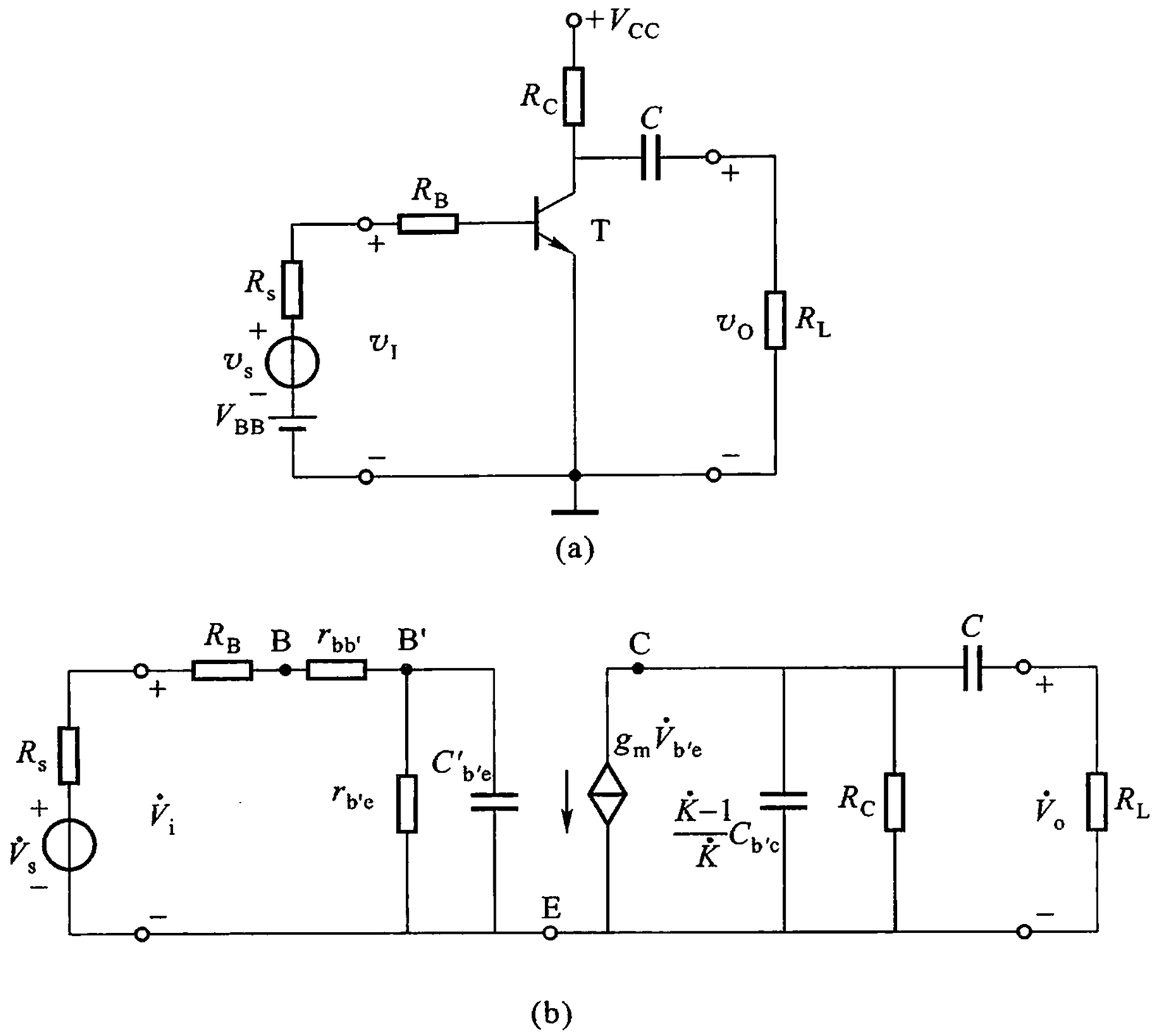


图 2.7.5　单管共发射极放大电路

(a) 电路　(b) 混合 π 型等效电路

特性的明确结果。因此,一般将工作频率范围分成低频、中频和高频 3 个频段,根据各自的特点,分别将电路简化,从而得出各频段的频率响应,然后再把它们综合起来,就可得出全频段的频率特性。

为了分析频率特性,首先计算中频段的放大倍数。在中频段,耦合电容 C 的容抗远小于与它串联的其他电阻值,可视为交流短路,而 $C'_{b'e}$ 和 $(\dot{K}-1)C_{b'c}/\dot{K}$ 的容抗远大于与它并联的电阻值,可视为开路,于是在中频段图 2.7.5(b)所示电路可简化为图 2.7.6 所示的形式。显然,中频段等效电路是纯电阻性的,与它相应的中频放大倍数将与频率无关。由图 2.7.6 可得

$$\dot{V}_o = -g_m \dot{V}_{b'e} R'_L = -\frac{r_{b'e}}{R'_s + r_{b'e}} g_m R'_L \dot{V}_s$$

式中,$R'_L = R_C /\!/ R_L$,$R'_s = R_s + R_B + r_{bb'}$。因此,中频段的源电压放大倍数①为

① 因为信号源的内阻影响到放大电路的频率特性,所以这里必须考虑源电压放大倍数。

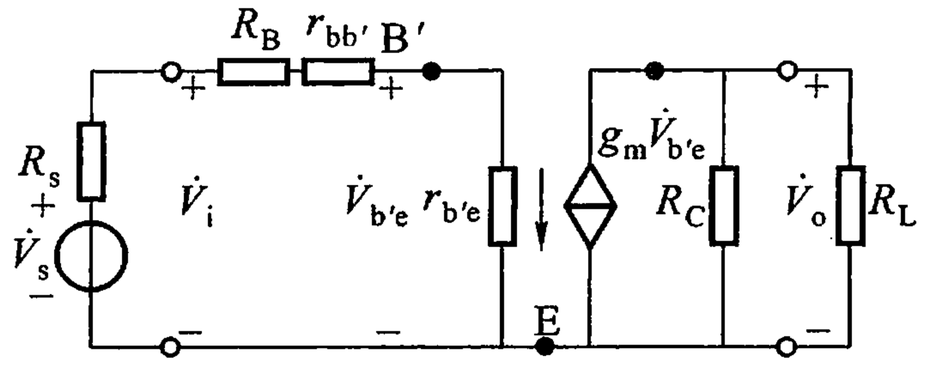


图 2.7.6　单管共发射极放大电路的中频段等效电路

$$\dot{A}_{VSM} = \frac{\dot{V}_o}{\dot{V}_s} = -\frac{r_{b'e}}{R'_s + r_{b'e}} g_m R'_L \tag{2.7.11}$$

1. 单管放大电路的低频特性

在低频段，电容 $C'_{b'e}$ 和 $(\dot{K}-1)C_{b'e}/\dot{K}$ 更可略去，而耦合电容 C 的容抗却增加到不能再忽略的程度，因此，低频段的等效电路如图 2.7.7 所示。由图可得

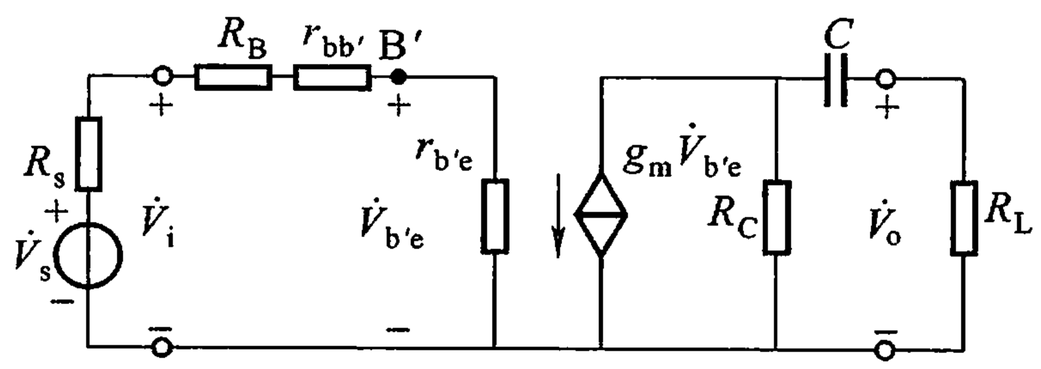


图 2.7.7　单管共发射极放大电路低频等效电路

$$\dot{V}_o = \frac{-g_m \dot{V}_{b'e} R_C R_L}{R_C + R_L + \dfrac{1}{j\omega C}} = \frac{-g_m R_C R_L}{R_C + R_L + \dfrac{1}{j\omega C}} \cdot \frac{r_{b'e}}{R'_s + r_{b'e}} \dot{V}_s$$

所以，低频源放大倍数为

$$\dot{A}_{VSL} = \frac{\dot{V}_o}{\dot{V}_s} = \frac{-g_m R_C R_L}{R_C + R_L + \dfrac{1}{j\omega C}} \cdot \frac{r_{b'e}}{R'_s + r_{b'e}}$$

$$= \frac{R_C R_L/(R_C + R_L)}{1 + 1/[j\omega(R_C + R_L)C]} \cdot \frac{-g_m r_{b'e}}{R'_s + r_{b'e}}$$

$$= \frac{\dot{A}_{VSM}}{1 - jf_L/f} \tag{2.7.12}$$

式(2.7.12)中

$$f_L = \frac{1}{2\pi(R_C + R_L)C} \tag{2.7.13}$$

为下限频率。上式的模和相角分别为

$$|\dot{A}_{VSL}| = \frac{|\dot{A}_{VSM}|}{\sqrt{1 + (f_L/f)^2}} \tag{2.7.14}$$

$$\varphi = \pi + \arctan(f_L/f) \tag{2.7.15}$$

由式(2.7.14)可见,当 $f=f_L$ 时,

$$|\dot{A}_{VSL}| = |\dot{A}_{VSM}|/\sqrt{2} = 0.707|\dot{A}_{VSM}|$$

即低频放大倍数下降到中频的 0.707。

放大电路的频率特性曲线常用半对数坐标来描绘,这样做可以用有限的坐标长度描绘更大的变化范围。下面以低频段为例介绍幅频特性的画法。

实用上,常以相对放大倍数 $20\lg|\dot{A}_{VSL}/\dot{A}_{VSM}|$ 作出幅频特性。由式(2.7.14)可得

$$20\lg\left|\frac{\dot{A}_{VSL}}{\dot{A}_{VSM}}\right| = -20\lg\sqrt{1 + \left(\frac{f_L}{f}\right)^2} \tag{2.7.16}$$

上式表示一条曲线。当 $f>>f_L$ 时,上式趋于零,曲线以纵坐标等于零的直线为渐近线;当 $f<<f_L$ 时,上式近似为 $-20\lg(f_L/f)$,曲线以 $-20\lg(f_L/f)$ 所代表的直线为渐近线。$-20\lg(f_L/f)$ 所表示的直线的斜率为 20 dB/十倍频,即 f 每下降十倍,$-20\lg(f_L/f)$ 下降 20 dB。通常以这两条渐近线组成的折线作为式(2.7.16)的近似曲线,如图 2.7.8 所示。它的转折点在 $f=f_L$ 处,故下限频率又称"低频转折频率"。图 2.7.8 中还用虚线画出了实际的幅频特性曲线,由图可见,用折线近似表示所引起的误差并不大,最大误差发生在 $f=f_L$ 处,其值为 3 dB。

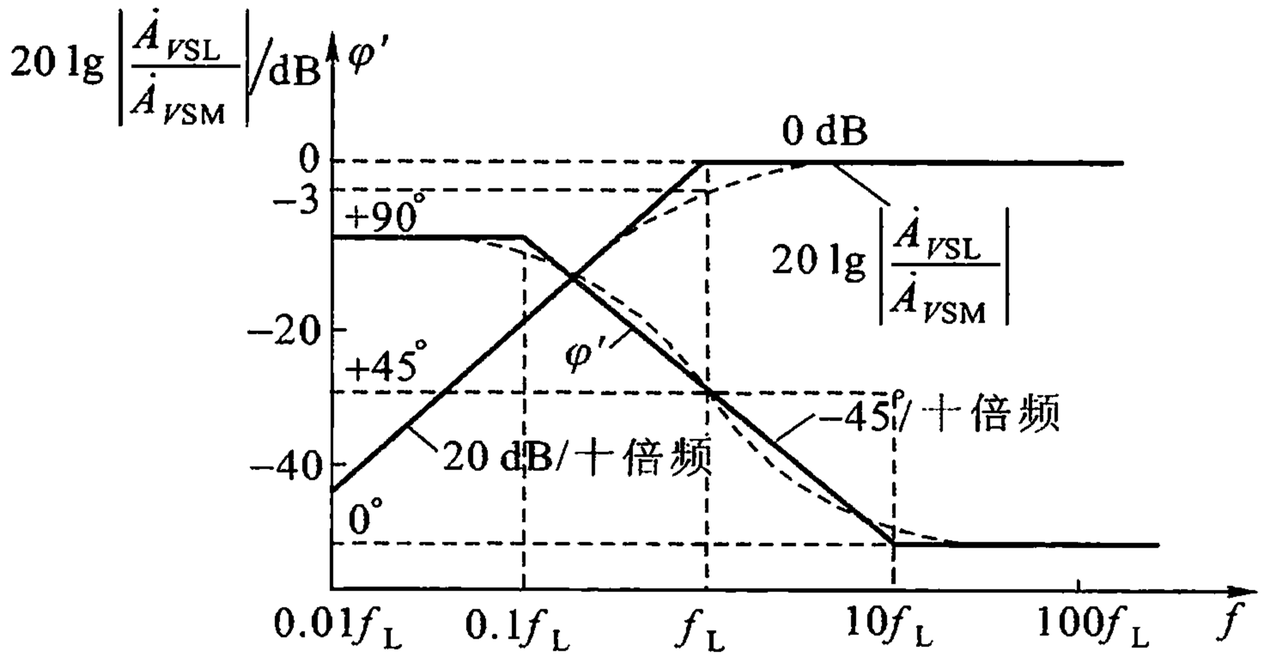


图 2.7.8　单管共射放大电路低频幅频特性和相频特性

绘制相频特性时,横坐标仍用对数刻度,纵坐标用线性刻度。有时为了简

便，把相频特性与幅频特性画在同一图①中，如图 2.7.8 所示。如果只考虑相角的变化部分，则把式(2.7.15)减去 π，即 $\varphi' = \varphi - \pi = \arctan(f_L/f)$。为了作图简便，相频特性也用折线来近似描述，这一折线由三条渐近线构成，它们是：当 $f \ll f_L$ 时，$\varphi' \to 90°$，得 $\varphi' = 90°$ 的一条渐近线；当 $f \gg f_L$ 时，$\varphi' \to 0°$，得 $\varphi' = 0°$ 的一条渐近线：当 $f = f_L$ 时，$\varphi' = 45°$，并且在 $f_L/f = 0.1$ 和 $f_L/f = 10$ 时，相应的 $\varphi' \approx 0°$ 和 $\varphi' \approx 90°$，即当 f 分别由 f_L 增加十倍和减小到原来的十分之一时，φ' 减小 45°和增加 45°。因此，在 $0.1f_L$ 与 $10f_L$ 之间，可用一条斜率为 −45°/十倍频的渐近线来表示。图 2.7.8 中还用虚线画出了实际相频特性曲线，可见折线与它之间是有误差的，最大误差为 ±5.7°，它们分别发生在 $f = 0.1\,f_L$ 和 $f = 10\,f_L$ 处。

由式(2.7.13)可知，下限频率 f_L 是由耦合电容 C 所在的输出回路的时间常数 $\tau_L = (R_C + R_L)C$ 决定的，要降低 f_L 以加宽频带，应加大 C、R_C 和 R_L，但 R_C 的增大受到静态工作点的制约，负载 R_L 一般是确定了的，所以降低下限频率的主要途径是增大 C 的容量。

若放大电路中还存在射极旁路电容(如图 2.4.2 中的 C_E)，则下限频率还与 C_E 有关，这里不再推导它与频率特性的关系。如果同时考虑耦合电容 C 和旁路电容 C_E，C 的取值应留有余量，由式(2.7.13)，可取

$$C \geqslant (3 \sim 10)\frac{1}{2\pi f_L(R_C + R_L)}$$

通常 C 为(3 ~ 30) μF，而 C_E 的取值应为 C 的 5 ~ 10 倍。

2. 单管共射放大电路的高频特性

在高频段，耦合电容 C 的作用更可忽略，但与有关电阻并联的电容 $C'_{b'e}$ 和 $(\dot{K} - 1)C_{b'c}/\dot{K}$ 的容抗减小，它们所造成的影响就必须考虑了，因此，高频段等效电路为图 2.7.9 所示的形式。由式(2.7.13)可以看出，转折频率是由电路的时间常数决定的。在高频等效电路中，通常输入回路的时间常数 $(R'_s /\!/ r_{b'e})C'_{b'e}$ 远大于输出回路的时间常数 $(R_C /\!/ R_L)(\dot{K} - 1)C_{b'c}/\dot{K}$，上限频率主要决定于前者，故可略去 $(\dot{K} - 1)C_{b'c}/\dot{K}$。

把图 2.7.9 中的 $\dot{V}_s$ 和 R'_s 变换成诺顿电路，并令 $G'_s = 1/R'_s = 1/(R_s + R_B + r_{bb'})$，$G_{b'e} = 1/r_{b'e}$，$G_C = 1/R_C$，$G_L = 1/R_L$。则高频段等效电路就变成图 2.7.10 所示的形式。由图可分别列出输入、输出电路的电流方程：

---

① 这种采用半对数坐标(频率采用对数分度，增益和相角采用线性分度)并用折线近似表示的幅频特性和相频特性曲线，称为波特图。波特为人名 Bode 的译音。

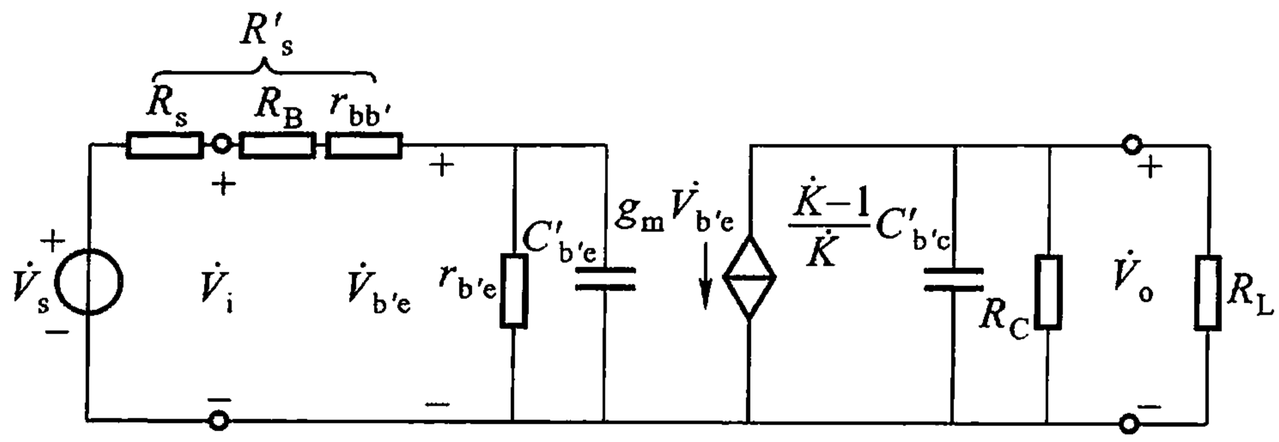


图 2.7.9　单管共射放大电路的高频等效电路

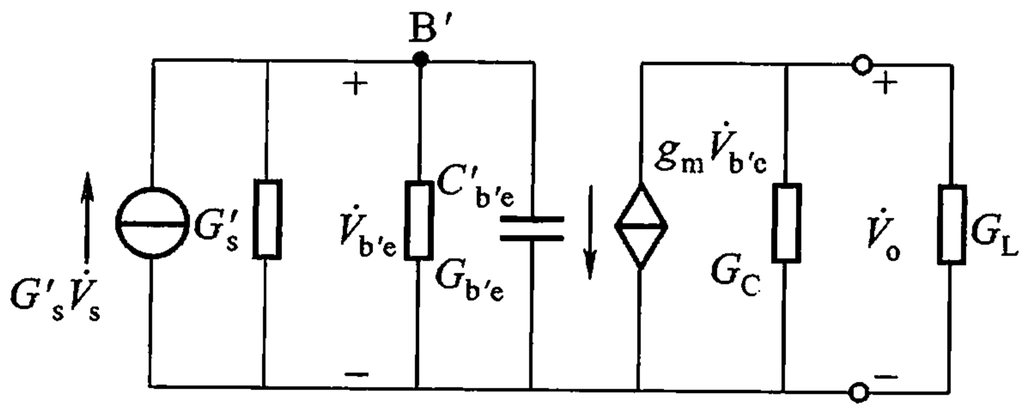


图 2.7.10　图 2.7.9 的等效电路

$$(G'_s + G_{b'e} + j\omega C'_{b'e})\,\dot{V}_{b'e} = G'_s\,\dot{V}_s$$

$$(G_C + G_L)\,\dot{V}_o = -g_m\,\dot{V}_{b'e}$$

消去 $\dot{V}_{b'e}$，便得高频段源电压放大倍数为

$$\dot{A}_{VSH} = \frac{\dot{V}_o}{\dot{V}_s} = \frac{-g_m G'_s}{(G_C + G_L)(G'_s + G_{b'e} + j\omega C'_{b'e})}$$

$$= \frac{-g_m G'_s (R_C /\!/ R_L)}{(G'_s + G_{b'e})[1 + j\omega C'_{b'e}/(G'_s + G_{b'e})]}$$

上式又可写成

$$\dot{A}_{VSH} = \frac{\dot{A}_{VSM}}{1 + jf/f_H} \tag{2.7.17}$$

式中

$$\dot{A}_{VSM} = -\frac{g_m G'_s (R_C /\!/ R_L)}{G'_s + G_{b'e}} = -\frac{r_{b'e}}{R'_s + r_{b'e}} g_m R'_L$$

$$f_H = \frac{1}{2\pi R C'_{b'e}} \tag{2.7.18}$$

f_H 为上限频率，可见，上限频率取决于 $C'_{b'e}$ 所在回路的时间常数 $\tau_H = RC'_{b'e}$，其中

$R = 1/(G'_s + G_{b'e}) = R'_s // r_{b'e}$。式(2.7.17)的模和相角分别为

$$|\dot{A}_{VSH}| = \frac{|\dot{A}_{VSM}|}{\sqrt{1 + (f/f_H)^2}} \tag{2.7.19}$$

$$\varphi = \pi - \arctan(f/f_H) \tag{2.7.20}$$

根据上两式,运用前面介绍过的作图原则,可画出高频段的幅频特性和相频特性曲线,如图 2.7.11 所示。

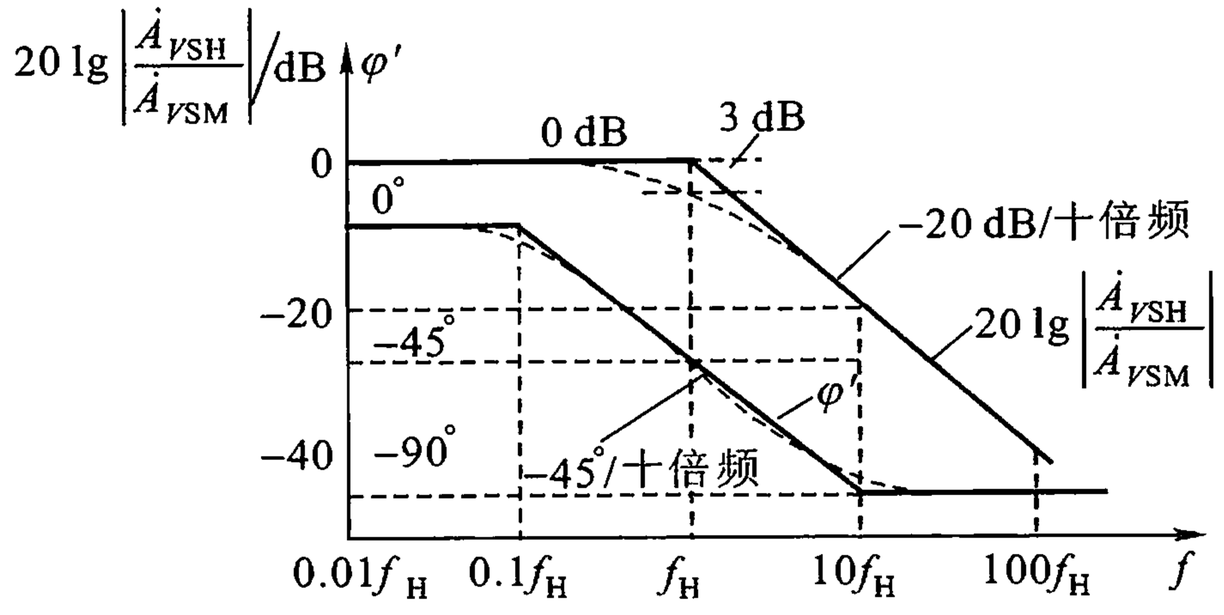


图 2.7.11　单管共射放大电路高频段的幅频特性和相频特性

为了得到较宽的通频带,必须提高上限频率 f_H,由 $f_H = 1/(2\pi RC'_{b'e})$ 和 $R = (R_s + R_B + r_{bb'}) // r_{b'e}$ 可知,提高 f_H 的主要途径是减小 $C'_{b'e}$。因 $C'_{b'e} = C_{b'e} + (1 + g_m R'_L) C_{b'c}$,除了选择 $C_{b'e}$ 和 $C_{b'c}$ 小的高频管外,还要求减小 $g_m R'_L$,也就是说要减小中频放大倍数。因此,提高 f_H 要付出降低放大倍数的代价。

例 2.7.1　在图 2.7.5(a)所示的电路中,$V_{CC} = 12\ \text{V}$,$V_{BB} = 1.2\ \text{V}$,$R_s = 1\ \text{k}\Omega$,$R_B = 15\ \text{k}\Omega$,$R_C = 2.7\ \text{k}\Omega$,$R_L = 10\ \text{k}\Omega$,$C = 5\ \mu\text{F}$,设晶体管的参数 $\beta = 80$,$C_{b'c} = 3\ \text{pF}$,$f_T = 150\ \text{MHz}$。试计算中频电压放大倍数 $\dot{A}_{VSM}$、上限频率 f_H、下限频率 f_L 和通频带 BW。

解　(1) 计算 $\dot{A}_{VSM}$

$$I_B = \frac{V_{BB} - V_{BE}}{R_s + R_B} = \frac{(1.2 - 0.7)\ \text{V}}{(1 + 15)\ \text{k}\Omega} \approx 31\ \mu\text{A}$$

$$I_E \approx I_C = \beta I_B = 80 \times 0.031\ \text{mA} = 2.48\ \text{mA}$$

$$r_{b'e} = (1 + \beta)\frac{26\ \text{mV}}{I_E} = 81 \times \frac{26\ \text{mV}}{2.48\ \text{mA}} \approx 0.85\ \text{k}\Omega$$

$$R'_s = R_s + R_B + r_{bb'} = (1 + 15 + 0.2)\ \text{k}\Omega = 16.2\ \text{k}\Omega$$

$$g_m = \frac{I_C}{26\ \text{mV}} = \frac{2.48\ \text{mA}}{26\ \text{mV}} \approx 95.4\ \text{mS}$$

$$|\dot{A}_{VSM}| = -\frac{r_{b'e}}{R'_s + r_{b'e}} g_m (R_C /\!/ R_L)$$

$$= -\frac{0.85}{16.2 + 0.85} \times 95.4 \times \frac{10 \times 2.7}{10 + 2.7} \approx -10$$

（2）计算 f_H

$$R = R'_s /\!/ r_{b'e} = \frac{16.2 \times 0.85}{16.2 + 0.85}\ \text{k}\Omega \approx 0.81\ \text{k}\Omega$$

$$C_{b'e} = \frac{g_m}{2\pi f_T} = \frac{95.4 \times 10^{-3}}{2 \times 3.14 \times 150 \times 10^6}\ \text{F} \approx 101\ \text{pF}$$

$$R'_L = R_L /\!/ R_C = \frac{10 \times 2.7}{10 + 2.7}\ \text{k}\Omega \approx 2.13\ \text{k}\Omega$$

$$C'_{b'e} = C_{b'e} + (1 + g_m R'_L) C_{b'c}$$

$$= [101 + (1 + 95.4 \times 2.13) \times 3]\ \text{pF}$$

$$= 713\ \text{pF}$$

$$f_H = \frac{1}{2\pi R C'_{b'e}} = \frac{1}{2 \times 3.14 \times 0.81 \times 10^3 \times 713 \times 10^{-12}}\ \text{Hz}$$

$$\approx 0.28\ \text{MHz}$$

（3）计算 f_L

$$f_L = \frac{1}{2\pi (R_C + R_L) C}$$

$$= \frac{1}{2 \times 3.14 \times (2.7 + 10) \times 10^3 \times 5 \times 10^{-6}}\ \text{Hz}$$

$$\approx 2.5\ \text{Hz}$$

（4）计算通频带

$$BW = f_H - f_L \approx f_H = 0.28\ \text{MHz}$$

2.8　多级放大电路

在实际应用的电子设备中，要把信号放大到需要的幅度，单级放大电路的放大倍数往往不够，所以要采用多级放大电路。多级放大电路的一般结构如图 2.8.1 所示，信号源的电压经高输入阻抗的输入级放大后，再经中间级作电压放大，得到较大的信号电压，然后由末前级和输出级放大，才能有足够的输出功率，以驱动负载工作。

一般说来，要求多级放大电路有较高的输入阻抗，因此，输入级常采用射极输出器或源极输出器。中间级应有较大的电压放大倍数，一般采用共射放大电路。末前级和输出级应有一定的输出功率，即第 11 节将要介绍的功率电路。

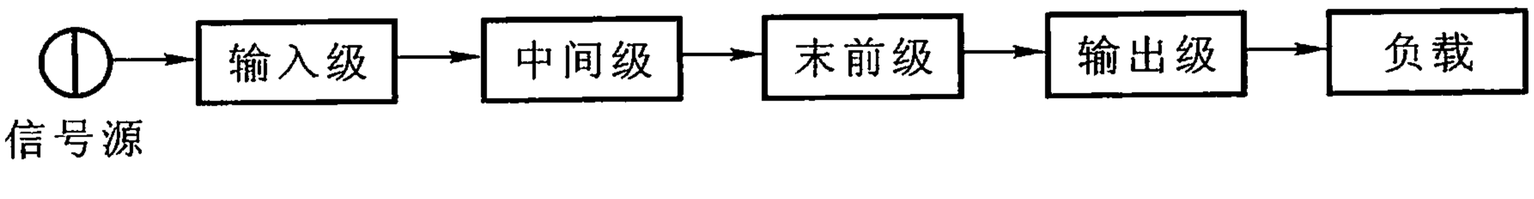


图 2.8.1　多级放大电路的一般结构

2.8.1　多级放大电路的耦合方式

1. 阻容耦合

在多级放大电路中，级间的信号传输称为耦合。如图 2.8.2 所示的两级放大电路，级间信号的传输是通过电容 C_2 和第二级的输入电阻所组成的 RC 电路实现的，称为阻容耦合。显然，信号源与第一级之间和第二级与负载之间的耦合方式，也都是阻容耦合。

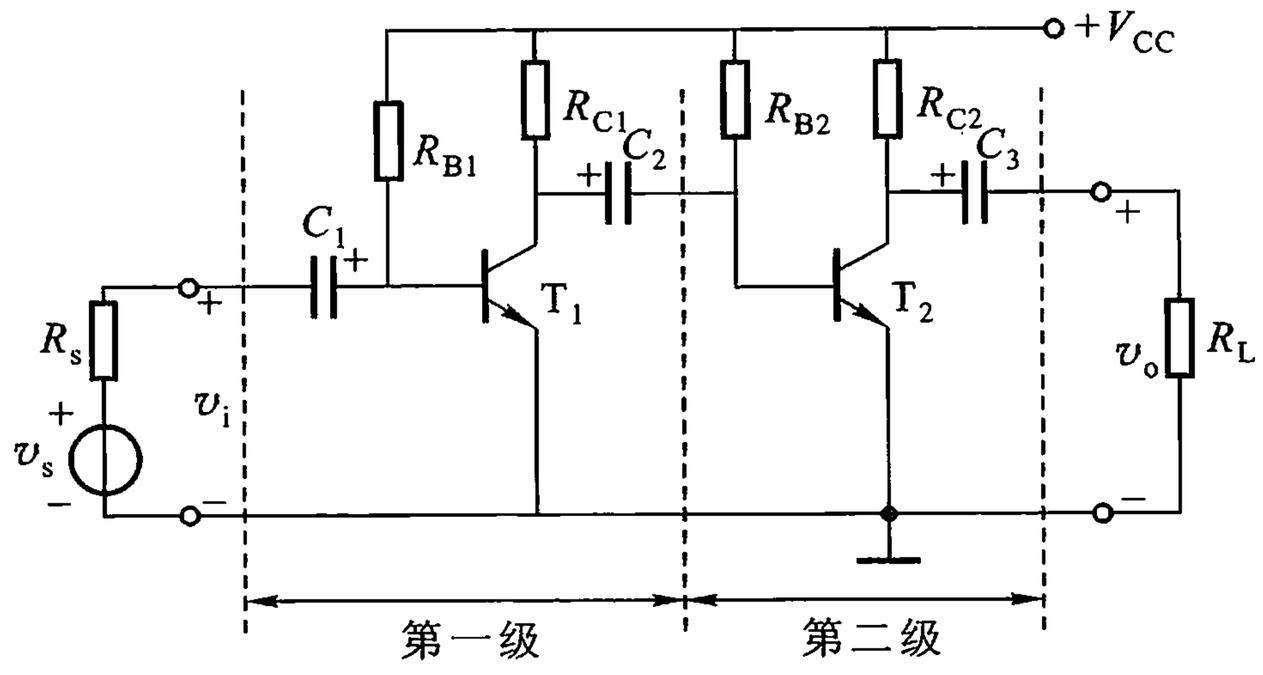


图 2.8.2　阻容耦合方式

对于阻容耦合方式，耦合电容起到隔直的作用，它使各级的静态工作点彼此独立，互不影响。其次，只要耦合电容的容量足够大，可使前级输出信号在一定的频率范围内几乎无衰减地传输到下一级。由于阻容耦合有这些优点，因此它在分立元件放大电路中得到广泛的应用。

阻容耦合方式的局限性在于传输较低频率信号时，由于耦合电容的容抗增大而对信号产生较大的衰减，对变化缓慢的直流信号的传输，它更是无能为力。在集成器件中，制作大容量的电容是困难的，因此，阻容耦合方式在集成电路中无法采用。

2. 直接耦合

级间以短路线或电阻相连,称为直接耦合方式。这种电路具有良好的频率响应,其下限频率可以延伸到直流。此外这种电路还便于集成。但采用直接耦合电路,必须解决好下述两个问题。

(1) 级间的直流电平①配置

图 2.8.3(a)所示为两级直接耦合放大电路的例子。稳压管 D_Z 作为级间耦合元件,可以想象,若以短路线取代 D_Z,则 $V_{CE1} = V_{BE2} = 0.7$ V,显然,级间的直流电平配置不合理,使 T_1 处于饱和状态而不能正常工作。用 D_Z 作级间耦合元件,则 $V_{CE1} = V_Z + V_{BE2}$,以保证 T_1 有合适的静态工作点。而且 D_Z 的动态电阻较小,使第二级的放大倍数损失不大。

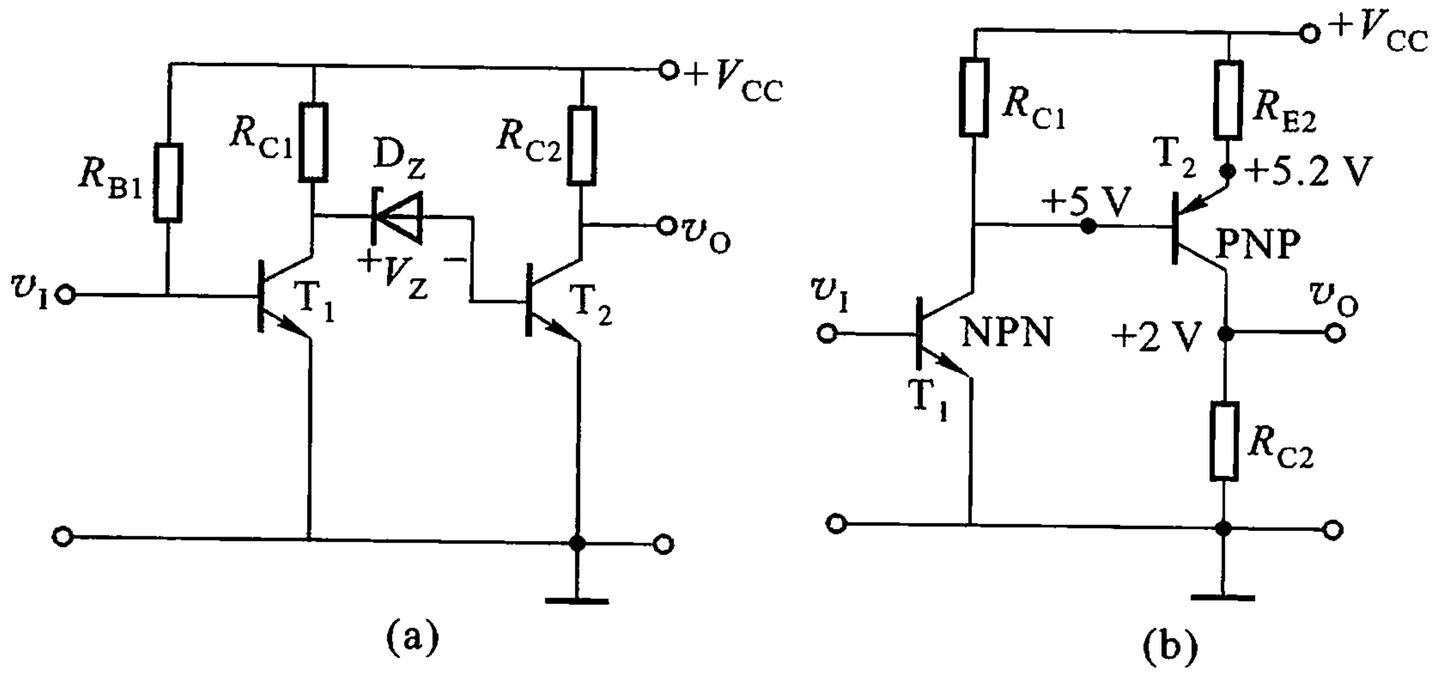


图 2.8.3　直接耦合电路

(a) 用稳压管耦合　(b) 采用互补电路

图 2.8.3(b)所示为用 NPN 管和 PNP 管组成的互补电路,也能妥善解决前后级电平配置问题。由于 T_2 管(PNP 管)集电结为反偏时,集电极直流电位是低于基极电位的(如图 2.8.3 中所示),因此,与 T_1 管(NPN 管)配合使用就可以很好地解决两级之间的电平配置问题,而且 V_{CE1} 也不会受后级 V_{BE2} 的牵制。

(2) 零点漂移

正常工作条件下的放大电路有合适的静态工作点,但是环境温度、电源电压等因素发生变化或更换晶体管引起晶体管特性的改变,会使静态工作点偏离合适的位置,这种现象称为零点漂移。

在阻容耦合放大电路中,虽然也存在零点漂移问题,但因耦合电容的隔直作用,这种漂移信号不会耦合到下一级去,而它又不足以影响本级的正常工作,因

---

① 相对于某一参考值的电压,称为电压电平,而参考值是个常量或是时间的函数。同理,还有所谓电流电平和功率电平。

而可不必考虑零点漂移问题。但是在直接耦合放大电路中，前级的漂移电压将耦合到后级，并被逐级放大，致使放大电路的输出端产生较大的漂移电压，甚至可能将有用的输出信号“淹没”在漂移电压之中，这样，对信号的放大就没有实际意义了。显然，第一级所产生的漂移影响最大，放大电路的级数愈多，放大倍数愈大，零点漂移的影响愈严重。

常采用以下办法来抑制零点漂移：

① 温度补偿，用与放大管温度系数相同的器件去抵消温度变化对放大管的影响，从而使静态工作点保持不变；

② 在放大电路中，引入直流负反馈可以有效地抑制零点漂移；

③ 采用差分放大电路。差分放大电路对零点漂移有很强的抑制能力。这将在下一节介绍。

除了上述两种耦合方式外，还有一种耦合方式，称为变压器耦合。变压器能隔断直流，在传输信号的同时，还有阻抗变换作用，但变压器体积和重量较大，不能集成。此种电路应用较少，这里不再详述。

2.8.2　多级放大电路的电压放大倍数

现以图 2.8.3(a)所示的两级放大电路为例来计算电压放大倍数。稳压管的动态电阻用 r_Z 表示，则放大电路的简化 h 参数等效电路如图 2.8.4 所示。

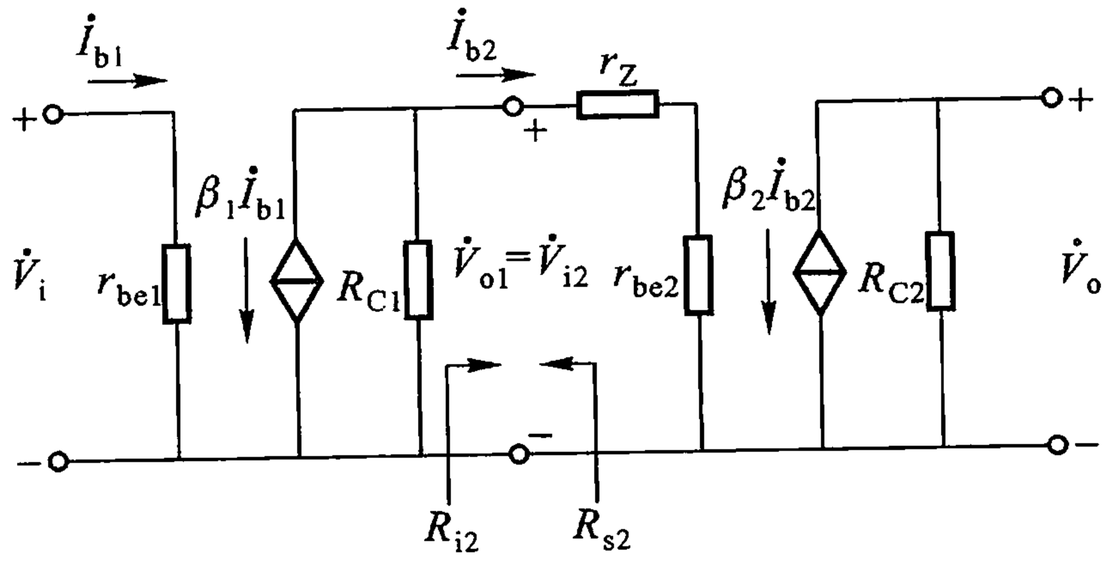


图 2.8.4　图 2.8.3(a)电路的等效电路

由图 2.8.4 可见，因 $\dot{V}_{o1}=V_{i2}$，则电压放大倍数为

$$\dot{A}_V=\frac{\dot{V}_o}{\dot{V}_i}=\frac{\dot{V}_{o1}}{\dot{V}_i}\cdot\frac{\dot{V}_o}{\dot{V}_{i2}}=\dot{A}_{V1}\cdot\dot{A}_{V2}$$

依此类推，对于 n 级放大电路应有

$$\dot{A}_V=\dot{A}_{V1}\cdot\dot{A}_{V2}\cdot\cdots\cdot\dot{A}_{Vn} \tag{2.8.1}$$

即多级放大电路的放大倍数等于各级放大倍数的乘积。这里要注意的是，在计算各级放大倍数时，必须考虑级间的相互影响。对级间相互影响的处理方法有两种：一种是在计算前级放大倍数时，把后级的输入电阻作为前级的负载。另一种是先算出前级的输出开路（不带负载）放大倍数，再计算后级的源电压放大倍数，并把前级的输出电阻当作后级信号源的内阻。两种方法所得结果是一致的。

现用第一种方法来计算图 2.8.3(a)所示电路的放大倍数。

$$\dot{A}_{V1} = \frac{\dot{V}_{o1}}{\dot{V}_i} = -\frac{\beta_1 (R_{C1} /\!/ R_{i2})}{r_{be1}}$$

$$= -\frac{\beta_1 [R_{C1} /\!/ (r_Z + r_{be2})]}{r_{be1}}$$

$$\dot{A}_{V2} = -\frac{\beta_2 R_{C2}}{r_Z + r_{be2}}$$

则两级放大电路的总电压放大倍数为

$$\dot{A}_V = \dot{A}_{V1} \cdot \dot{A}_{V2} = \beta_1 \cdot \beta_2 \frac{[R_{C1} /\!/ (r_Z + r_{be2})] R_{C2}}{r_{be1} (r_Z + r_{be2})}$$

读者可自行采用第二种方法推导，所得结果与上式应完全相同。

2.8.3　多级放大电路的频率特性

对于一个 n 级放大电路，由式(2.8.1)，把模和相角分开，可得

$$|\dot{A}_V| = |\dot{A}_{V1}| \cdot |\dot{A}_{V2}| \cdot |\dot{A}_{V3}| \cdot \cdots \cdot |\dot{A}_{Vn}| \tag{2.8.2}$$

$$\varphi = \varphi_1 + \varphi_2 + \varphi_3 + \cdots + \varphi_n \tag{2.8.3}$$

由此可见，多级放大电路的幅频特性应等于各级幅频特性的乘积，相频特性则等于各级相频特性之和。

例如，一个两级放大电路，两级放大电路的频率特性相同，每级的中频放大倍数为 $|\dot{A}_{VM1}|$，其幅频特性如图 2.8.5 所示。两级放大电路的中频电压放大倍数应为 $|\dot{A}_{VM}| = |\dot{A}_{VM1}|^2$，而在每级的上限频率 f_{H1} 和下限频率 f_{L1} 上，两级放大电路的 $|\dot{A}_V| = |0.707\ \dot{A}_{VM1}|^2 = 0.5 |\dot{A}_{VM1}|^2$，这表明 f_{H1} 和 f_{L1} 并非两级放大电路的上限频率和下限频率。由图可见，$|\dot{A}_V|$ 下降到 $0.707 |\dot{A}_{VM1}|^2$ 时的上限频率 f_H 小于 f_{H1}，下限频率 f_L 大于 f_{L1}，因此，总的通频带比每级的通频带更窄。

上述分析表明，放大电路的级数越多，则 f_H 越低，f_L 越高，通频带越窄。

在求多级阻容耦合放大电路的上、下限频率时，一般可用下述近似方法来处理，先算出每个电容所在回路的时间常数，将求得的几个时间常数进行比较，找

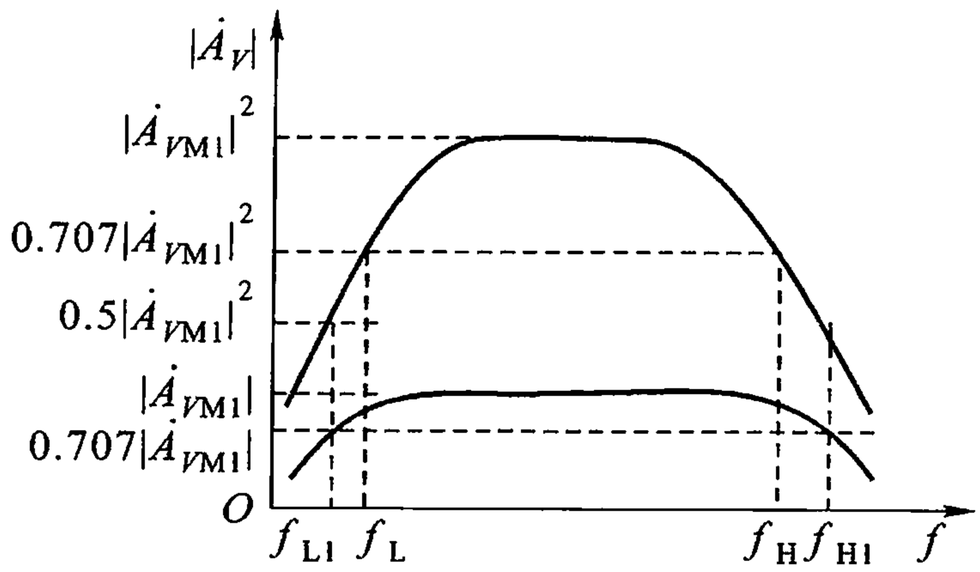


图 2.8.5　两级放大电路的幅频特性与单级的关系

出最小的低频时间常数和最大的高频时间常数，若其他的时间常数分别与它们相差 3 倍以上，就可忽略其他时间常数的作用，直接用最大高频时间常数和最小的低频时间常数来计算多级放大器的 f_H 和 f_L；若几个时间常数很接近，则可用下述近似公式进行计算：

$$f_H \approx \frac{1}{1.1\sqrt{\frac{1}{f_{H1}^2}+\frac{1}{f_{H2}^2}+\cdots+\frac{1}{f_{Hn}^2}}} \tag{2.8.4}$$

$$f_L \approx 1.1\sqrt{f_{L1}^2+f_{L2}^2+\cdots+f_{Ln}^2} \tag{2.8.5}$$

其中，f_{H1} f_{H2}、$\cdots$ f_{Hn}为用各高频时间常数确定的上限频率，f_{L1} f_{L2}、$\cdots$ f_{Ln}为用各低频时间常数确定的下限频率。

2.9　差分放大电路

在 2.8 节中曾经指出，抑制零点漂移的有效措施之一是采用差分放大电路。本节将详细讨论差分放大电路的工作原理和基本性能。

2.9.1　基本差分放大电路

基本差分放大电路如图 2.9.1 所示。它实际上是由两个完全对称的共发射极放大电路组成，R_E 为两管公共的发射极电阻。此电路有两个特点，其一是有两个输入端和两个输出端，其二是电路的对称性。在理想对称的情况下，电路两边参数完全相同，即晶体管 T_1 和 T_2 的参数完全相同，$R_{C1}=R_{C2}=R_C$。下面讨论这个电路的工作原理。

1. 静态工作点的计算

设电路完全对称，则两管的静态工作点相同，即 $I_{C1} = I_{C2}$，$V_{C1} = V_{C2}$。又因采用正、负两组电源对称供电，且 $I_{B1} = I_{B2}$ 又很小，可认为两管的基极电位 $V_{B1} = V_{B2} \approx 0$，因此，两管的发射极电位为

$$V_{E1} = V_{E2} \approx -V_{BE} = -0.7\ \text{V}$$

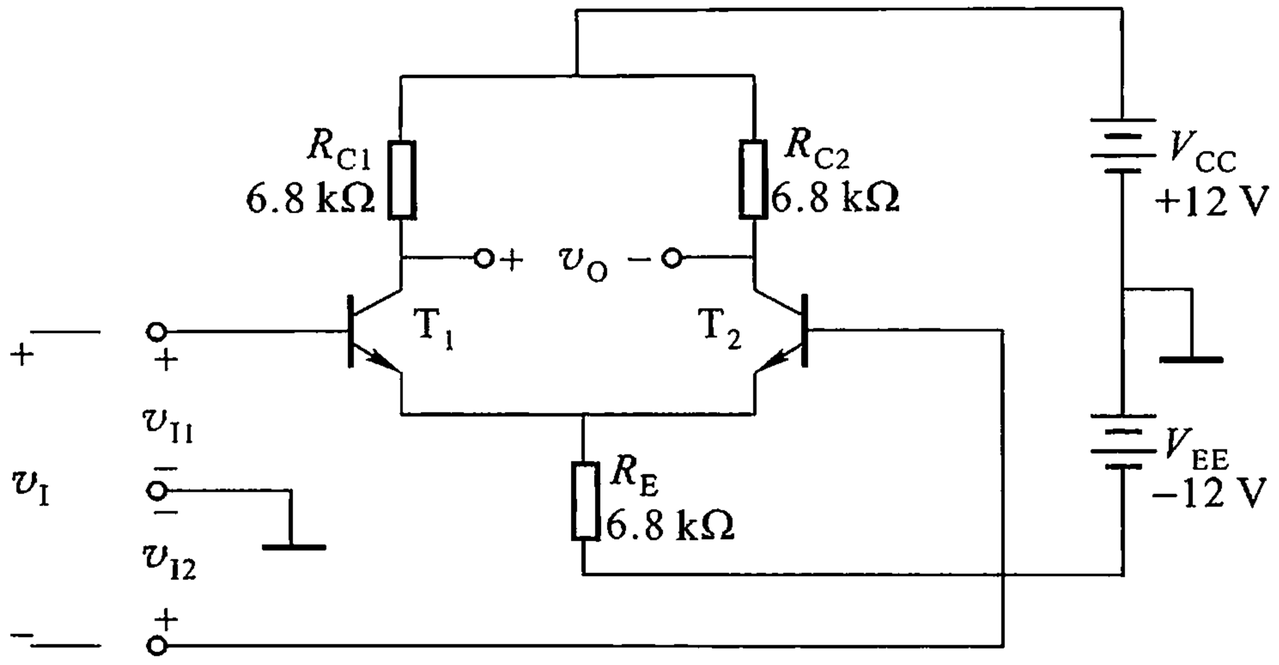


图 2.9.1　基本差分放大电路

因流过 R_E 的电流是两管射极电流之和，故有

$$(I_{E1} + I_{E2})R_E = V_{E1} - (-V_{EE})$$

即

$$2I_{E1}R_E = V_{EE} - V_{BE}$$

由此可得

$$I_{E1} = I_{E2} = \frac{V_{EE} - V_{BE}}{2R_E} \approx I_{C1} = I_{C2} \tag{2.9.1}$$

$$I_{B1} = I_{B2} = \frac{I_{C1}}{\beta} \tag{2.9.2}$$

$$V_{C1} = V_{C2} = V_{CC} - I_{C1}R_{C1} \tag{2.9.3}$$

2. 电路特性的分析

在分析电路特性之前，必须熟悉两个基本概念：共模信号和差模信号。在直接耦合放大电路中，有需要放大的有用信号和不希望放大的漂移信号或干扰信号。对于差分放大电路，因电路对称，由温度变化等因素引起两管的输出漂移电压，必然是大小相等、极性相同的。把输出漂移电压折合到两管的输入端，也应该是大小相等、对共同端（地端）的极性相同。大小相等、极性相同的按共同模式变化的信号，称为共模信号，用 v_{ic}（输入共模信号）和 v_{oc}（输出共模信号）表示。另一方面，为了实现放大，必须将有用的输入信号以大小相等、极性相反的形式加于两管的输入端，这种形式的信号称为差模信号，用 v_{id}（输入差模信号）

和 v_{od}（输出差模信号）表示。实际上，对于任何输入信号和输出信号，都是差模信号和共模信号的合成，为了分析简便，常把它们分开来讨论。

（1）差模放大倍数

对于差模信号，$v_{id1} = -v_{id2}$，则射极电阻 R_E 上的信号电流相互抵消，其压降保持不变，即 $\Delta v_E = 0$，R_E 对差模信号可视为短路，于是可画出差模输入时的交流通路，如图 2.9.2 所示。由图可见，因电路的对称性，每半边与共发射极单管基本放大电路完全相同。

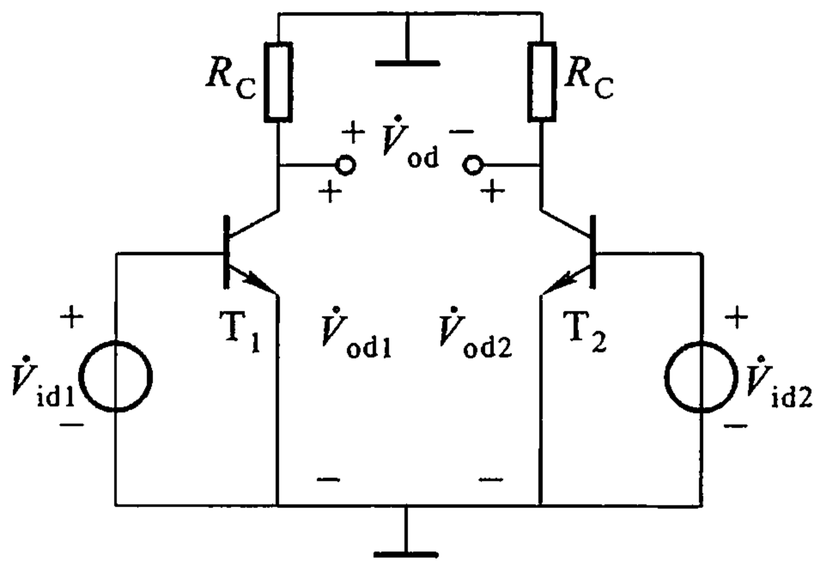


图 2.9.2　差分放大电路在差模输入时的交流通路

此电路的输入信号加在两管的基极输入端，两个基极对地的信号是对称的，这种输入方式称为双端输入。若输出信号取自于两管的集电极，称为双端输出；若从某一管的集电极对地输出，则称为单端输出。

由图 2.9.2 可见，双端输入 - 双端输出差分放大电路的差模电压放大倍数为

$$\dot{A}_{VD} = \frac{\dot{V}_{od}}{\dot{V}_{id}} = \frac{\dot{V}_{od1} - \dot{V}_{od2}}{\dot{V}_{id1} - \dot{V}_{id2}} = \frac{2\dot{V}_{od1}}{2\dot{V}_{id1}} = \dot{A}_{V1} = -\frac{\beta R_C}{r_{be}} \tag{2.9.4}$$

其中，$\dot{A}_{V1}$ 为单管共发射极基本放大电路的电压放大倍数。因此，双端输入 - 双端输出差分放大电路的差模放大倍数 $\dot{A}_{VD}$ 与单管共射基本放大电路的放大倍数 $\dot{A}_{V1}$ 相同。

对于双端输入 - 单端输出的差分放大电路，其差模放大倍数为

$$\dot{A}_{VD1} = \frac{\dot{V}_{od1}}{2\dot{V}_{id1}} = \frac{1}{2}\dot{A}_{V1} = -\frac{\beta R_C}{2r_{be}} \tag{2.9.5}$$

因此，A_{VD1} 只有单管共发射极放大电路放大倍数 A_{V1} 的一半。

在接有负载 R_L 时，双端输入 - 双端输出的差模放大倍数为

$$\dot{A}'_{VD} = \dot{A}'_{V1} = -\frac{\beta R'_L}{r_{be}} \tag{2.9.6}$$

式中，$R'_L = R_C // \frac{R_L}{2}$。

因为 R_L 接在两管集电极之间，在差模信号作用下，两管集电极电位反相变化，一边增量为正，另一边增量为负，并且大小相等，R_L 的中点必为交流地电位，因此，每管的外接负载为 $R_L/2$。

对双端输入 - 单端输出的差分放大电路，在考虑负载 R_L 时，其差模放大倍

数为

$$A'_{VD1} = -\frac{\beta(R_C // R_L)}{2r_{be}} \tag{2.9.7}$$

（2）共模放大倍数

在共模信号输入时，流过 R_E 的电流增量为单管电流增量 Δi_{E1} 的两倍，因此，在 R_E 上的压降为 $\Delta v_E = 2\Delta i_{E1} R_E$。在画交流通路时把两管射极电流分开，流过每管发射极的电流仅为 Δi_{E1}，而又要保持射极电压 Δv_E 不变，应把每管发射极电阻增加一倍。因此，可得共模输入时的交流通路如图 2.9.3 所示。如果作双端输出，在电路完全对称的情况下，共模输出电压 $\dot{V}_{oc} = \dot{V}_{oc1} - \dot{V}_{oc2}$。因此，双端输出的共模放大倍数为

$$\dot{A}_{VC} = \frac{\dot{V}_{oc}}{\dot{V}_{ic}} = \frac{\dot{V}_{oc1} - \dot{V}_{oc2}}{\dot{V}_{ic}} = 0 \tag{2.9.8}$$

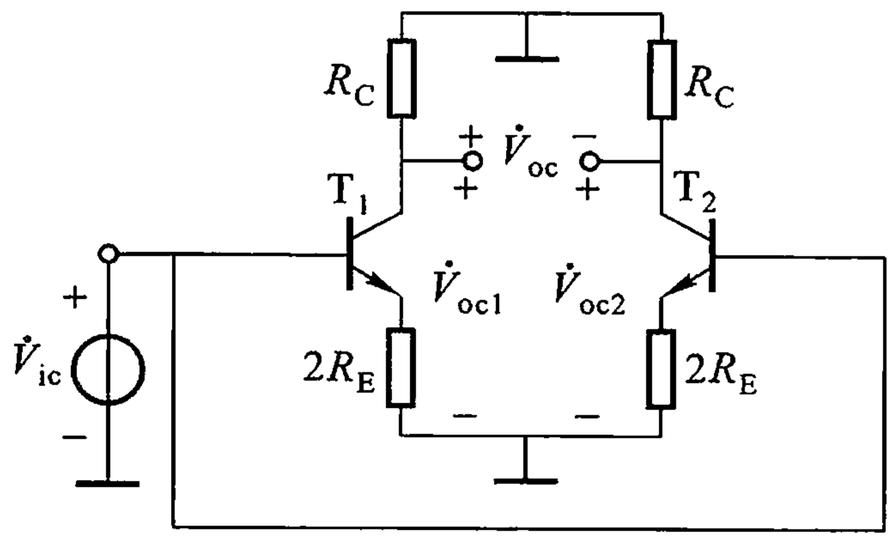


图 2.9.3　差分放大电路在共模输入时的交流通路

如果采用双端输入 - 单端输出的方式，应用 2.3 节中介绍的等效电路法，仿效式(2.3.14)的推导，可求得单端输出的共模电压放大倍数为

$$\dot{A}_{VC1} = \frac{\dot{V}_{oc1}}{\dot{V}_{ic}} = \frac{\dot{V}_{oc2}}{\dot{V}_{ic}} = -\frac{\beta R_C}{r_{be} + (1+\beta)2R_E} \tag{2.9.9}$$

通常 $\beta >> 1$，$2\beta R_E >> r_{be}$，故式(2.9.9)可简化为

$$\dot{A}_{VC1} \approx -\frac{R_C}{2R_E} \tag{2.9.10}$$

由上述讨论可知，共模放大倍数越小，对共模信号的抑制作用就越强，表明差分放大电路的性能越好。在电路完全对称的条件下，双端输出的差分放大电路对共模信号没有放大能力，完全抑制了零点漂移。实际上，电路不会完全对称，A_{VC} 并不为零，但由于 R_E 的负反馈作用，对共模信号的抑制能力还是很强的。即使作单端输出，由式(2.9.10)可见，只要 R_E 足够大，也能把 $\dot{A}_{VC1}$ 压得很低，对

共模信号的抑制也有较强的能力。

(3) 共模抑制比

差分放大电路的差模放大倍数与共模放大倍数之比,称为共模抑制比 K_{CMR},即

$$\dot{K}_{CMR} = \left| \frac{\dot{A}_{VD}}{\dot{A}_{VC}} \right| \tag{2.9.11}$$

共模抑制比是用来衡量差分放大电路对共模信号抑制能力的一个参数,其值越大,则抑制能力越强,放大电路性能越好。若电路完全对称,即使无射极电阻 R_E,双端输出的共模放大倍数 A_{VC} 也为零,共模抑制比为无穷大。对于单端输出电路,根据式(2.9.5)和式(2.9.10)可得共模抑制比为

$$K_{CMR1} = \left| \frac{\dot{A}_{VD1}}{\dot{A}_{VC1}} \right| \approx \frac{\beta R_E}{r_{be}} \tag{2.9.12}$$

式(2.9.12)表明,提高共模抑制比的主要途径是增大 R_E 的阻值。

(4) 输入电阻和输出电阻

差分放大电路的差模输入电阻,即两输入端之间的输入电阻,可由图 2.9.2 来计算

$$R_{id} = \frac{\dot{V}_{id}}{\dot{I}_{id}} = \frac{2\dot{V}_{id1}}{\dot{I}_{b1}} = \frac{2\dot{I}_{b1} r_{be}}{\dot{I}_{b1}} = 2r_{be} \tag{2.9.13}$$

在图 2.9.3 中,应用式(2.3.15)的导出方法,可得每管的共模输入电阻为

$$R_{ic1} = \frac{\dot{V}_{ic}}{\dot{I}_{ic1}} = r_{be} + (1+\beta)2R_E \approx 2\beta R_E \tag{2.9.14}$$

对于共模信号,两输入端是并联的,因此,整个差分放大电路的共模输入电阻应为

$$R_{ic} = \frac{R_{ic1}}{2} \approx \beta R_E \tag{2.9.15}$$

差分放大电路在双端输出时,其输出电阻 $R_o \approx 2R_C$,单端输出时,$R_o \approx R_C$。

例 2.9.1 差分放大电路及其参数见图 2.9.1。设晶体管的 $\beta = 50$,$r_{be} = 1.8\ k\Omega$,采用双端输入 - 单端输出的连接方式。试计算两管的静态工作点、A_{VD1}、A_{VC1} 和 K_{CMR}。

解 ① 计算静态工作点。静态时 $V_{B1} = V_{B2} \approx 0$,由式(2.9.1)可得

$$I_{E1} = I_{E2} = \frac{V_{EE} - V_{BE}}{2R_E} \approx 0.83\ mA$$

$$I_{C1} = I_{C2} \approx 0.83\ mA$$

$$I_{B1} = I_{B2} = \frac{I_{C1}}{\beta} = 17\ \mu A$$

$$V_{C1} = V_{C2} = V_{CC} - I_{C1}R_C = 6.4\ V$$

② 计算 $\dot{A}_{VD1}$、$\dot{A}_{VC1}$ 和 K_{CMR}。

$$\dot{A}_{VD1} = \frac{-\beta R_C}{2r_{be}} = \frac{-50 \times 6.8}{2 \times 1.8} \approx -94.4$$

$$\dot{A}_{VC1} \approx \frac{-R_C}{2R_E} = \frac{-6.8}{2 \times 6.8} \approx -0.5$$

$$K_{CMR} = \left| \frac{\dot{A}_{VD1}}{\dot{A}_{VC1}} \right| = \frac{94.4}{0.5} = 188.8$$

若用分贝表示，则共模抑制比为

$$K_{CMR} = 20\lg \left| \frac{\dot{A}_{VD1}}{\dot{A}_{VC1}} \right| \text{dB} = 20\lg\ 188.8 \approx 45.5\ \text{dB}$$

3. 差分放大电路的几种连接方式

在实际应用中，有时要求放大电路的一个输入端接地，如图 2.9.4 所示。这种方式称为单端输入（或不对称输入）。输入和输出各有两种连接方式，由此可组合成 4 种连接方式的差分放大电路：双端输入 - 双端输出、双端输入 - 单端输出、单端输入 - 双端输出和单端输入 - 单端输出。前两种连接方式上面已经介绍过，下面分析单端输入的情况。

在图 2.9.4 中，当 R_E 与输入回路其他电阻相比足够大时，可认为 R_E 对交流是开路的。由于电路的对称性，当 R_E 近似开路时，输入信号 v_i 近似地均分在两管的输入回路上，这样，单端输入与双端输入基本上是等效的。

若输出电压从两管集电极取出，则单端输入 - 双端输出差分放大电路，其电压放大倍数与双端输入 - 双端输出时一样。如果输出电压从 T_1 或 T_2 管集电极取出，则为单端输入 - 单端输出差分放大电路，在图 2.9.4 中，用“⊕”和“⊖”标出了输入、输出电压的实际极性，由图可见，v_{o1} 与 v_I 反相，v_{o2} 与 v_I 同相，分别称为反相输出和同相输出，这种电路的电压放大倍数与双端输入 - 单端输出时一样。

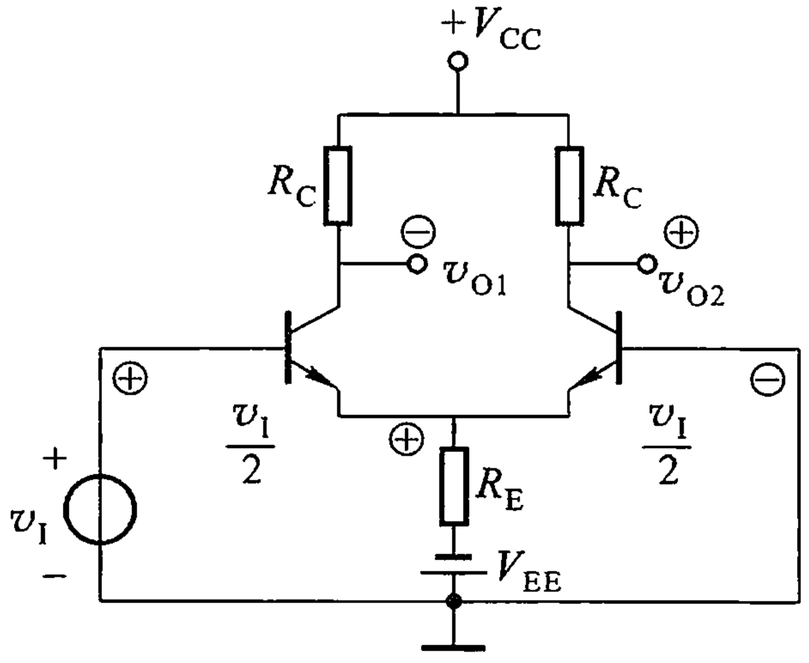


图 2.9.4　单端输入差分放大电路

总之，无论是单端输入还是双端输入，只要是双端输出，其放大倍数 $\dot{A}_{VD}$ 均等

于单管共射电路的放大倍数$\dot{A}_{V1}$，只要是单端输出，其放大倍数$\dot{A}_{VD1}$就等于$\dot{A}_{V1}/2$。

2.9.2　带恒流源的差分放大电路

已知如要进一步提高共模抑制比，就要采用阻值很大的射极电阻 R_E。R_E 增大后，增加了其上的直流压降，为了保证两放大管有合适的静态工作点，就必须增大电源电压 V_{EE}，从而增加了电路的功耗。另一方面 R_E 太大不便于集成。因此，R_E 的进一步提高是困难的。如果采用晶体管恒流源来代替 R_E，可使这一困难迎刃而解。晶体管恒流源的直流电阻小，因而其上的直流压降不大，而它的交流电阻（动态电阻）较大，从而提高了电路的共模抑制比。

晶体管本身就具有恒流特性，从晶体管共发射极输出特性曲线可以看出，在放大区内，i_B 确定后，i_C 基本恒定，与 v_{CE} 的大小基本无关。这说明晶体管的交流输出电阻 r_{ce} 很大，一般可达几十千欧至几百千欧，而在静态工作点上所呈现的直流电阻 $R_{CE}=V_{CE}/I_C$ 却很小，一般为几百欧至几千欧。但是晶体管的恒流特性还不够理想，表现在它的电流 I_C 随温度变化。在集成电路中，一般都采用电流源作差分放大电路的射极电阻，能较理想地补偿温度变化的影响。如图 2.9.5 所示，以恒流源取代 R_E 的差分放大电路，其中恒流源以简化符号表示。

在图 2.9.5 中，两管射极电流之和等于恒流源的输出电流，即

$$I_O = I_{E1} + I_{E2}$$

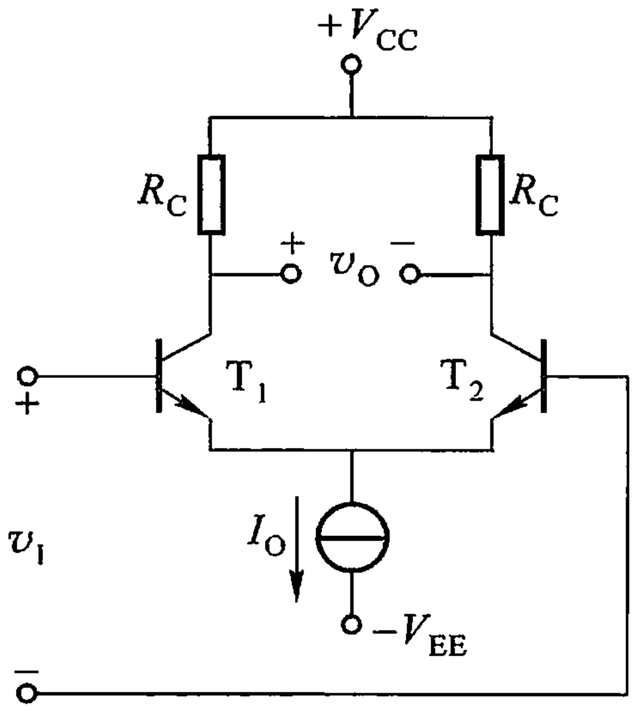


图 2.9.5　带恒流源的差分放大电路

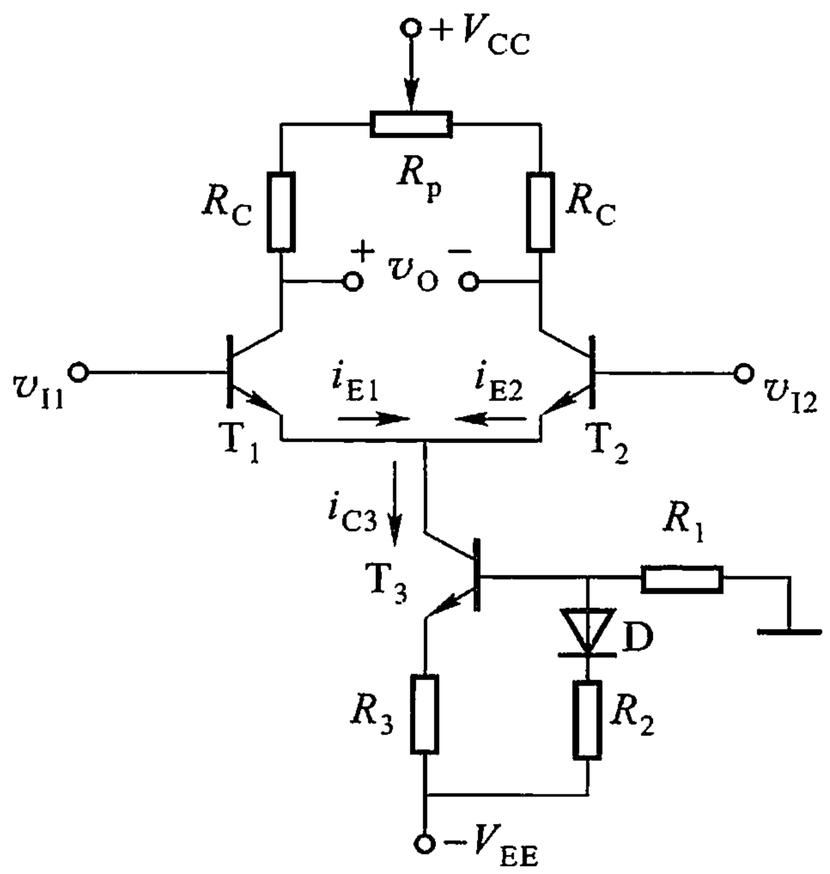


图 2.9.6　分立元件差分放大电路

在分立元件电路中，常采用如图 2.9.6 所示的差分放大电路。图中 T_3、D、R_1、R_2 和 R_3 组成恒流源电路。二极管 D 起温度补偿作用。R_1、R_2 和 R_3 为 T_3 提供合适的偏置，这就是 2.4 节中介绍过的射极偏置电路，它使 T_3 的工作点更加

稳定,并获得良好的恒流特性。实际上电路不可能完全对称,即使输入信号 $v_I = 0$,也会有输出电压,即 $v_O \neq 0$,故接入调零电位器 R_p。在 $v_{I1} = v_{I2} = 0$(两输入端对地短路)时,调节 R_p,改变两管集电极负载电阻的比值,迫使 $v_O = 0$。有时也将调零电位器接在 T_1 和 T_2 的发射极之间,滑动端接 T_3 的集电极。

通过本节的讨论,可以清楚地看到,差分放大电路有很多优点。首先,利用电路的对称性及 R_E 或恒流源产生很强的共模负反馈,使电路具有较高的共模抑制比和较小的零点漂移,有利于直接耦合;其次,由于电路有两个输入端和两个输出端,因此,该电路的通用性很强;最后,由于电路要求对称,而对阻值的精度要求不高,R_E 可用恒流源替代,不需要高值电阻,特别适宜于集成,而集成电路的特点又正好使差分放大电路有更高的质量。因此,差分放大电路已成为线性集成电路的基础。

2.10 电流源电路

模拟集成电路中广泛采用恒流源偏置电路。在模拟集成电路中,放大电路的基极偏置电流都由恒流源电路来提供,如图 2.10.1 所示。图中恒流源 I_B 和 I_C 代表恒流源电路,恒流源 I_B 为晶体管 T 提供基极偏流,恒流源 I_C 作为放大管的集电极负载(又称为有源负载)。

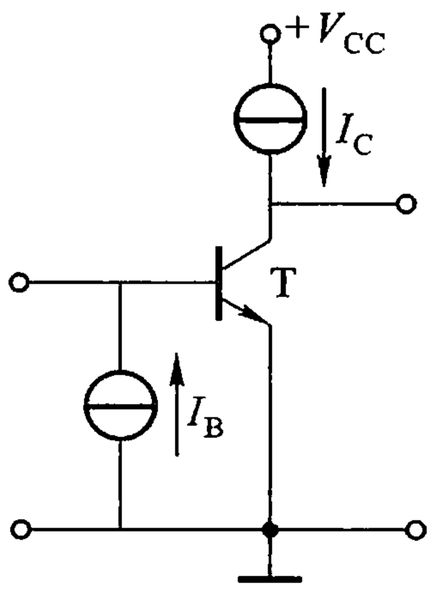


图 2.10.1 恒流源偏置放大电路

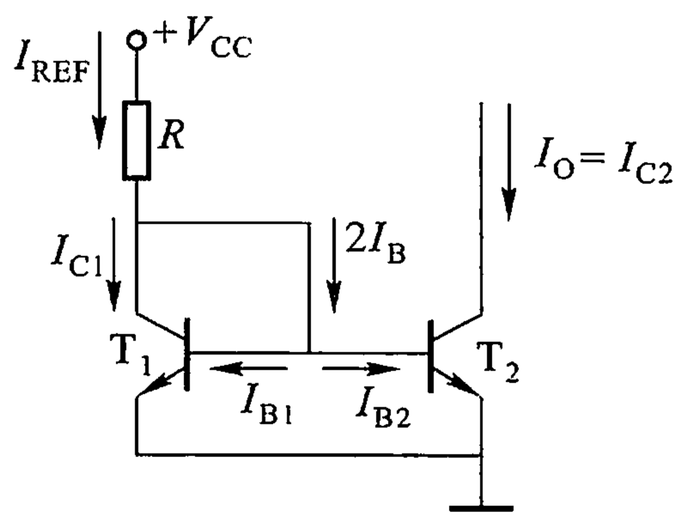


图 2.10.2 镜像恒流源电路

2.10.1 镜像恒流源电路

电路如图 2.10.2 所示,运用集成工艺的特长,两管 T_1 和 T_2 可做得非常对称,两管的参数相同,而电路的连接又使两管的基 - 射电压相等,因此,两管的集电极电流是相等的,即

$$I_{C1} = I_{C2} = I_{REF} - 2I_B = I_{REF} - \frac{2I_{C2}}{\beta}$$

所以

$$I_O = I_{C2} = \frac{I_{REF}}{1 + \frac{2}{\beta}}$$

I_{REF}称为基准电流。一般$\beta >> 2$,则

$$I_O \approx I_{REF} = \frac{V_{CC} - V_{BE2}}{R} \approx \frac{V_{CC}}{R} \tag{2.10.1}$$

可见,I_{REF}选定后,工作电流即输出电流I_O也随之确定,I_O如同基准电流I_{REF}的镜像,而I_{REF}仅决定于V_{CC}和R,与管子参数近似无关。I_{REF}的温度稳定性较高,因此,I_O也有较高的温度稳定性。

这种电路只适用于工作电流I_O较大(毫安级)的场合,如果要求I_O为微安数量级,则R的取值就很大,如$I_O = I_{REF} = 10\ \mu A$,设$V_{CC} = 15\ V$,则$R$高达1.5 MΩ,难以由集成工艺制造,因此需研究微电流恒流源。

2.10.2　微电流源电路

在镜像电流源T_2的发射极串接一个电阻R_E,便构成微电流源电路,如图2.10.3所示。由于R_E的作用,使$V_{BE1} > V_{BE2}$,于是$I_{C1} > I_{C2}$。下面的分析将证明,即使I_{C1}比较大,R_E较小,也能满足I_{C2}较小的要求。此外,通过R_E产生负反馈作用,还能提高恒流源的输出电阻,减小电源电压V_{CC}的波动和温度变化的影响,使工作电流I_O更加稳定。

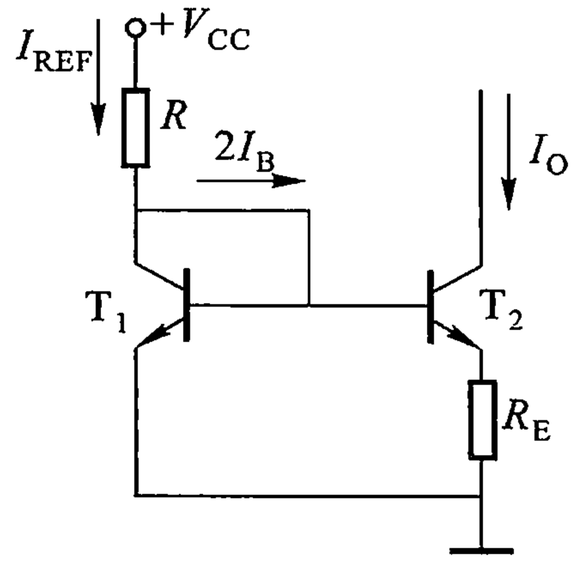


图 2.10.3　微电流源电路

现在来求解R_E、I_{REF}和I_O的关系。由PN结电流方程式(1.2.1)可得

$$I_E = I_{R(sat)}(e^{V_{BE}/V_T} - 1) \approx I_{R(sat)} e^{V_{BE}/V_T}$$

所以

$$V_{BE} = V_T \ln \frac{I_E}{I_{R(sat)}}$$

由图2.10.3可得

$$I_{E2}R_E = V_{BE1} - V_{BE2} = V_T\left(\ln \frac{I_{E1}}{I_{R(sat)1}} - \ln \frac{I_{E2}}{I_{R(sat)2}}\right)$$

式中,温度电压当量$V_T = kT/q$。因两管对称,反向饱和电流$I_{R(sat)1} = I_{R(sat)2}$,且$I_{E2} = I_O$,$I_{E1} \approx I_{REF}$,所以

$$R_E = \frac{kT}{qI_O} \ln \frac{I_{REF}}{I_O} \tag{2.10.2}$$

上式表明，给定了 I_{REF} 和 I_O，即可求出 R_E 的大小。例如，已知 $I_{REF}=1$ mA，$I_O=10$ μA，在室温下 $kT/q=26$ mV，可求得 $R_E\approx 12$ kΩ。

2.10.3　多路输出恒流源电路

既然工作电流 I_O 与参考电流 I_{REF} 的比值可以通过 R_E 来控制，就可以设置一个公共的参考电流，而使多级恒流源有不同的电流输出，构成如图 2.10.4 所示的多路输出恒流源电路。根据给定的 I_{REF} 和要求的 I_O，由式(2.10.2)即可算出电路的参数。例如，设定 $I_{REF}=500$ μA，I_{O3}、I_{O2}、I_{O1} 分别为 489.5 μA、50 μA、10 μA，晶体管的 $\beta=100$，分别算出各 R_E 和 I_B 值，注明在图 2.10.4 中。

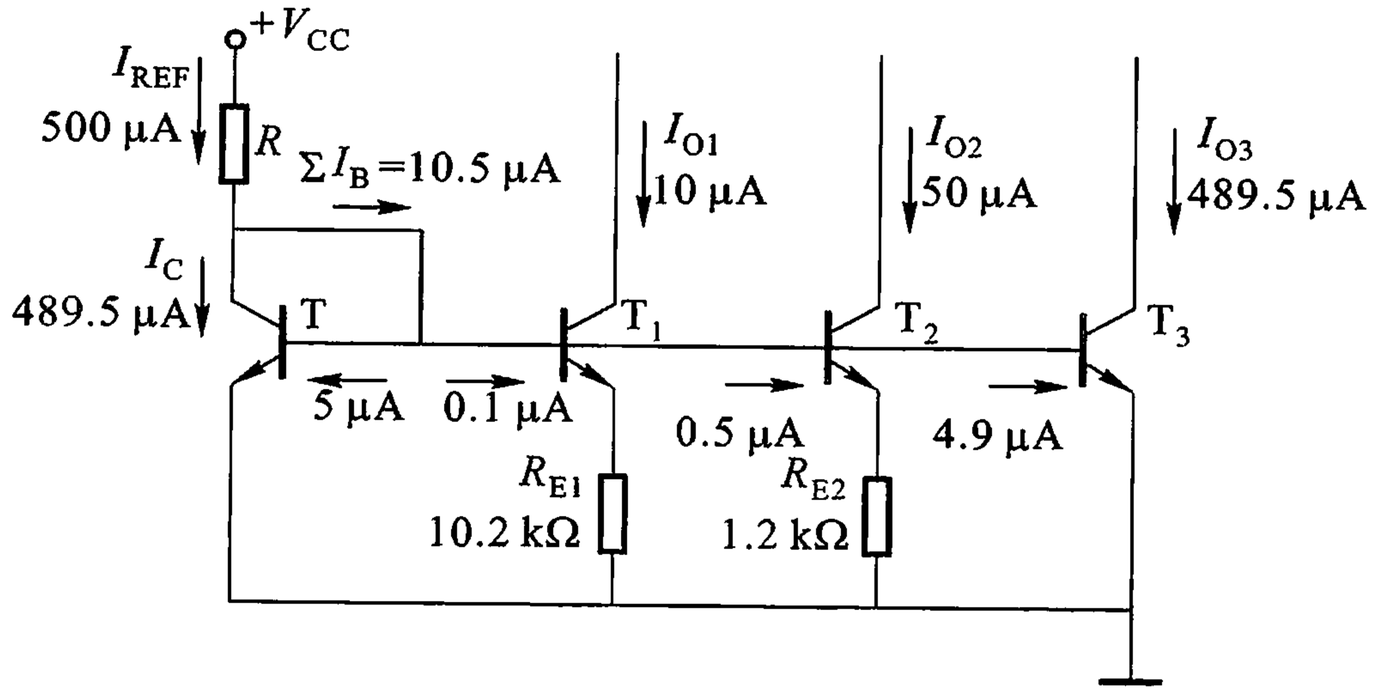


图 2.10.4　多路输出恒流源电路

2.10.4　有源负载放大电路

对于单级放大电路，在忽略晶体管的输出电阻 r_{ce} 和外接负载电阻的作用时，其电压放大倍数 A_V 在一定范围内与集电极负载电阻 R_C 成正比。要提高 A_V 值，就必须增大 R_C。但 R_C 的增大受到两方面的限制，一是集成工艺难以制造高值电阻；二是随着 R_C 的增大，R_C 分占直流电压太多，必然压缩了动态范围，致使输出信号幅度受到限制。晶体管恒流源具有直流电阻小而交流电阻大的特点，用它取代 R_C，不会降低放大管集电极的直流电压，又提供了很大的负载，使电压放大倍数可以大幅度地增加到 1000 左右。用晶体管恒流源作负载的放大单元电路如图 2.10.5 所示，T_1 为放

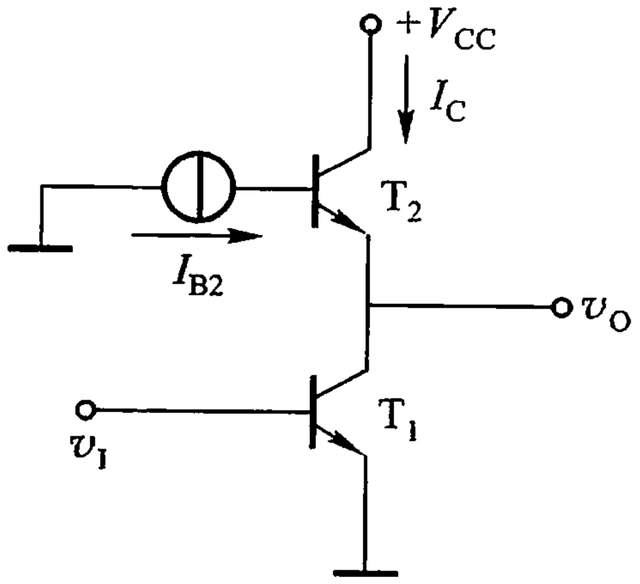


图 2.10.5　有源负载放大电路

大管，T_2 为恒流源负载，I_{B2}为 T_2 管的基极恒流源。

显然，为了提高放大倍数，除了采用有源负载外，还应尽可能地提高放大管本身的输出电阻和下一级的输入电阻，以减小对有源负载的旁路作用，才能使有源负载在提高放大倍数方面有良好的效果。

2.11　互补对称功率放大电路

功率放大电路常处于多级放大电路的末级，它利用晶体管的电流控制作用，把直流电源能量转换成由输入信号控制的交流能量，以驱动负载工作，例如，使扬声器的音圈振动发声、使电机旋转或使继电器工作、使电视机中光点随信号偏转等。

2.11.1　功率放大电路的特点和要求

1. 要有尽可能大的输出功率

为了获得大的输出功率，要求功放管的电压和电流都有足够大的动态范围，因此，功放管常在接近极限运用状态下工作。

2. 用图解法分析

由于功率放大电路是在大信号下工作，因此，小信号等效电路的分析方法已不适用，通常采用图解法来分析。

3. 转换效率要高

功率放大电路是将直流电源供给的能量转换成交流电能传送给负载。所谓效率，就是负载上得到的有用信号功率 P_o 与直流电源供给的功率 P_{CC} 之比，即 $\eta = P_o / P_{CC}$。应尽量减小晶体管的损耗功率以提高效率。这不仅是为了节约能源，更是为减少晶体管功率损耗产生的热效应所带来的负面影响。

4. 非线性失真适当

虽然功率放大电路的交流功率是在输入为正弦波且波形不失真时定义的，然而，功率放大电路是在大信号下工作的，所以，不可避免地会产生非线性失真，而且同一功放管输出功率越大，非线性失真也越严重。因此，在功率放大电路中，输出功率和非线性失真成为一对主要矛盾。在保证不影响其使用质量的前提下，尽量让晶体管工作于大信号状态，并采用适当的电路形式来提高转换效率。

5. 功率放大电路常采用乙类或甲乙类工作状态

放大电路的工作状态通常有 3 种:甲类、乙类和甲乙类。若工作点设在放大区的中部,在输入信号的整个周期内都有电流流过晶体管,这种工作状态称为甲类,如图 2.11.1(a)所示,它能在信号整个周期都能对其放大。在甲类放大电路中电源始终不断地送出功率,在没有信号输入时,这些功率全部消耗在管子和电阻上,转换为热能耗散出去;当有信号输入时,其中一部分转换成有用的输出功率 P_o,输入信号越大,输送给负载的功率就越多。可以证明即使在理想情况下,甲类放大电路的效率最高也只能达到 50%。甲类放大电路效率低的主要原因是静态电流 I_C 太大。如果把静态工作点 Q 向下移动,将 Q 设在截止区边缘,使静态电流 I_C 等于零,则输入信号等于零时电源输出的功率也等于零,信号增大时电源供给的功率也随之增大。这样,电源供给的功率及管耗都随着输出功率的大小而变。显然比甲类放大时效率提高了。这种只在输入信号的半周晶体管才有电流流过的工作状态称为乙类。如图 2.11.1(b)所示,它只能对信号的半个周期进行放大。若工作点设在放大区内但接近截止区的位置,在输入信号的大半个周期内,晶体管有电流流过,这种工作状态称为甲乙类,如图 2.11.1(c)所示,它的效率也高于甲类。乙类和甲乙类放大电路虽然提高了效率,但都产生了严重的波形失真,需要在电路结构上采取措施。

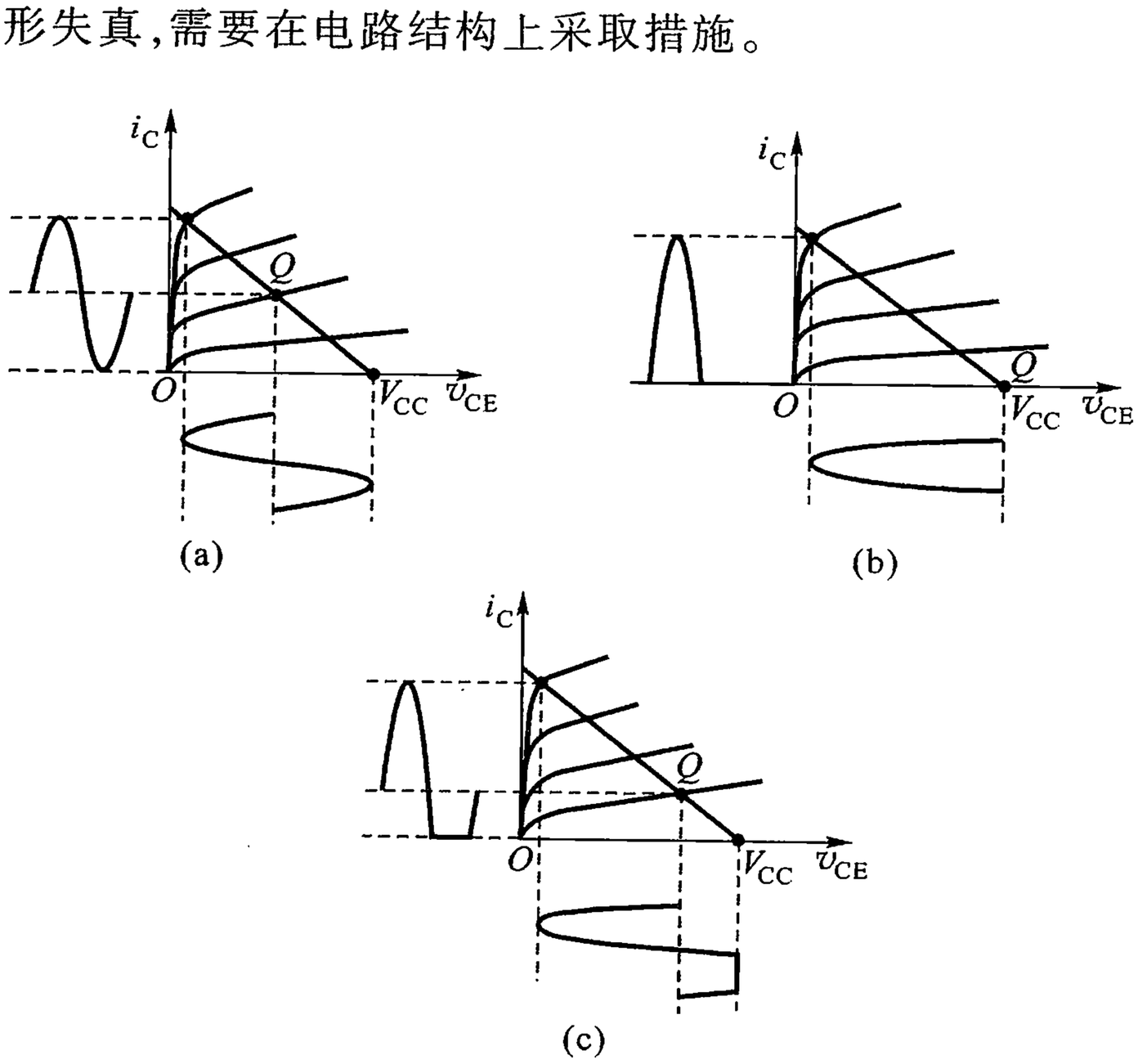


图 2.11.1　放大电路的三种工作状态

(a) 甲类　(b) 乙类　(c) 甲乙类

6. 晶体管的散热和保护

在功率放大电路中，有相当大的功率消耗在管子的集电结上，使结温和管壳温度升高。当结温升到一定程度以后，就会使管子损坏，为了充分利用允许的管耗，而使管子输出足够大的功率，必须采取妥善的散热措施。例如，对低频大功率管 3AD1 来说，不加散热器时，其集电极最大耗散功率 $P_{CM}=1$ W，如果把管子紧固在 $120\times120\times4$ mm^3 的平面铝散热片上，则 $P_{CM}=10$ W。这是由于散热片的散热作用，使得在同样的耗散功率下，晶体管自身的温度上升的幅度减小。当然，晶体管如何散热的问题属于电路设计中的一个专门的课题，我们不在这里进行讨论。另外，管子承受的电压高，通过的电流大，所以还必须考虑功率管的保护问题。

最后，必须指出：从能量控制的观点来看，功率放大电路和电压放大电路没有本质的区别。只是两类放大电路解决问题的侧重点不同，因此，二者在电路形式、工作状态和分析方法上各具特点。

2.11.2　乙类互补对称功率放大电路

1. 工作原理

乙类放大电路虽然提高了效率，但存在严重的失真。如果用两个管子，使之都工作在乙类放大状态，一个在正半周工作，另一个在负半周工作，两管的输出波形都能加到负载上，则负载上可以获得一个完整的波形。图 2.11.2 所示为乙类互补对称功率放大电路，图中，T_1 为 NPN 管，T_2 为 PNP 管，两管的基极和发射极分别连在一起，信号从基极输入，射极输出，R_L 为负载。该电路实际上是由两个射极输出器组合而成。设直流电源 $V_{CC}=|V_{EE}|$，v_i 为正弦波，当 $v_i=0$ 时，$v_O=0$；v_i 为正半周时，T_2 截止，T_1 承担放大任务，i_{C1}（正弦电流的正半周）流过负载 R_L；而当 v_i 为负半周时，T_1 截止，T_2 承担放大任务，i_{C2}（正弦电流的负半周）流过 R_L。i_{C1} 与 i_{C2} 大小相等，在 R_L 上流向相反，负载电流 i_L 为 i_{C1} 与 i_{C2} 的叠加，从 R_L 两端就可得到完整的输出电压 v_O。由此可见，图 2.11.2 所示电路，静态时两管电流为零，有输入信号时两管轮流导电，组成推挽式电路，由于两管互补对方的不足，且性能对称，故称为互补对称电路。

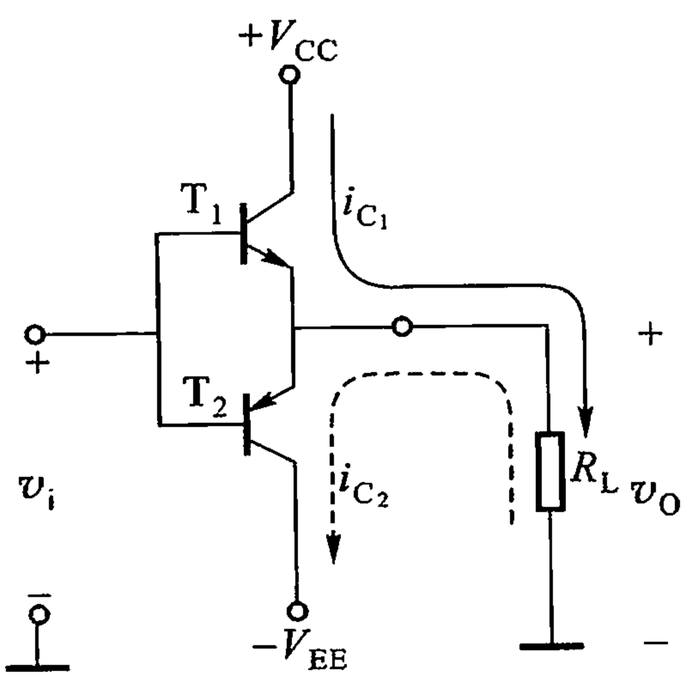


图 2.11.2　互补对称功率放大电路

2. 分析计算

假设输入的正弦信号有足够大的幅度，能驱使工作点沿负载线在截止点与临界饱和点之间移动，则 T_1、T_2 管的工作状态及电流、电压波形如图 2.11.3 所示。

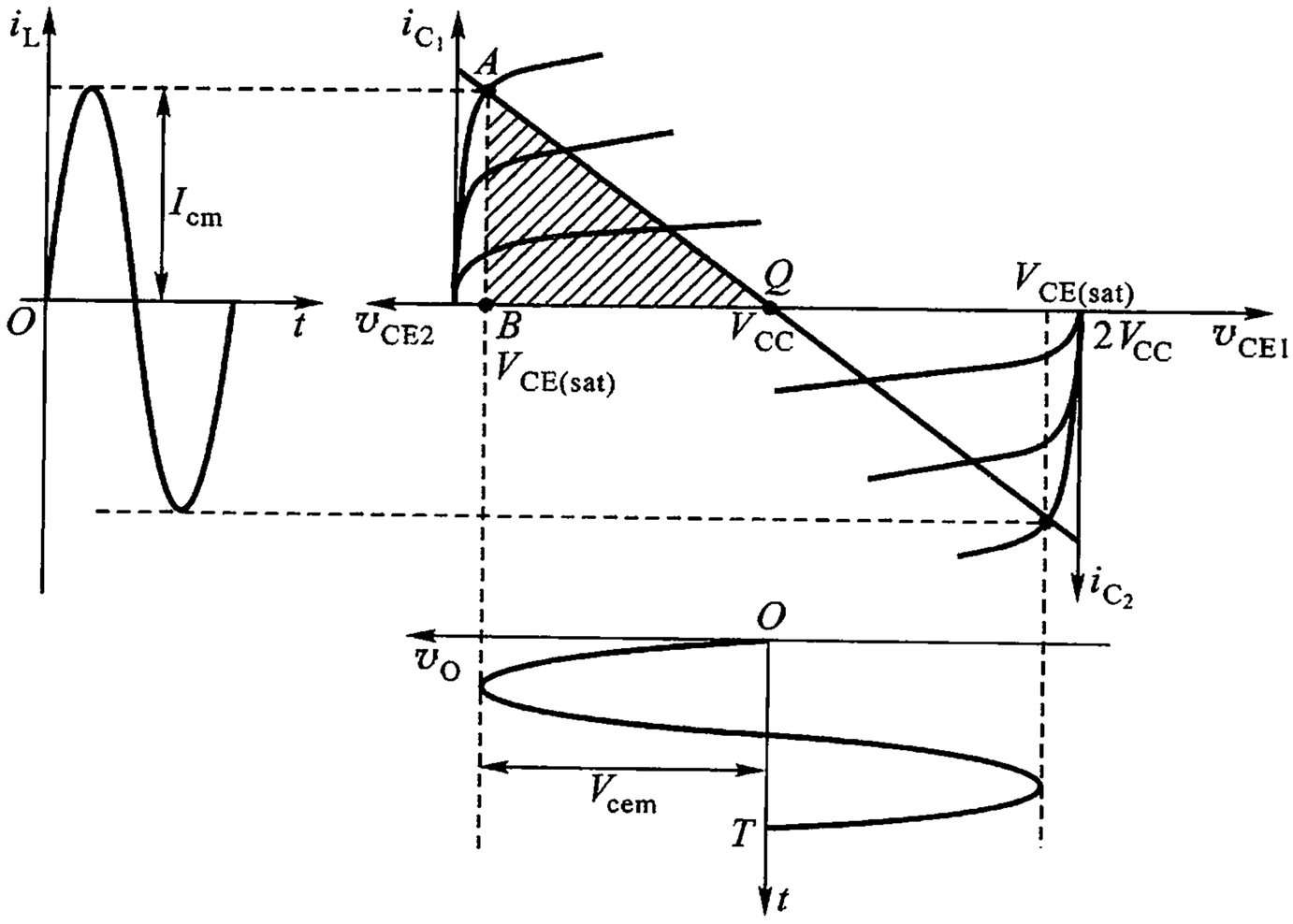


图 2.11.3　图解法分析乙类互补对称电路

（1）输出功率 P_o

由定义可写出 P_o 的表达式

$$P_o = I_L^2 R_L = \frac{1}{2} I_{cm}^2 R_L = \frac{1}{2} I_{cm} V_{cm} \tag{2.11.1}$$

在输入信号足够大的情况下，$V_{cem} = I_{cm} R_L = V_{CC} - V_{CE(sat)}$，如果忽略管子的饱和压降 $V_{CE(sat)}$，则输出电压的最大幅值 $V_{cem} = I_{cm} R_L \approx V_{CC}$，这时最大不失真输出功率为

$$P_{om} = \frac{1}{2} I_{cm} \cdot V_{cem} = \frac{1}{2} V_{cem}^2 / R_L \approx \frac{1}{2} V_{CC}^2 / R_L \tag{2.11.2}$$

图 2.11.3 中阴影部分即 $\triangle ABQ$ 的面积就代表乙类互补对称电路输出功率的大小，称为功率三角形。显然，$\triangle ABQ$ 的面积愈大，输出功率 P_{om} 也愈大。

（2）效率 η

输出最大功率时，直流电源提供给电路的总功率为

$$P_{CC} = \frac{1}{2\pi} \int_0^{\pi} V_{CC} i_{C1} \mathrm{d}(\omega t) + \frac{1}{2\pi} \int_0^{\pi} V_{EE} i_{C2} \mathrm{d}(\omega t)$$

$$= \frac{1}{\pi} \int_0^{\pi} V_{CC} I_{cm} \sin \omega t \mathrm{d}(\omega t)$$

$$= \frac{2}{\pi} V_{CC} I_{cm} = \frac{2V_{CC}^2}{\pi R_L} = \frac{4}{\pi} P_{om} \tag{2.11.3}$$

放大器输出最大功率时效率为

$$\eta_m = \frac{P_{om}}{P_{CC}} = \left(\frac{1}{2} \cdot \frac{V_{CC}^2}{R_L}\right) \Big/ \left(\frac{2}{\pi} \cdot \frac{V_{CC}^2}{R_L}\right) = \frac{\pi}{4} = 78.5\% \tag{2.11.4}$$

这个结果是在输入信号足够大，负载电阻 R_L 为理想值，忽略了晶体管饱和压降 $V_{CE(sat)}$ 的情况下得到的，实际效率比这要低，仅能达到 60% 左右。

（3）管耗 P_T

消耗在晶体管上的功率 $P_T = P_{CC} - P_o$，且随信号的幅值而变化。

乙类互补对称功率放大器输出功率最大时，两管的总管耗为

$$P_T = P_{T1} + P_{T2} = P_{CC} - P_{om} = \frac{2V_{CC}^2}{\pi R_L} - \frac{V_{CC}^2}{2R_L}$$

$$= P_{om}\left(\frac{4}{\pi} - 1\right) \approx 0.27 P_{om} \tag{2.11.5}$$

2.11.3　甲乙类互补对称功率放大电路

1. 乙类互补对称电路存在交越失真

前面讨论的乙类互补对称电路由于没有直流偏置，静态时 $I_C = 0$，而晶体管的输入特性存在门限电压 $V_{BE(th)}$（硅管约为 0.6 V，锗管约为 −0.2 V）。当输入信号 v_i 低于这个数值时，两管截止，负载 R_L 上无电流通过，出现一段死区。只有当 $v_i > |V_{BE(th)}|$ 以后，i_B 才有明显增长。这种现象称为交越失真，如图 2.11.4 所示。

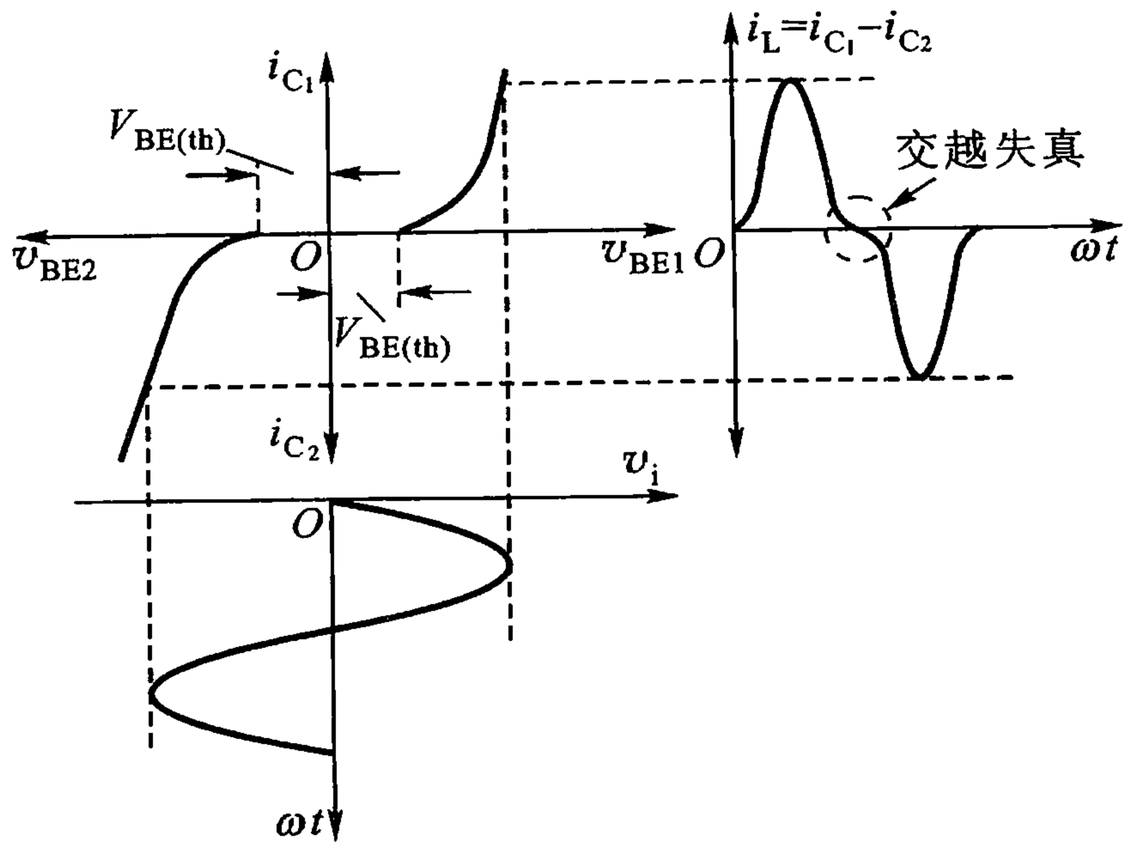


图 2.11.4　乙类互补对称电路的交越失真

2. 甲乙类互补对称电路

为了减小和消除交越失真，通常在两管基极间加二极管（或电阻或二极管与电阻串联），给 T_1 和 T_2 两管提供一定的稍大于 $V_{BE(th)}$ 的正向偏压，使两管有一适当的静态电流，这样两管合成的转移特性就克服了输入特性起始部分的非线性影响，从而消除了交越失真。转移特性的改善情况如图 2.11.5 所示。

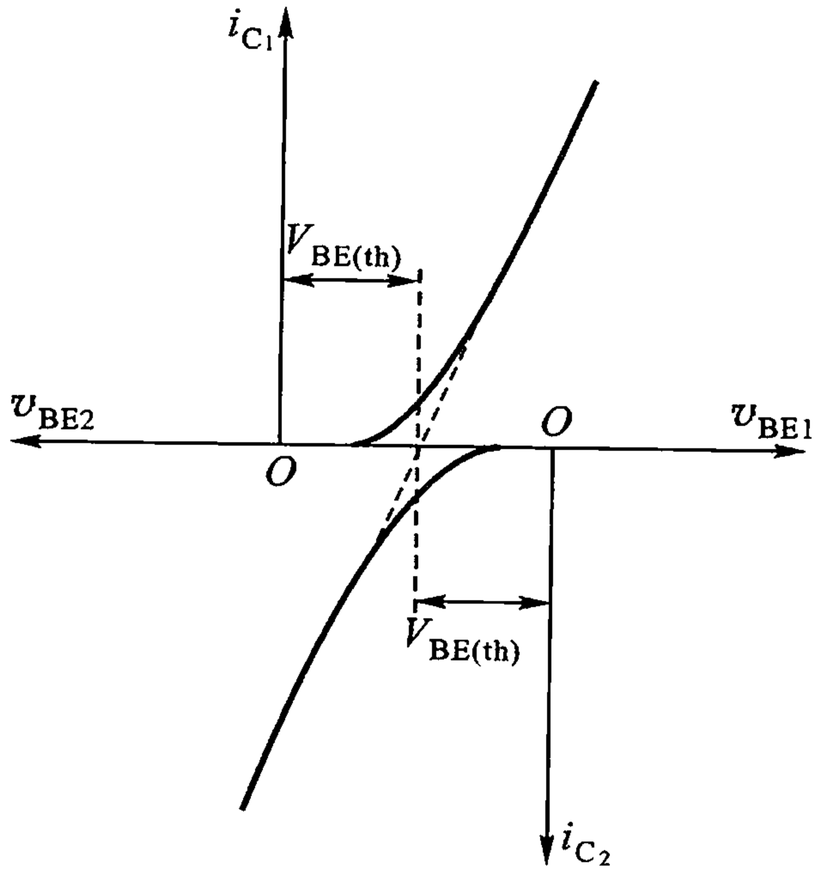


图 2.11.5　甲乙类互补对称放大电路的转移特性

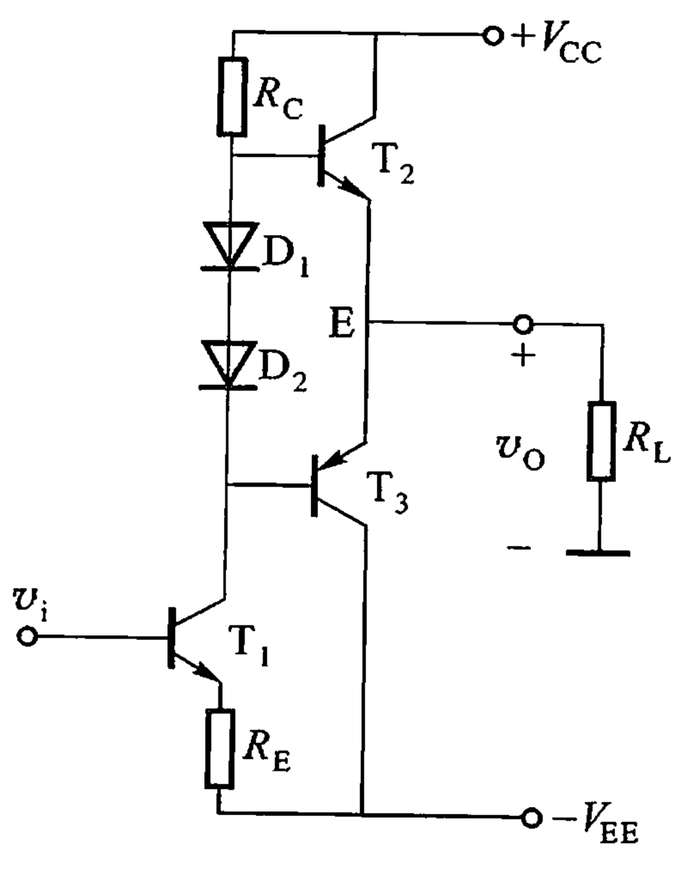


图 2.11.6　甲乙类互补对称电路

图 2.11.6 所示为甲乙类互补对称功率放大电路。图中 T_1 为典型的甲类电压放大电路，用作推动级，二极管 D_1、D_2 接在 T_2、T_3 的基极回路内，静态时 D_1、D_2 两端有一定的正向压降，给 T_2、T_3 提供一合适正偏压，使两管处于微导通状态。对交流信号来说，D_1、D_2 的动态电阻小，可视为短路。T_1 的交流负载为 R_C 与后级输入电阻的并联值。由于两管特性互补，电路对称，所以静态时负载 R_L 上无电流流过。两管发射极电压 $V_E = 0$。当有信号输入时，可使放大器在零点附近仍能基本上得到线性放大，即 v_O 与 v_i 为线性关系。此时电路就工作在甲乙类，但为了提高转换效率，在设置正偏压时，应尽可能接近乙类状态。

2.11.4　准互补对称功率放大电路

对于互补对称功率放大电路，如果要求其输出较大的功率，而末前级输出的驱动功率又比较小，则要求功率管有超乎寻常的 β 值，而且，制作性能完全一致的异型号大功率管是很困难的。采用复合管可较好地解决上述问题。由复合管组成的互补对称电路，称为准互补对称功率放大电路。

1. 复合管的接法

由两只或两只以上晶体管按一定规则连接起来而构成的三端器件，称为复合管。前一晶体管的集电极或发射极接至后一晶体管的基极，以实现电流的二次放大作用，还应使两只管子都处于放大区，满足这两个原则，有图 2.11.7 所示的 4 种接法。

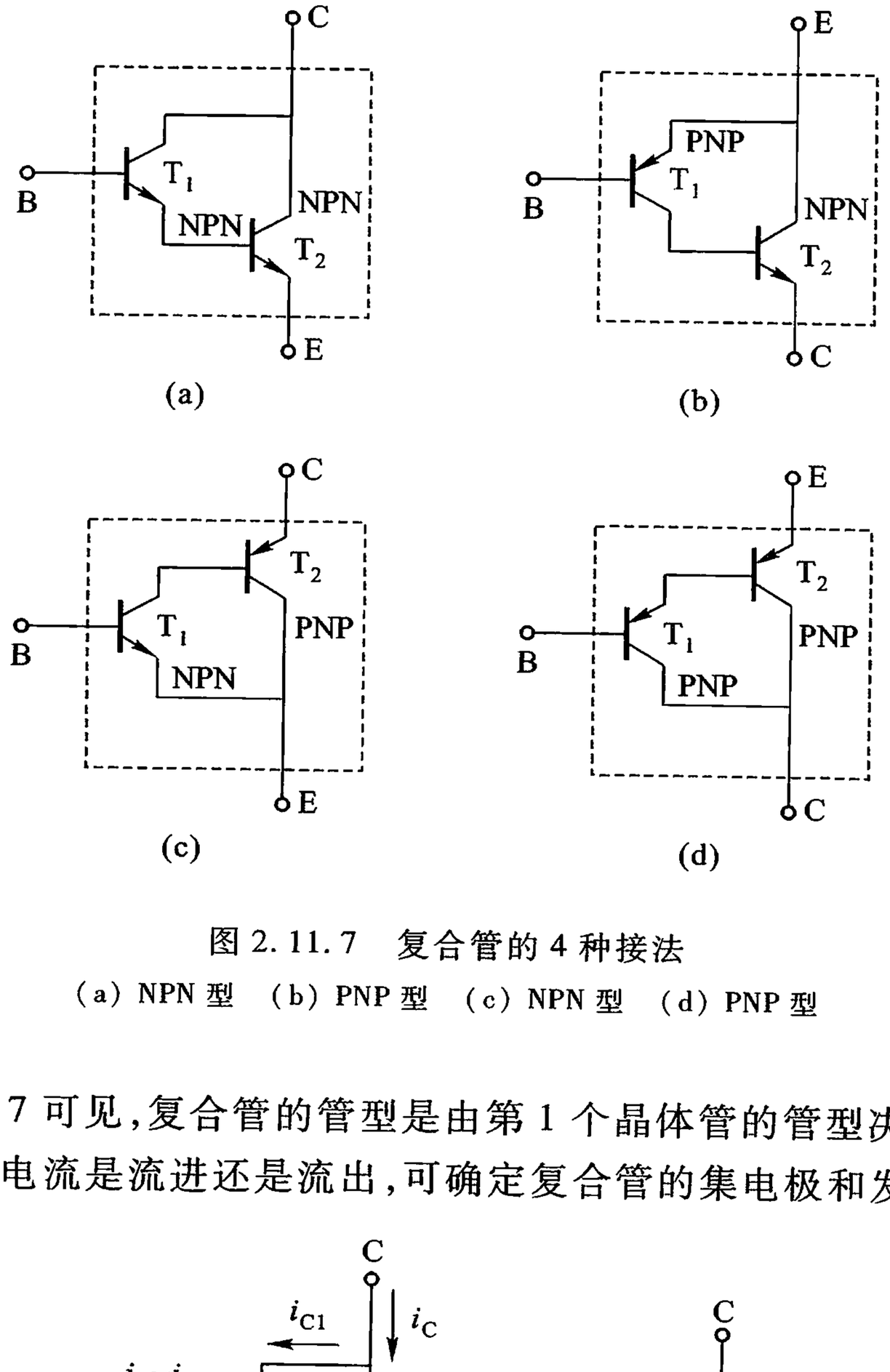


图 2.11.7　复合管的 4 种接法

（a）NPN 型　（b）PNP 型　（c）NPN 型　（d）PNP 型

由图 2.11.7 可见，复合管的管型是由第 1 个晶体管的管型决定的。根据确定了的管型，由电流是流进还是流出，可确定复合管的集电极和发射极。

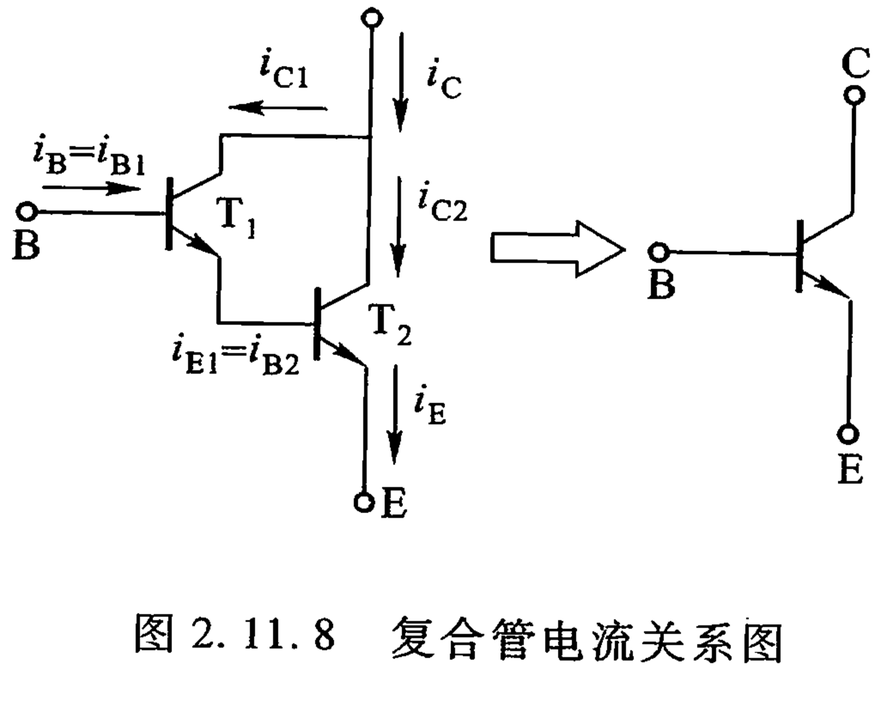


图 2.11.8　复合管电流关系图

计算复合管的 β 和 r_{be}，使用交流分量较为方便。由图 2.11.8 可得

$$\begin{aligned} i_c &= i_{c1} + i_{c2} = \beta_1 i_{b1} + \beta_2 i_{b2} = \beta_1 i_{b1} + \beta_2 (1 + \beta_1) i_{b1} \\ &= (\beta_1 + \beta_2 + \beta_1 \beta_2) i_{b1} \approx \beta_1 \beta_2 i_{b1} \end{aligned}$$

$$\beta = \frac{i_c}{i_b} \approx \beta_1 \beta_2 \tag{2.11.6}$$

可见复合管的 β 等于 β_1 与 β_2 乘积。复合管的输入电阻 r_{be} 为

$$r_{be} = \frac{v_{be}}{i_b} = \frac{v_{be1} + v_{be2}}{i_b}$$

即

$$r_{be} = r_{be1} + (1 + \beta_1) r_{be2} \tag{2.11.7}$$

对于由两个不同类型晶体管组成的复合管，其输入电阻 $r_{be} = r_{be1}$。

2. 准互补对称功率放大电路一例

图 2.11.9 为一种形式的准互补对称功率放大电路，图中由 T_2、T_3 组成的复合管为 NPN 型，T_4、T_5 复合管为 PNP 型。R_1、D_1、D_2 是两对复合管的基极偏置电路，使两互补对称管工作在甲乙类状态。二极管 D_1、D_2 与三极管 T_2、T_4 应为相同类型的半导体材料。R_3、R_4 用于减小复合管的穿透电流。R_5、R_6 用来稳定 T_3、T_5 管的静态工作点。

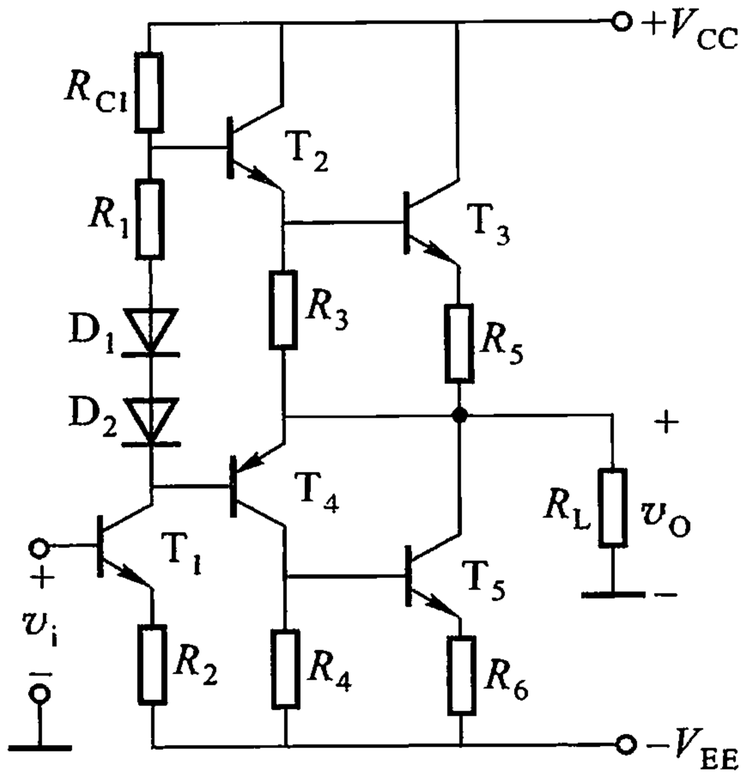


图 2.11.9　准互补对称功率放大电路

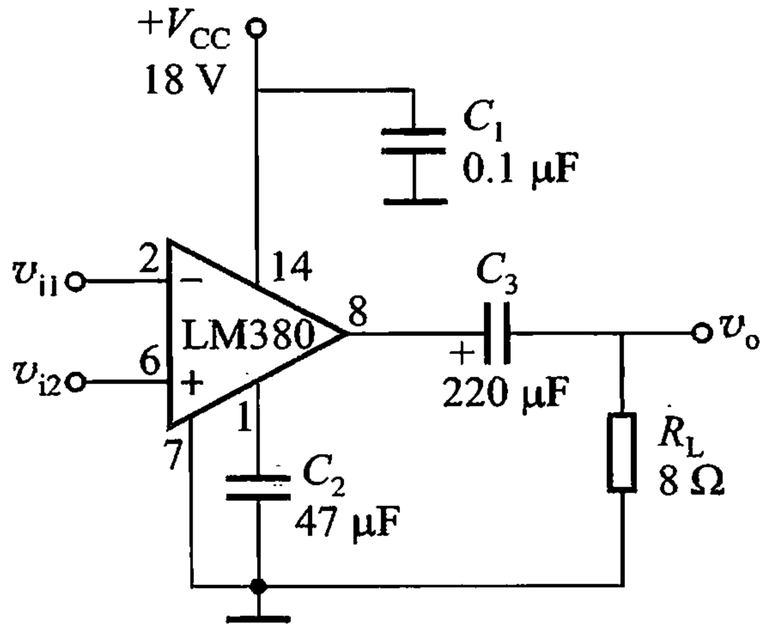


图 2.11.10　集成功放 LM380 外部电路

2.11.5　集成功率放大器

实践中用得较多的功率放大电路，当今均已制成集成功率放大器件。现以音频集成功率放大器为例，作一简单的介绍。

集成功率放大器 LM380 的内部电路有三级。输入级为双端输入单端输出的差分放大电路，中间级为共射放大电路，它以恒流源作集电极负载，具有很高

的放大倍数,输出级为单电源供电的互补对称功放电路。LM380 的外部电路如图 2.11.10 所示,它有两个输入端,在负载 $R_L=8\ \Omega$ 时,额定输出功率为 2.5 W,使用 18 V 的单电源供电。图 2.11.10 中 C_3 为耦合电容,C_2 为旁路电容,C_1 为电源的高频滤波电容。LM380 是家用电器中常用的一种集成功放。

2.12　场效应管放大电路

场效应管与双极型晶体管一样,都具有对信号的单向控制作用,所不同的是,晶体管是通过基极电流来控制集电极电流 i_C,场效应管则是通过栅源电压 v_{GS}来控制漏极电流 i_D。晶体管可组成共发射极、共集电极和共基极 3 种组态的放大电路,场效应管也可组成与之对应的共源极、共漏极和共栅极三种组态的放大电路。场效应管组成放大电路时与晶体管一样,也必须设置合适的静态工作点,不同的是场效应管是电压控制器件,栅极需有合适的偏压,但不出现栅流。不同类型的场效应管对偏压的极性有不同的要求。场效应管放大电路的分析方法和晶体管一样,即可用图解法和等效电路法。

2.12.1　场效应管的小信号等效电路

用推导晶体管 h 参数等效电路的类似方法,可导出场效应管的低频小信号等效电路。

场效应管是电压控制器件,如图 2.12.1(a),其栅极不取电流,漏极电流 i_D 是栅源电压 v_{GS}和漏源电压 v_{DS}的函数,即

$$i_G=0 \tag{2.12.1}$$

$$i_D=f(v_{GS},v_{DS}) \tag{2.12.2}$$

对式(2.12.2)求全微分得

$$\mathrm{d}i_D=\left.\frac{\partial i_D}{\partial v_{GS}}\right|_{v_{DS}}\mathrm{d}v_{GS}+\left.\frac{\partial i_D}{\partial v_{DS}}\right|_{v_{GS}}\mathrm{d}v_{DS} \tag{2.12.3}$$

在线性放大区内,微小变量 $\mathrm{d}i_D$、$\mathrm{d}v_{GS}$和 $\mathrm{d}v_{DS}$可用相应的交流分量 i_d、v_{gs}和 v_{ds}来代替,于是式(2.12.3)可写成

$$i_d=g_m v_{gs}+\frac{1}{r_{ds}}v_{ds} \tag{2.12.4}$$

式中

$$g_m=\left.\frac{\partial i_D}{\partial v_{GS}}\right|_{v_{DS}}\approx\left.\frac{\Delta i_D}{\Delta v_{GS}}\right|_{v_{DS}} \tag{2.12.5}$$

$$r_{ds}=\left.\frac{\partial v_{DS}}{\partial i_D}\right|_{v_{GS}}\approx\left.\frac{\Delta v_{DS}}{\Delta i_D}\right|_{v_{GS}} \tag{2.12.6}$$

g_m 是 1.4 节中介绍过的跨导，它是转移特性曲线在 Q 点处切线的斜率，其值可从特性曲线上求出，对于结型场效应管和耗尽型场效应管也可由式(1.4.3)求得，即

$$g_m=\frac{-2I_{D(sat)}\left(1-\dfrac{v_{GS}}{V_{GS(off)}}\right)}{V_{GS(off)}}=g_{m0}\left(1-\frac{v_{GS}}{V_{GS(off)}}\right) \tag{2.12.7}$$

式中，$g_{m0}=-2I_{D(sat)}/V_{GS(off)}$ 为场效应管零偏压时的跨导。

r_{ds} 是漏源电阻，是输出特性曲线上工作点 Q 处切线斜率的倒数。其值较大，约为几十千欧到几百千欧，在电路中常可略去。

根据式(2.12.1)和式(2.12.4)可画出场效应管低频时的小信号等效电路，如图 2.12.1(b)所示，图(c)为略去 r_{ds} 后的简化模型。

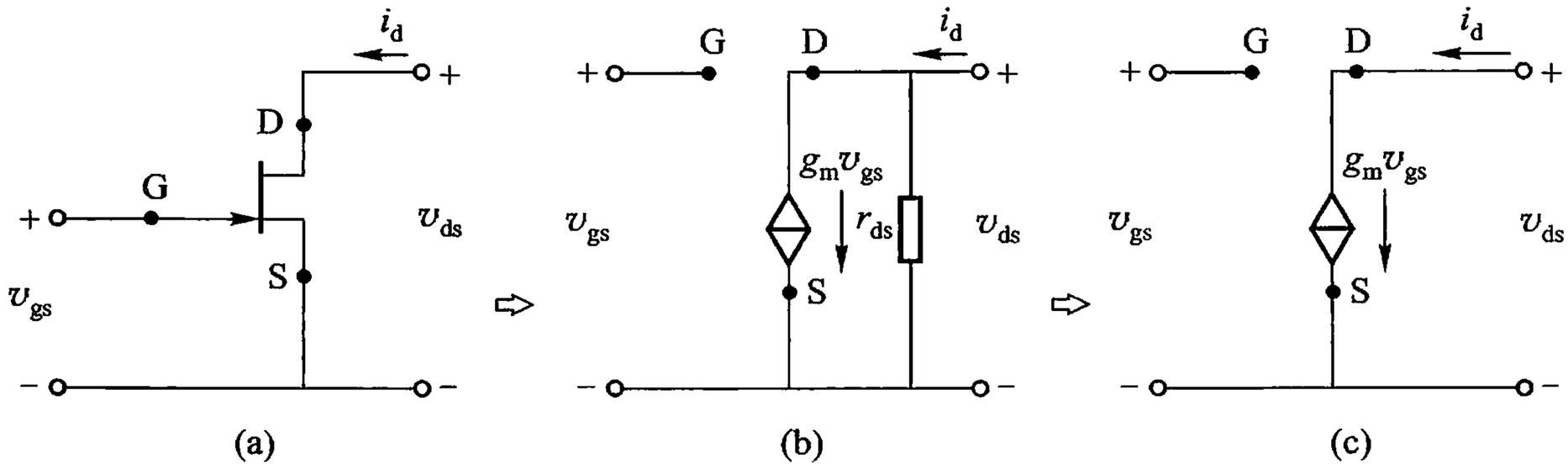


图 2.12.1　场效应管的低频小信号等效电路

(a) 场效应管　(b) 等效电路　(c) 简化的等效电路

2.12.2　等效电路法分析场效应管放大电路

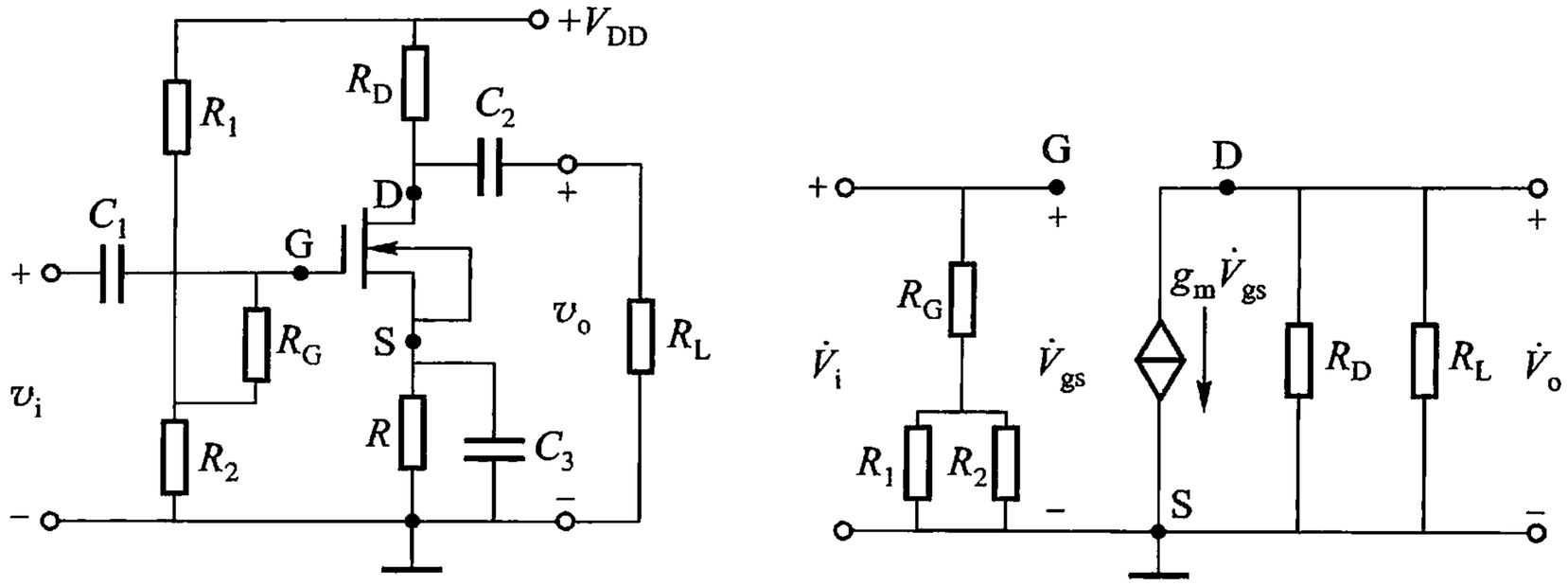
由 N 沟道耗尽型场效应管组成的分压式偏置共源放大电路，如图 2.12.2(a)所示。由于栅极电流 $i_G=0$，栅极电压 V_G 由 V_{DD} 经 R_1 和 R_2 分压提供，漏极电流 I_D 在 R 上产生降压 V_S，因此，场效应管的偏压由 V_G 与 V_S 共同决定。

1. 确定静态工作点

因 $I_G=0$，故

$$V_{GS}=\frac{R_2}{R_1+R_2}V_{DD}-I_DR \tag{2.12.8}$$

由式(1.4.1)



(a)　　(b)

图 2.12.2　共源放大电路及小信号等效电路

（a）共源放大电路　（b）小信号等效电路

$$I_D = I_{D(sat)}\left(1 - \frac{V_{GS}}{V_{GS(off)}}\right)^2 \tag{2.12.9}$$

联立上述二式，即可解出静态 I_D 和 V_{GS}，再由

$$V_{DS} = V_{DD} - I_D(R_D + R) \tag{2.12.10}$$

算出静态漏源电压 V_{DS}。

2. 交流特性分析

图 2.12.2(b)所示为共源放大电路的小信号等效电路。由图可得

$$\dot{V}_i = \dot{V}_{gs}$$

$$\dot{V}_o = -g_m \dot{V}_{gs} R'_D$$

式中

$$R'_D = R_D // R_L$$

则电压放大倍数为

$$\dot{A}_V = \frac{\dot{V}_o}{\dot{V}_i} = \frac{-g_m \dot{V}_{gs} R'_D}{\dot{V}_{gs}} \tag{2.12.11}$$

故有

$$\dot{A}_V \approx -g_m R'_D \tag{2.12.12}$$

负号表示输出电压与输入电压反相。

显然，放大电路的输入电阻

$$R_i = R_G + R_1 // R_2$$

输出电阻

$$R_o = R_D$$

例 2.12.1　共源放大电路如图 2.12.2(a)所示，设 $V_{DD} = 18$ V，$R_G = 2$ MΩ，

$R_1 = 350\ \text{k}\Omega$，$R_2 = 100\ \text{k}\Omega$，$R_D = 15\ \text{k}\Omega$，$R = 10\ \text{k}\Omega$，$R_L = 15\ \text{k}\Omega$，$C_1$、$C_2$、$C_3$ 的容量足够大，场效应管的参数为 $g_m = 1.6\ \text{mA/V}$，$I_{D(sat)} = 0.9\ \text{mA}$，$V_{GS(off)} = -4\ \text{V}$。(1) 计算静态工作点；(2) 求放大电路的电压放大倍数 $\dot{A}_V$、输入电阻 R_i 和输出电阻 R_o。

解　(1) 静态时

$$V_G = \frac{R_2}{R_1 + R_2} V_{DD} = \frac{100}{350 + 100} \times 18\ \text{V} = 4\ \text{V}$$

$$V_{GS} = V_G - RI_D = (4 - 10 \times 10^3 I_D)\ \text{V}$$

$$I_D = I_{D(sat)} \left(1 - \frac{V_{GS}}{V_{GS(off)}} \right)^2$$

$$\begin{cases} I_D = 0.9 \times 10^{-3} \left(1 + \dfrac{V_{GS}}{4} \right)^2 \\ V_{GS} = (4 - 10 \times 10^3 I_D)\ \text{V} \end{cases}$$

联立上述两式，可解出

$$I_D = 0.5\ \text{mA}, \quad V_{GS} = -1\ \text{V}$$

由此可得

$$\begin{aligned} V_{DS} &= V_{DD} - I_D (R_D + R) \\ &= 18 - (15 + 10) \times 10^3 \times 0.5 \times 10^{-3}\ \text{V} \\ &= 5.5\ \text{V} \end{aligned}$$

(2) 电压放大倍数为

$$\begin{aligned} A_V &= -g_m R_D \\ &= -1.6 \frac{\text{mA}}{\text{V}} \times (15 // 15) \frac{\text{V}}{\text{mA}} \\ &= -12 \end{aligned}$$

$$R_i = R_G + R_1 // R_2 = 2.077\ \text{M}\Omega$$

$$R_o = R_D = 15\ \text{k}\Omega$$

小结

1. 放大的过程实质上是微弱信号通过有源器件(晶体管或场效应管)对能量进行控制的过程，是将直流电源提供的能量转化为负载所获得的随信号变化的能量。

2. 晶体管在组成放大电路时，都必须设置合适、稳定的静态工作点。晶体管是电流控制器件，它需要合适的基极偏置电流来控制集电极电流。

3. 晶体管组成的放大电路有共发射极、共集电极和共基极 3 种组态。共发

射极电路的电压放大倍数大，因此，得到广泛的应用；共集电极电路最突出的特点是输入电阻高、输出电阻低，常用作多级放大电路的输入级、输出级和中间缓冲级；共基极电路的频率响应好，常用于高频电路和宽频带放大电路中。

4. 分析放大电路的方法有两种，即图解法和微变等效电路法。图解法用于确定静态工作点和分析大信号工作的动态情况。h 参数小信号等效电路法只适用于分析、计算低频小信号工作时电路的动态指标。

5. 分析电压放大电路的主要工作是计算放大电路的电压放大倍数、输入电阻、输出电阻和频率响应等。

6. 阻容耦合放大电路在中频段的放大倍数最大又为定值，当信号频率太高或太低时，放大倍数都将下降，当放大倍数下降为中频段放大倍数的 0.707 倍时所对应的高端频率和低端频率分别称为放大电路的上限频率 f_H 和下限频率 f_L。上限频率主要取决于放大管的极间电容，下限频率主要取决于级间耦合电容和射极旁路电容。

7. 多级放大电路的级间耦合方式有直接耦合、阻容耦合等。直接耦合电路便于集成，既可用于交流放大也可用于直流放大，但必须解决好零点漂移问题；阻容耦合电路能克服零点漂移对放大电路的影响，但低频响应差，不便于集成。

8. 差分放大电路是由两个特性完全相同的晶体管所组成的一种放大电路，其主要性能是能够抑制零点漂移。差分放大电路抑制零点漂移的关键所在是电路的对称性和引入了差分对管的公共发射极电阻 R_E。在 R_E 较大和电路完全对称的情况下，有 4 种连接方式，它们是单端输入单端输出，单端输入双端输出，双端输入单端输出，双端输入双端输出。常用晶体管恒流源取代差分放大电路中的 R_E，使电路的性能有很大的改善。

9. 功率放大电路是通过晶体管这个电流控制器件，将直流电源的能量转化为由输入信号控制的交流能量，以驱动负载工作。目前常用的功率放大电路多为互补对称（或准互补对称）功率电路。

10. 与晶体管放大电路类似，场效应管在组成放大电路时，也必须设置合适、稳定的静态工作点。场效应管是栅极电压控制漏极电流的器件，它需要合适的栅极偏置电压，工作时不出现栅流。场效应管也可组成共源等基本放大电路。



习题与思考题

2.1 在图 P2.1 各电路中的电容对信号可视为短路，试定性分析各电路能否正常放大，为什么？

2.2 分别画出图 P2.2 中各放大电路的直流通路和交流通路。

2.3 电路及晶体管的特性如图 P2.3 所示。

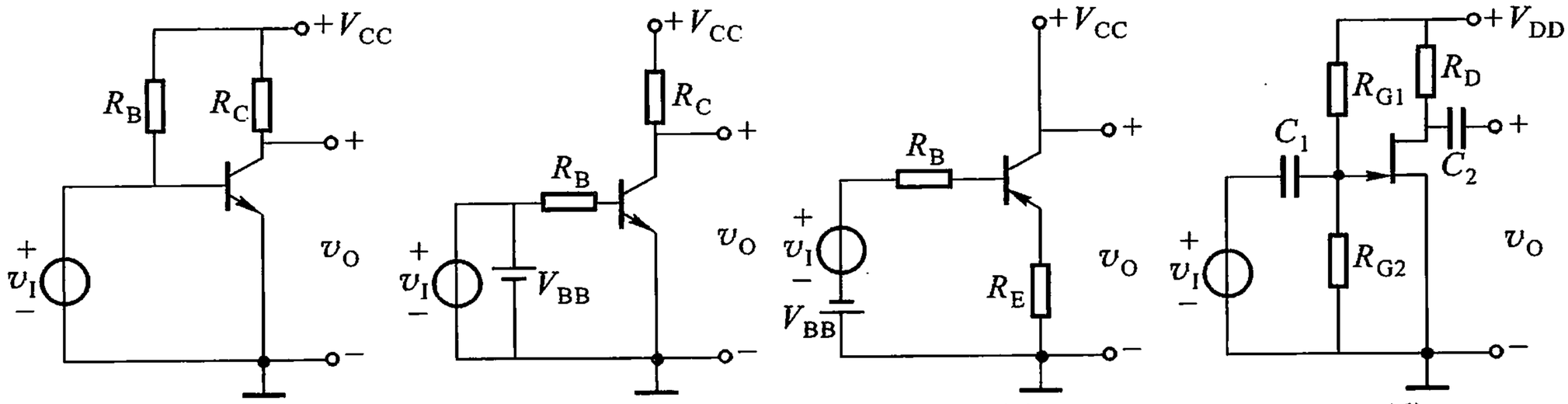


图 P2. 1

图 P2. 2

（1）作负载线，找出静态工作点 Q 和放大电路的动态范围。若要获得尽可能大的动态范围，R_B 应取多大的数值？

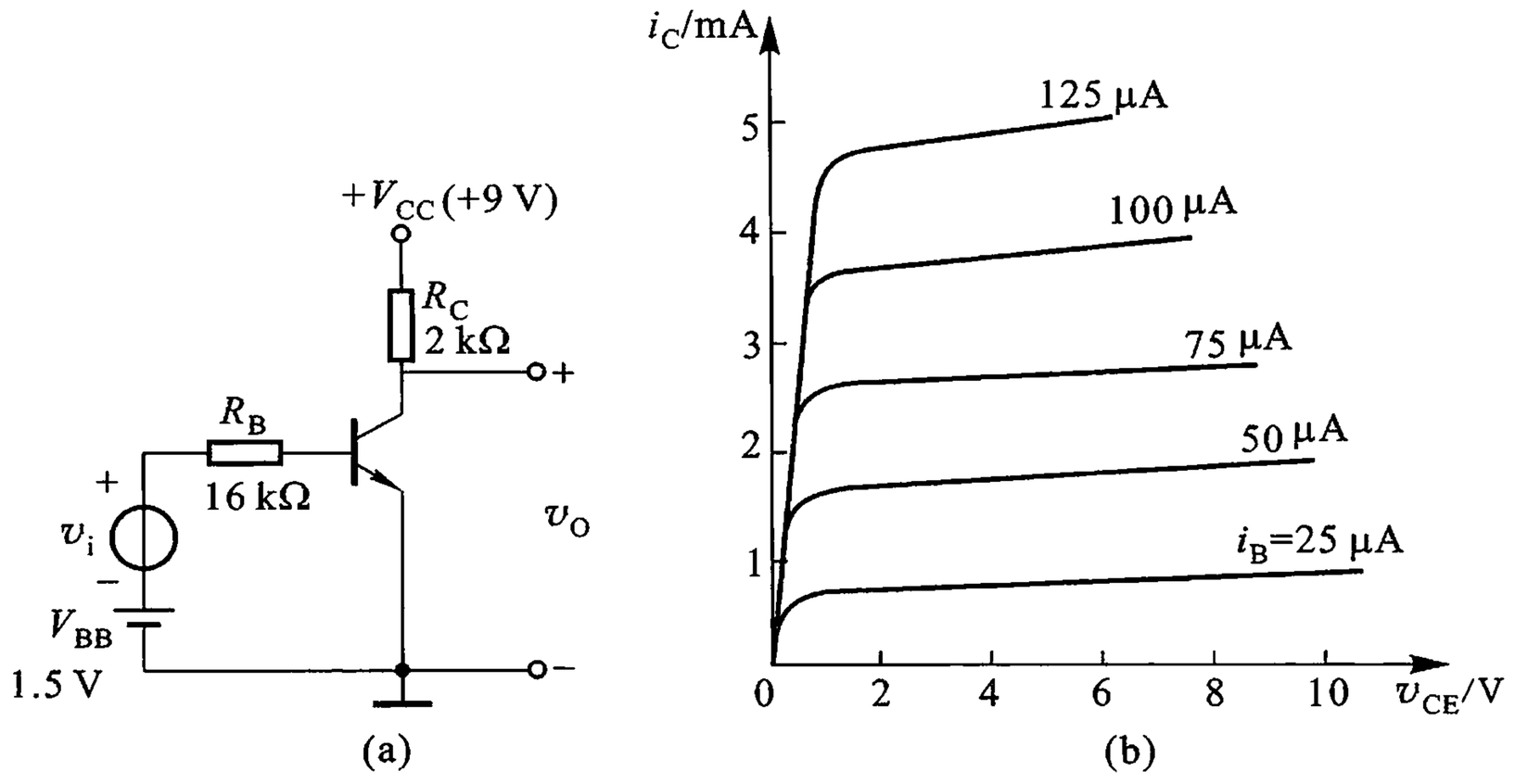


图 P2. 3

（2）电路其他参数不变，R_C 由 2 kΩ 变为 5.1 kΩ，Q 点移到何处？

（3）电路其他参数不变，R_B 由 16 kΩ 变为 32 kΩ，Q 点移到何处？

（4）电路其他参数不变，V_{CC} 由 9 V 减至 6 V，Q 点移到何处？

2.4 放大电路和晶体管的特性仍如图 P2.3 所示。

（1）求静态工作点附近的 β 和 r_{be}；

（2）画出简化的 h 参数等效电路，计算 $\dot{A}_V$、R_i 和 R_o。

2.5 放大电路如图 P2.5 所示，设晶体管的 $\beta=60$。

（1）计算不带负载 R_L 时的静态工作点；画出 h 参数等效电路，计算 $\dot{A}_V$、R_i 和 R_o；

（2）计算带上负载 R_L 后的静态工作点；画出 h 参数等效电路，计算 $\dot{A}_V$ 和 R_o。

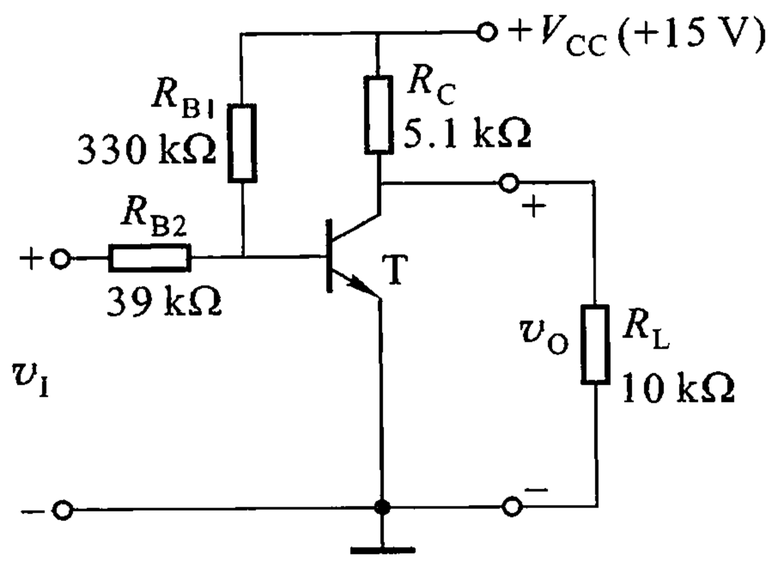


图 P2.5

2.6 在图 P2.6(a)所示的放大电路中输入正弦信号时，若输出信号波形如图(b)和图(c)所示，试问它们各为何种失真？应如何调节 R_{B1} 才有可能使输出波形不失真？若改变 R_{B1} 的大小仍得不到完好的正弦波输出，为什么？

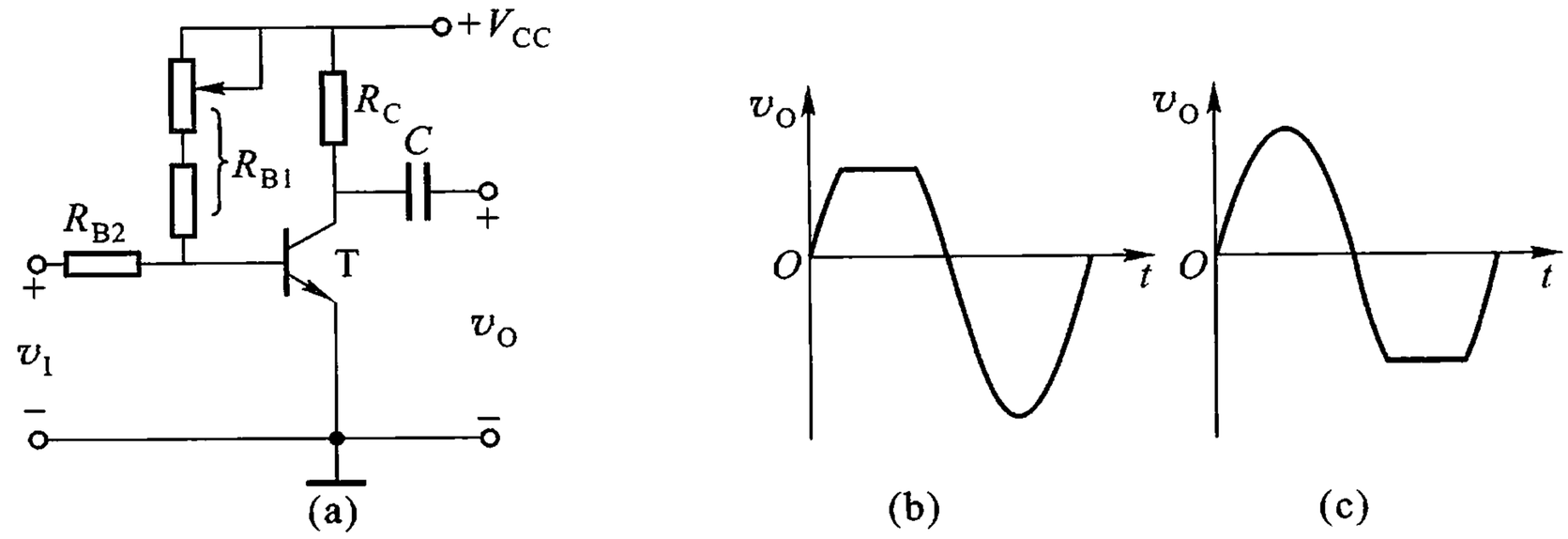


图 P2.6

2.7 电路如图 P2.7 所示。已知 $\beta=60$，电容的容抗可忽略。

（1）计算静态工作点；

（2）画出简化的 h 参数等效电路，计算 $\dot{A}_V$、R_i 和 R_o。

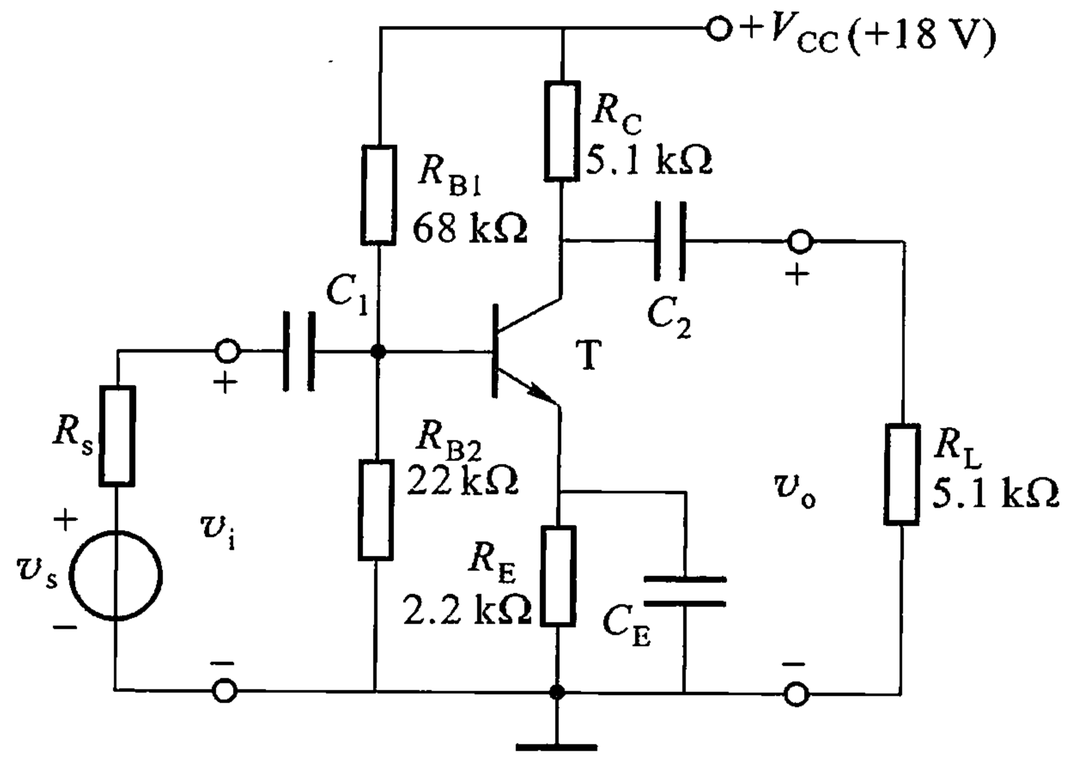


图 P2.7

2.8　阻容耦合射极输出器如图 P2.8 所示，已知 $\beta = 50$。

（1）计算静态工作点；

（2）画出简化的 h 参数等效电路，计算 $\dot{A}_V$、R_i 和 R_o。

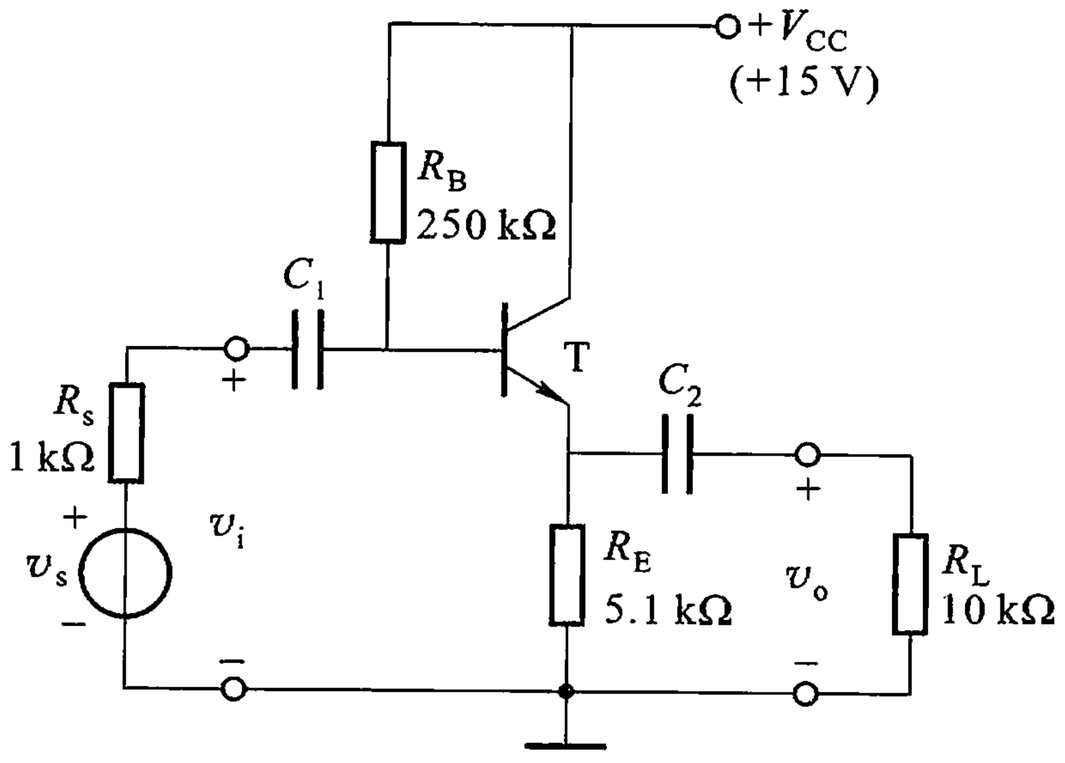


图 P2.8

2.9　电路如图 P2.9 所示。电容的容抗均可忽略。

（1）画出简化的 h 参数等效电路，计算 $\dot{A}_{V1} = \dot{V}_{o1}/\dot{V}_i$、$\dot{A}_{V2} = \dot{V}_{o2}/\dot{V}_i$、$R_{o1}$ 和 R_{o2}；

（2）当 $R_C = R_E$ 时，两个输出电压 $\dot{V}_{o1}$ 和 $\dot{V}_{o2}$ 在振幅和相位上有何关系？

2.10　电路如图 P2.10 所示，已知 $\beta = 50$，电容的容抗均可忽略。

（1）计算静态工作点；

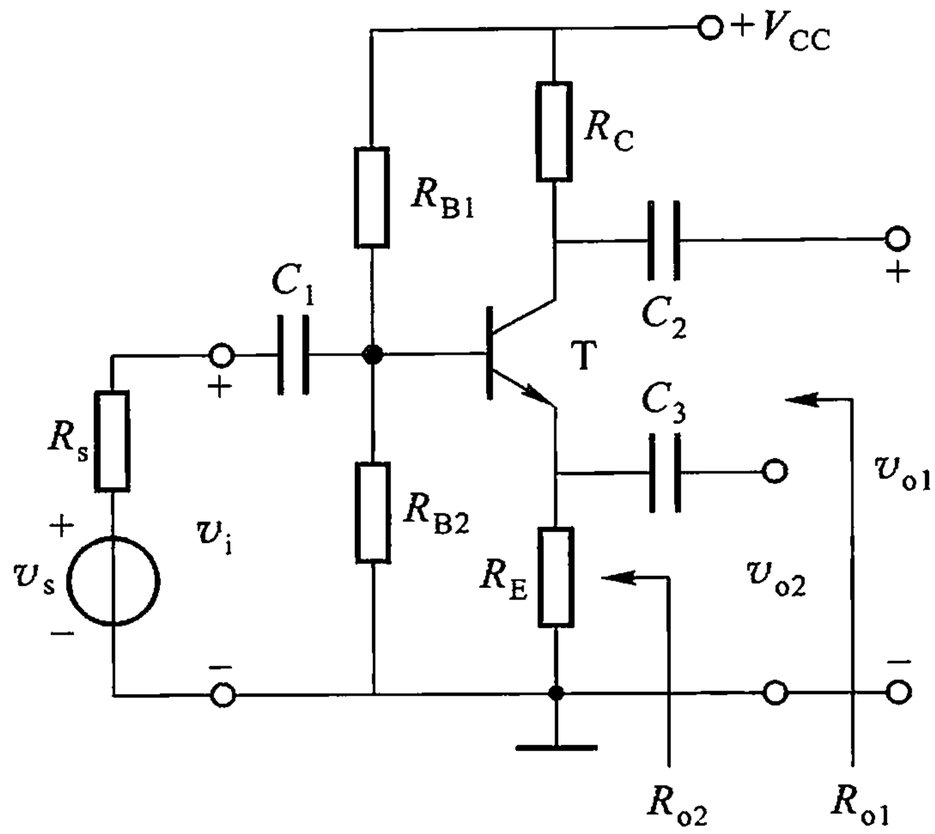


图 P2.9

（2）画出简化的 h 参数等效电路，计算 $\dot{A}_V$、R_i 和 R_o。

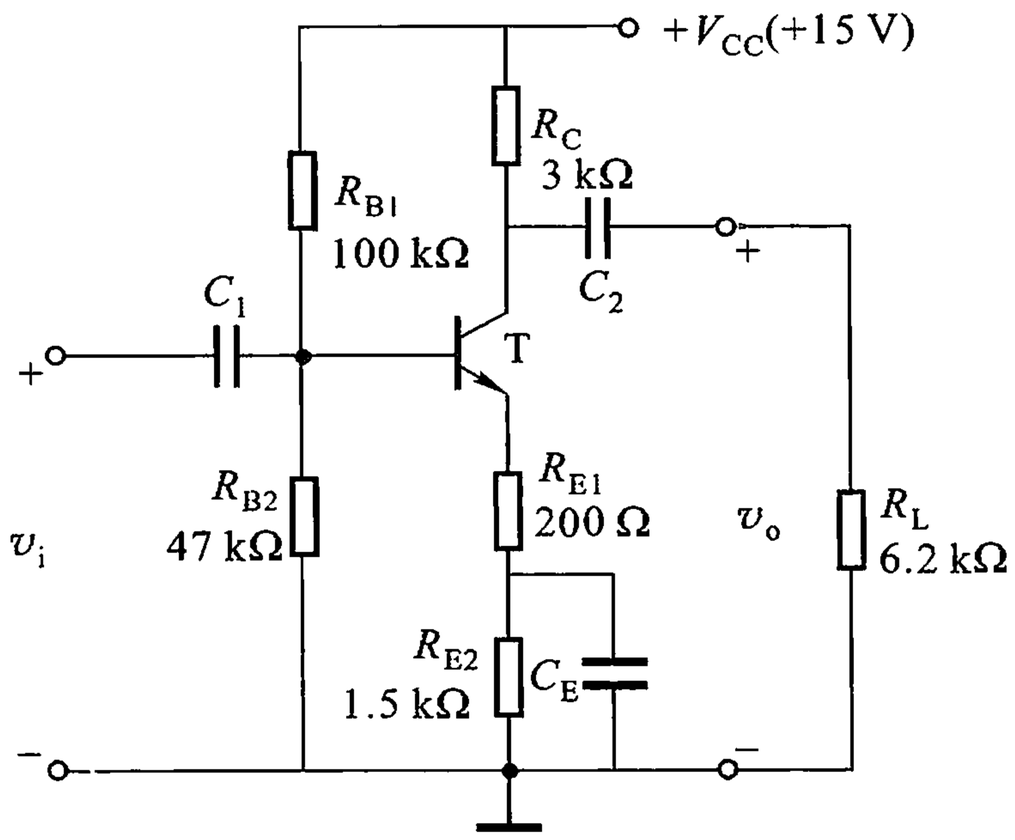


图 P2.10

2.11 集电极－基极偏置放大电路如图 P2.11 所示，T 为硅管，其 $\beta = 100$。

（1）计算静态工作点；

（2）如果要求 $V_{CE} = 6.5$ V，R_B 的值应为多大？

（3）画出简化的 h 参数等效电路，并用密勒定理作进一步简化；

（4）推导 $\dot{A}_V$、R_i 和 R_o 的表达式，并算出它们的数值。

2.12 图 P2.12 为源极输出器，设 $g_m = 1$ mS，r_{ds} 可以忽略不计。试推导电压放大倍数 A_V 和输入电阻 R_i 的表达式，并算出其数值。

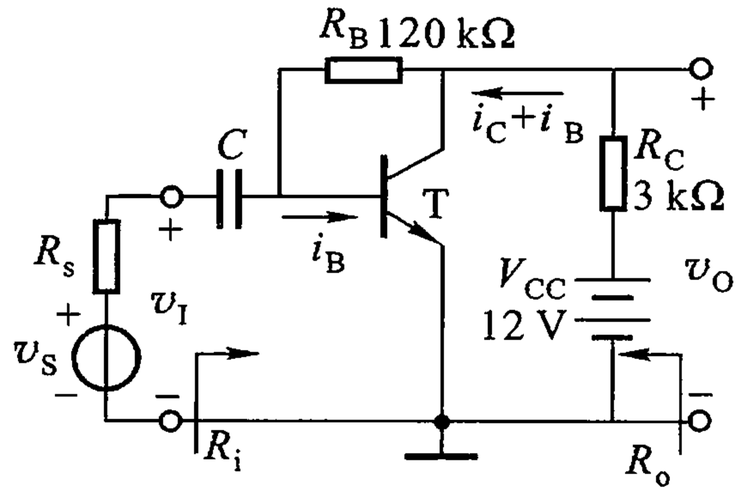


图 P2.11

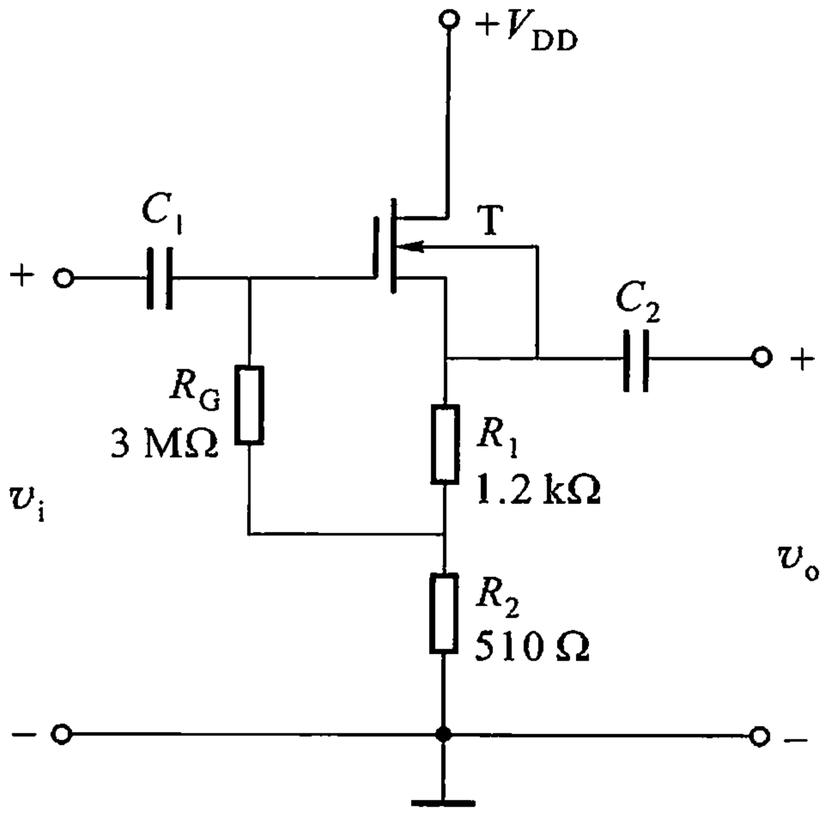


图 P2.12

2.13　MOS 管放大电路如图 P2.13(a)所示，放大管的输出特性如图(b)所示。

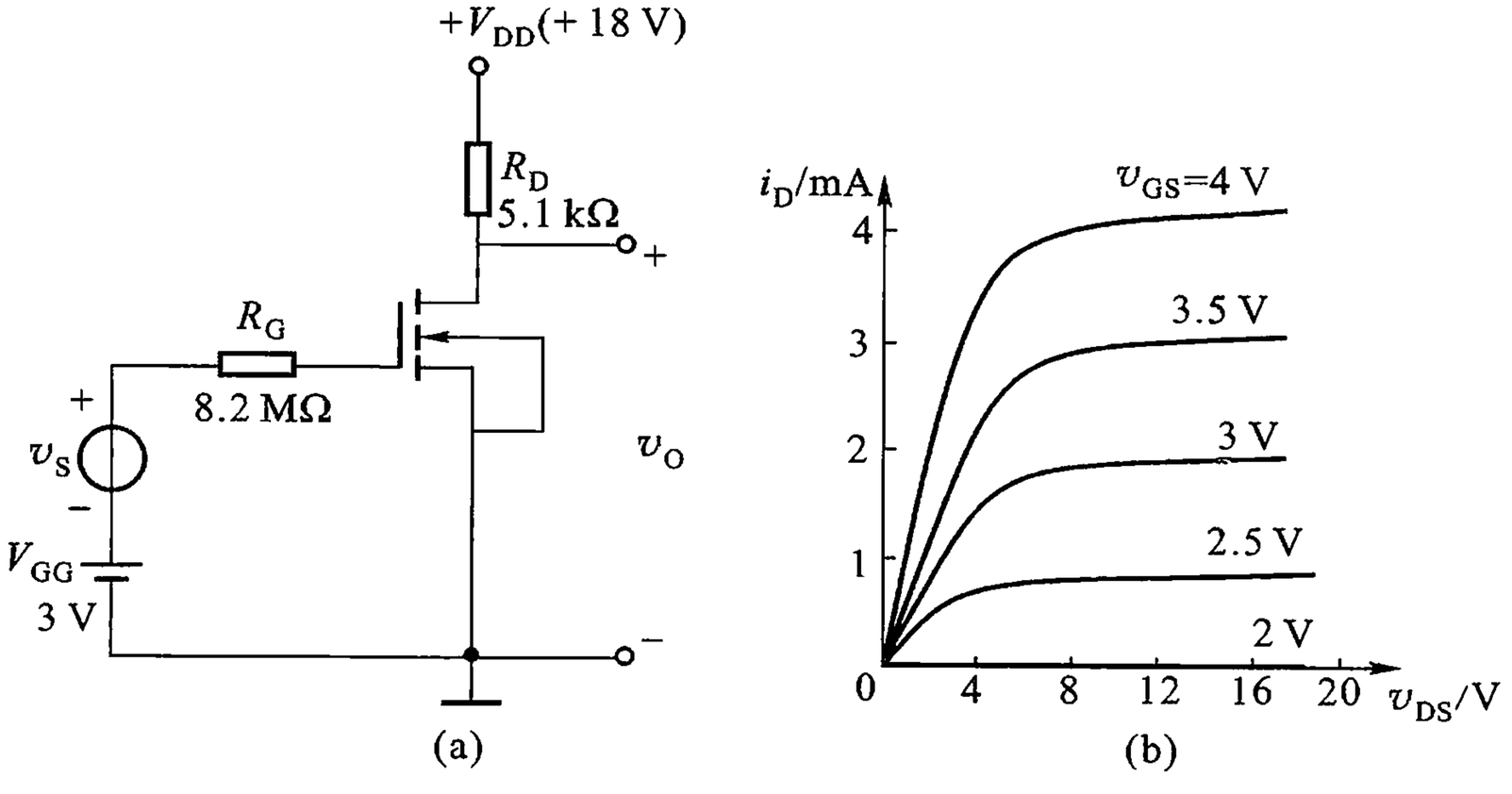


图 P2.13

(1) 用图解法确定静态工作点 Q，并求出工作点处的跨导 g_m；

(2) 画出交流等效电路，求电压放大倍数 $\dot{A}_V$。

2.14　自偏压场效应管放大电路如图 P2.14 所示。设 $I_{D(sat)}=4$ mA，$V_{GS(off)}=-7$ V，$r_{ds} \gg R_D$。试计算静态工作点和电压放大倍数。(提示：场效应管的栅偏压由 R_S 上的电压提供。)

2.15　图 P2.15 为一恒流源电路，试证 $I_0 \approx I_{REF}\, R_1/R_2$。

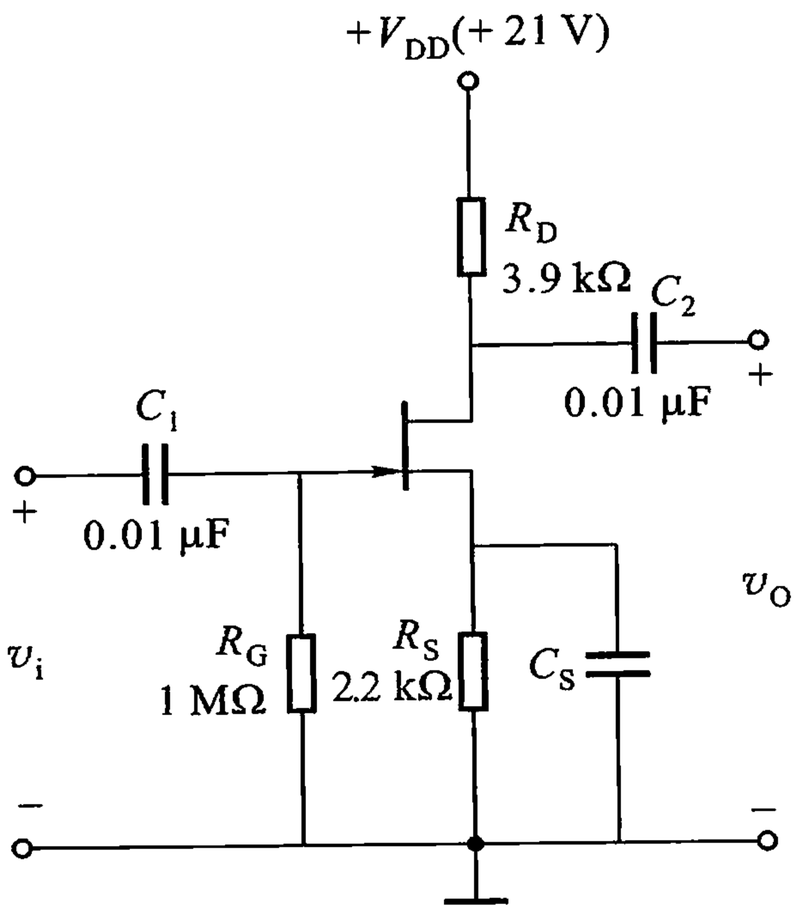


图 P2.14

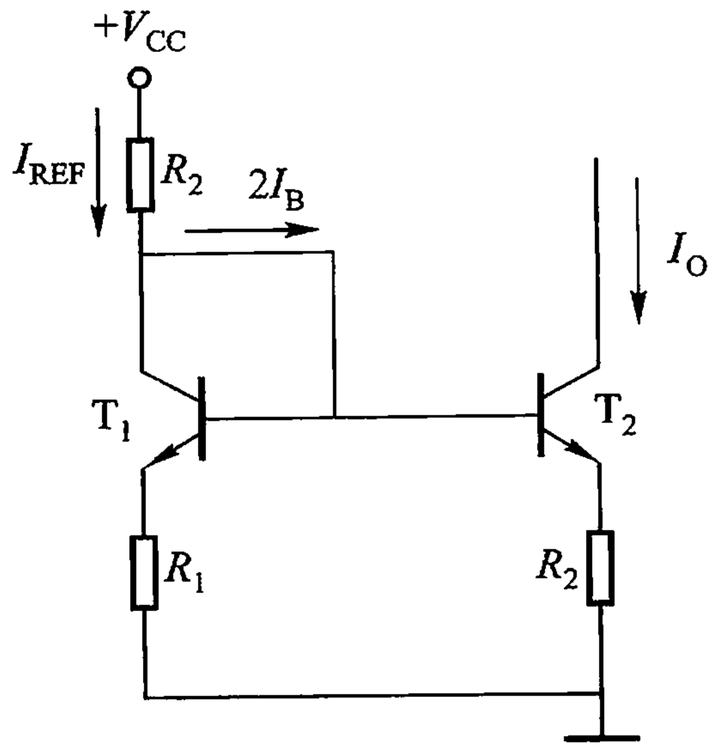


图 P2.15

2.16 放大电路如图 P2.16 所示，已知晶体管的参数为：$g_m = 60$ mS，$r_{bb'} = 200\ \Omega$，$r_{b'e} = 900\ \Omega$，$C_{b'c} = 3$ pF，$C_{b'e} = 100$ pF。设 C_E 的容抗很小，可视为短路。

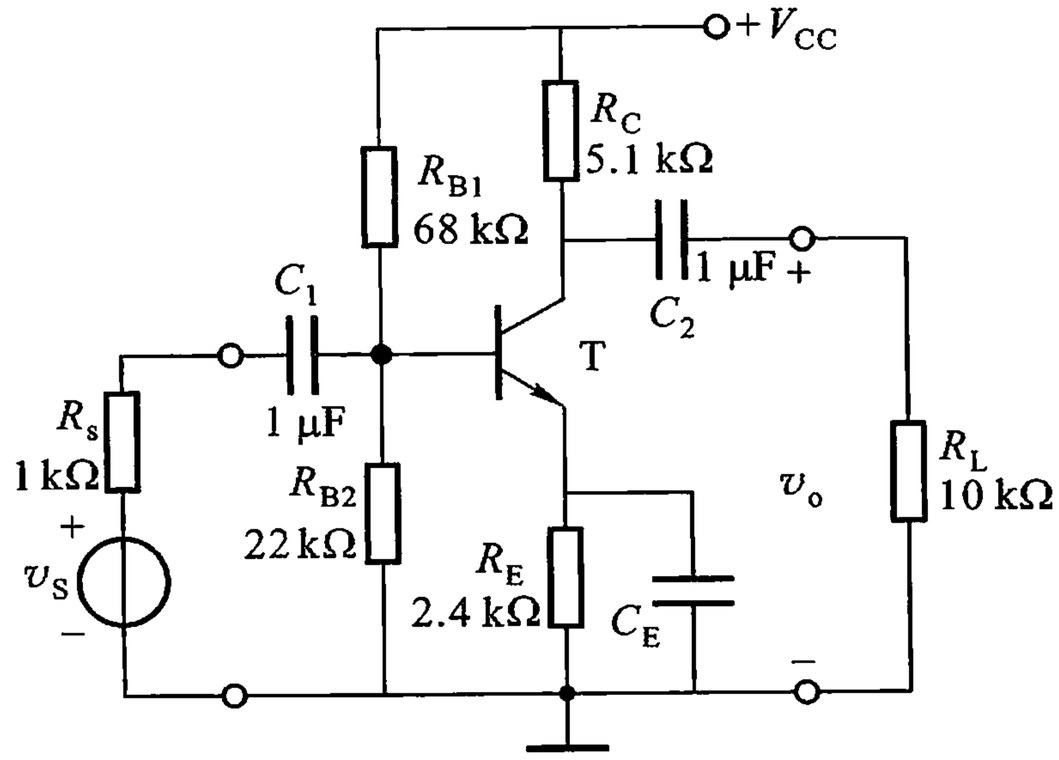


图 P2.16

（1）画出低频混合 π 等效电路，不考虑 C_2，推导出放大电路的下限频率 f_{L1} 的表达式，并算出其值；

（2）不考虑 C_1，下限频率 $f_{L2} = ?$

（3）同时考虑 C_1 和 C_2，画出这一放大电路的低频对数幅频特性和相频特性，$f_L = ?$

（4）计算电路的上限频率 f_H，并画出高频段的对数幅频特性和相频特性。

2.17 两级放大电路如图 P2.17 所示，设 $\beta_1 = \beta_2 = 50$。

（1）计算 T_1、T_2 的静态工作点和 r_{be1}、r_{be2}。

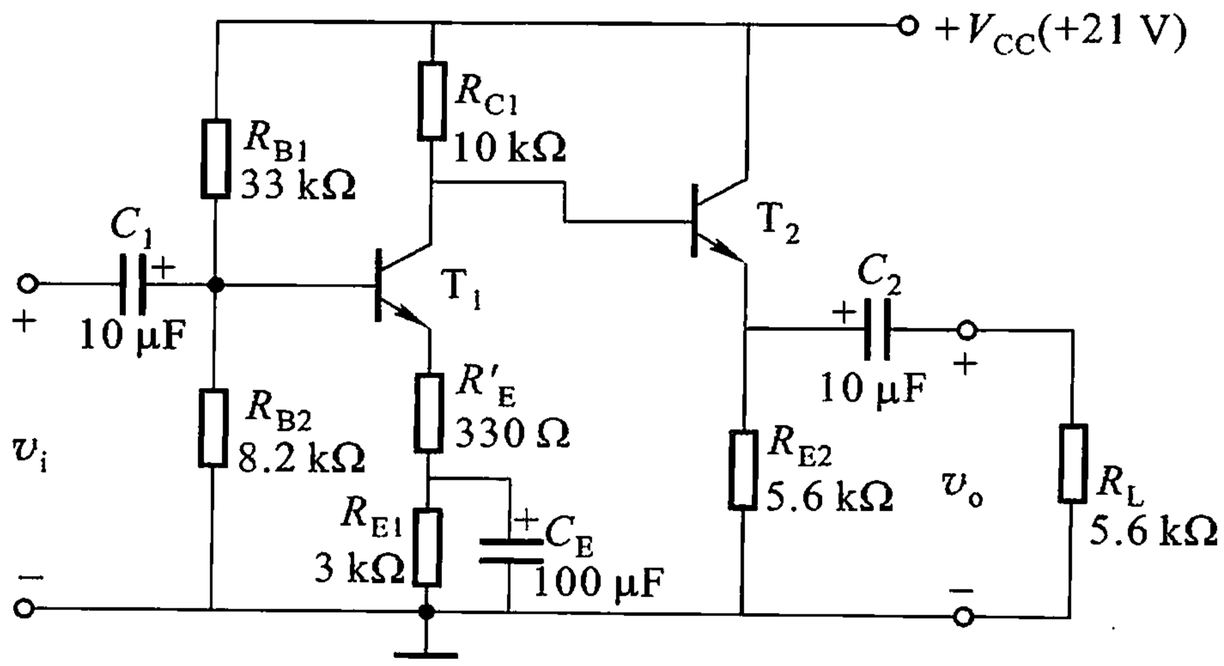


图 P2. 17

（2）计算放大电路的中频电压放大倍数、输入电阻和输出电阻。

2. 18　两级直接耦合放大电路如图 P2. 18 所示。

（1）试分析这一放大电路的结构特点以及偏置的提供方法。

（2）设 $\beta_1 = \beta_2 = 80$，$r_{be1} = r_{be2} = 1\ \text{k}\Omega$，试计算 A_V、R_i 和 R_o。

2. 19　差分放大电路如图 P2. 19 所示，R_p 为调零电位器。假定电路完全对称，两管的 $\beta = 50$，$V_{BE} = 0.7\ \text{V}$。

（1）若电路作双端输出，即开关 S 与 1 接通，试计算电路的静态工作点、差模放大倍数 $\dot{A}_{VD}$、共模放大倍数 $\dot{A}_{VC}$、共模抑制比 K_{CMR}、差模输入电阻 R_{id}、共模输入电阻 R_{ic} 和输出电阻 R_o。

（2）若电路作单端输出，即开关 S 与 2 接通，试计算电路的静态工作点、$\dot{A}_{VD1}$、$\dot{A}_{VC1}$、K_{CMR1}、R_{id}、R_{ic} 和 R_o。

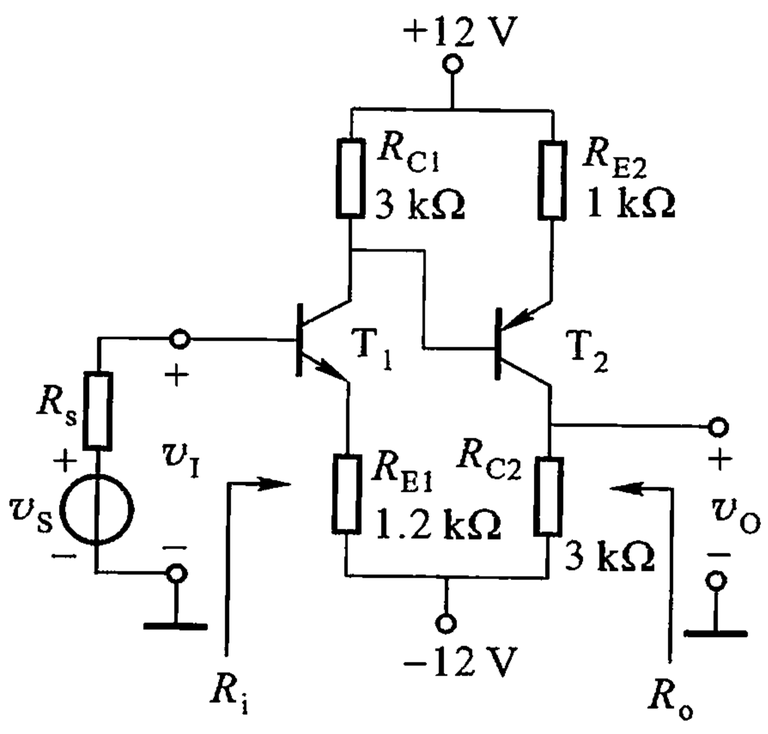


图 P2. 18

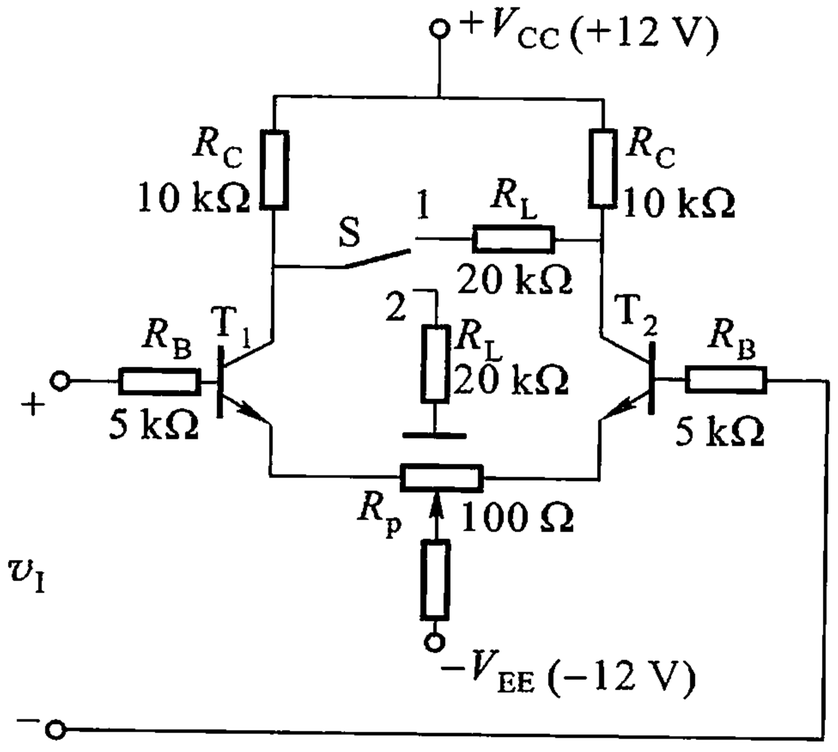


图 P2. 19

2.20 简单的晶体管恒流源电路如图 P2.20 所示。试用 h 参数等效电路(略去 r_{be},但 r_{ce}不能忽略)推导出电流源的交流内阻 R_{AB}的表达式。

2.21 图 P2.21 为带恒流源的差分放大电路,设晶体管的 β 均为 50。

(1) 计算 T_1、T_2 和 T_3 的静态工作点;

(2) 若 $r_{ce3}=80\ k\Omega$,利用题 2.20 的结果计算恒流源的交流电阻 R_{AB};

(3) 计算电路的$\dot{A}_{VD1}$、$\dot{A}_{VC1}$、K_{CMR1}、R_{id}、R_{ic}和 R_o。

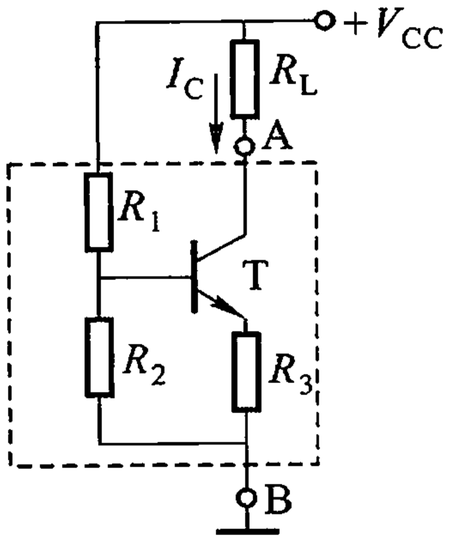


图 P2.20

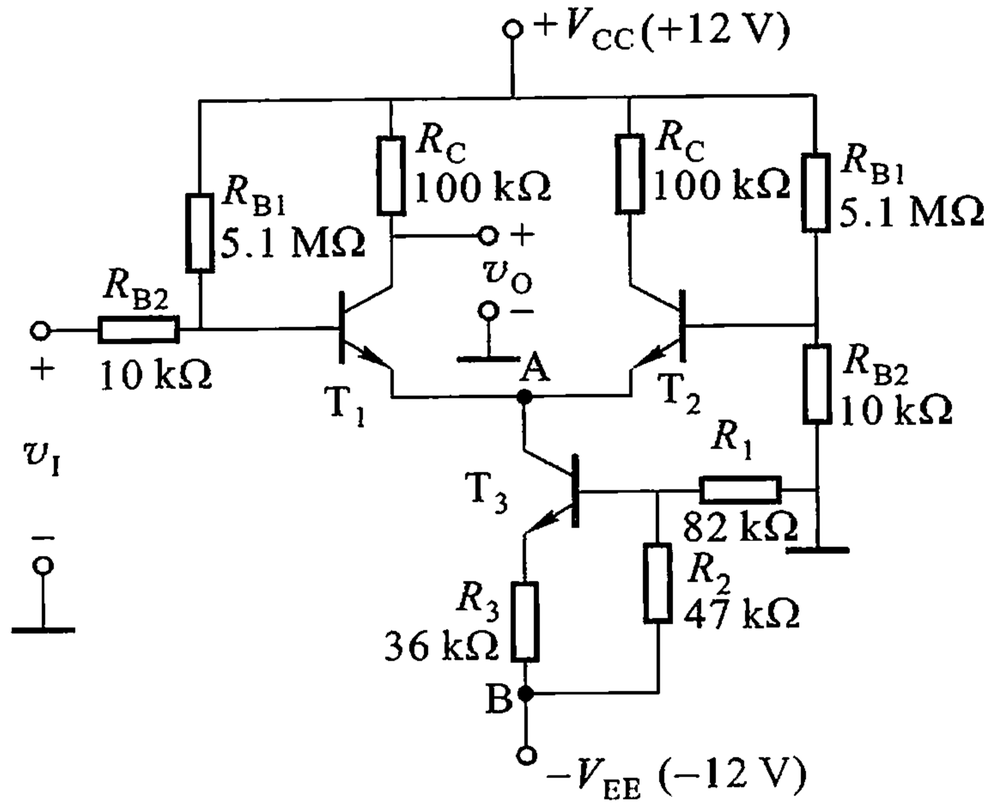


图 P2.21

2.22 共射 - 共基差分放大电路如图 P2.22 所示,试导出其差模放大倍数 $\dot{A}_{VD}$,并画出将 R_C 和 R_E 改为恒流源的电路。

2.23 图 P2.23 所示为场效应管差分放大电路,已知场效应管的 $V_{GS(off)}=-2\ V$,$I_{D(sat)}=2\ mA$。试求此电路的共模抑制比。

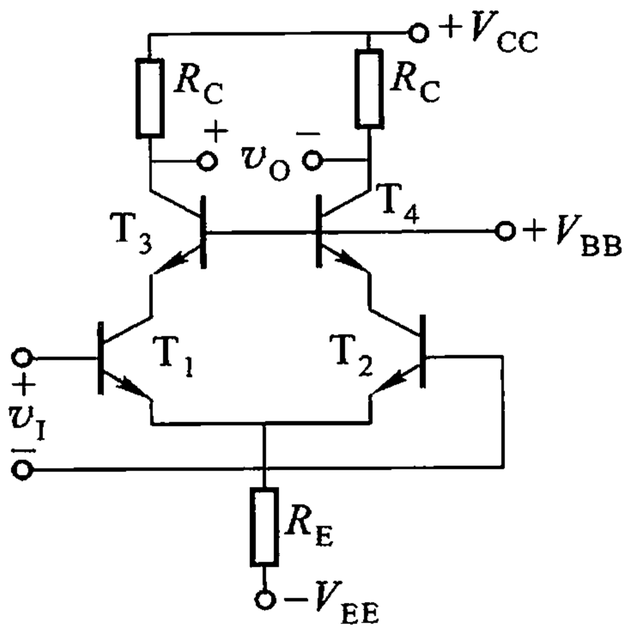


图 P2.22

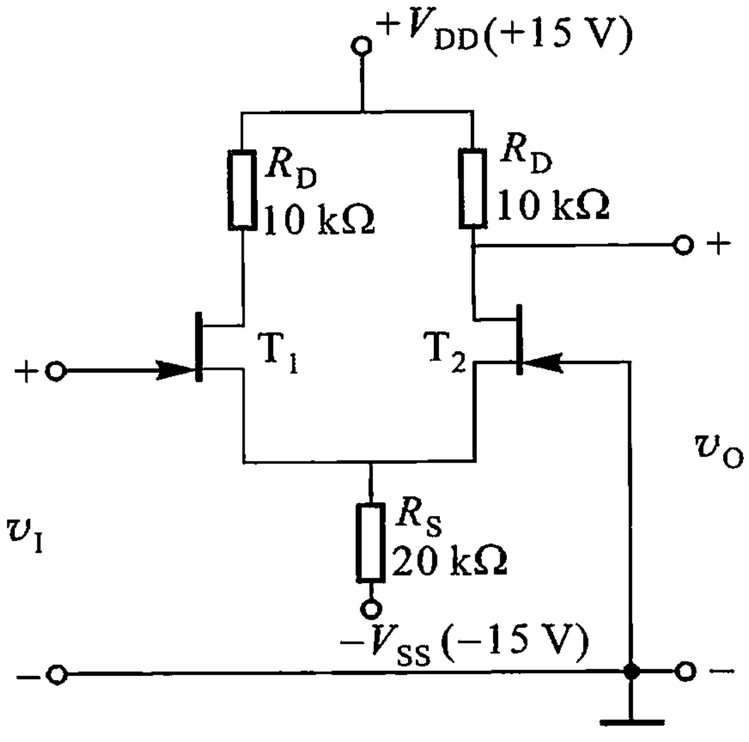


图 P2.23

2.24　在图 P2.24 所示的电路中 $v_I = 0$ 时，$v_O = 0$。晶体管为硅管，$V_{BE} = 0.7$ V，$\beta = 80$。试计算 R_{C1} 的值和电路的电压放大倍数。

2.25　乙类互补功率放大器如图 2.11.2 所示，设 $V_{CC} = |V_{EE}| = 9$ V，$R_L = 8\ \Omega$，晶体管饱和压降 $V_{CE(sat)} = 1$ V，输入交流信号足够大，使集电极电流、电压的动态范围充分利用，试计算 P_{om}、η_m 和 P_T。

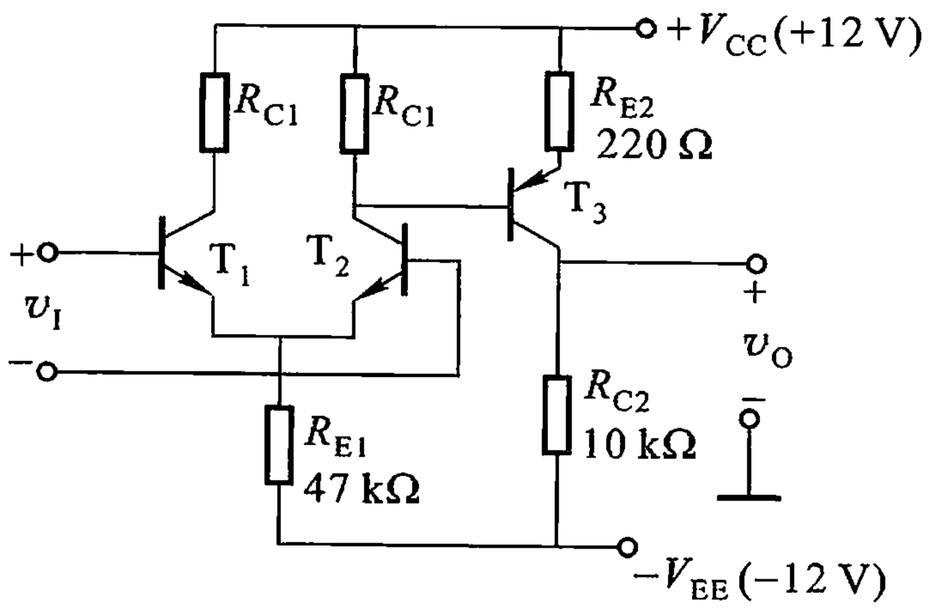


图 P2.24

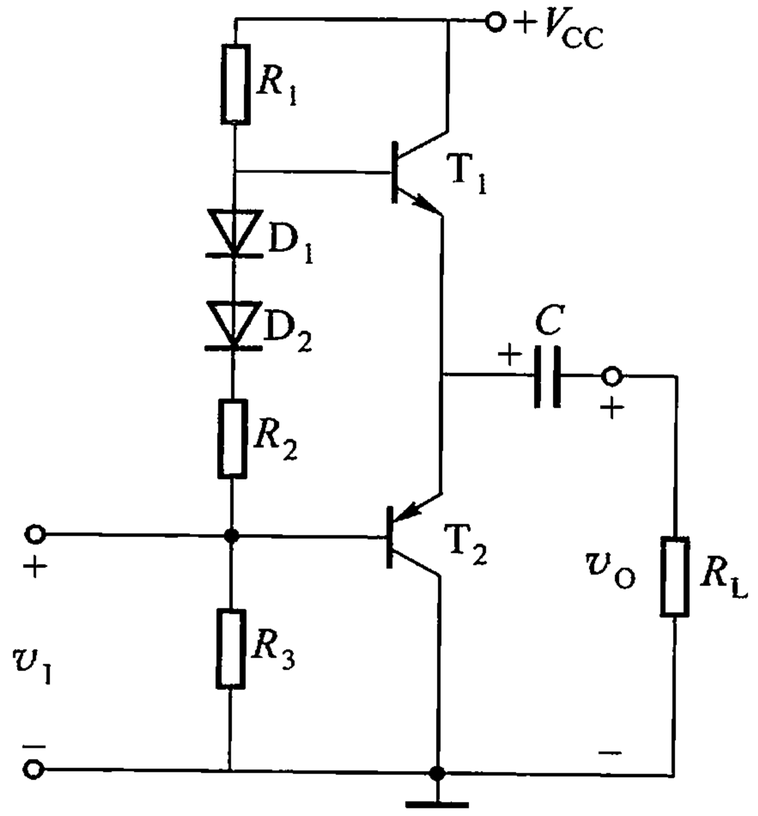


图 P2.25

2.26　甲乙类互补对称功率放大器如图 P2.26 所示。设 $R_L = 8\ \Omega$，$V_{CC} = 12$ V，晶体管饱和压降 $V_{CE(sat)} = 1$ V，电容 C 的容量足够大。并假定工作点较低，计算电路参量时可视为乙类工作状态。试计算 P_{om}、P_T 和 η_m。

第 3 章　集成运算放大电路

引　言

集成运算放大器是一种性能优良的多级直接耦合放大电路，又是一种通用性很强的多功能部件。随着集成电路的大量生产，它在自动控制、测量设备、计算机设备和电信等几乎一切电子领域中获得了日益广泛的应用。

集成运算放大器（简称集成运放）是模拟集成电路中最具有代表性的器件。本章首先较为详细地介绍了集成运放的基本单元电路和整体电路，以便对集成运放有一个深入的了解，为正确选择和使用集成运放打好基础，同时又是提高读图能力的一次极好的演练。其后讨论由理想运放构成的基本放大电路和加、减、乘、除等运算电路。

3.1　集成运放的基本单元电路

采用半导体器件的制造工艺，在一小块硅片上集成的包括许多有源元件和无源元件的整体电路，称为集成电路。按电路功能来分，集成电路有数字集成电路和模拟集成电路两大类。数字集成电路用来产生和处理各种数字信号；模拟集成电路用来产生和处理各种模拟信号或者进行模拟信号和数字信号的相互转换。

模拟集成电路的种类很多，有集成运算放大器、集成宽带放大器、集成功率放大器、集成稳压器、集成数模和模数转换器以及为各种电子设备配套的集成电路。集成运放是一种通用性较强的多功能器件，最初用于模拟计算机中，配合适当的反馈网络可实现加、减、乘、除、积分、微分、对数、反对数等各种运算功能，运算放大器由此得名。但是目前集成运放已作为通用器件广泛用于模拟电子线路的各个领域。

3.1.1　集成运放的组成及电路符号

集成运放实际上是一个高放大倍数的多级直接耦合放大电路，它有两个输入端和一个输出端，其符号如图 3.1.1 所示。在两个输入端中，一个是反相输入端，注有“－”号，表示输出电压 v_O 与该端的输入电压 v_N 相位相反；另一个为同

相输入端，注以“ + ”号，表示 v_O 与该端的输入电压 v_P 相位相同。它们之间的关系是

$$v_O = A_{VO}(v_P - v_N) \tag{3.1.1}$$

式(3.1.1)中，A_{VO}为集成运放的开环差模电压放大倍数。

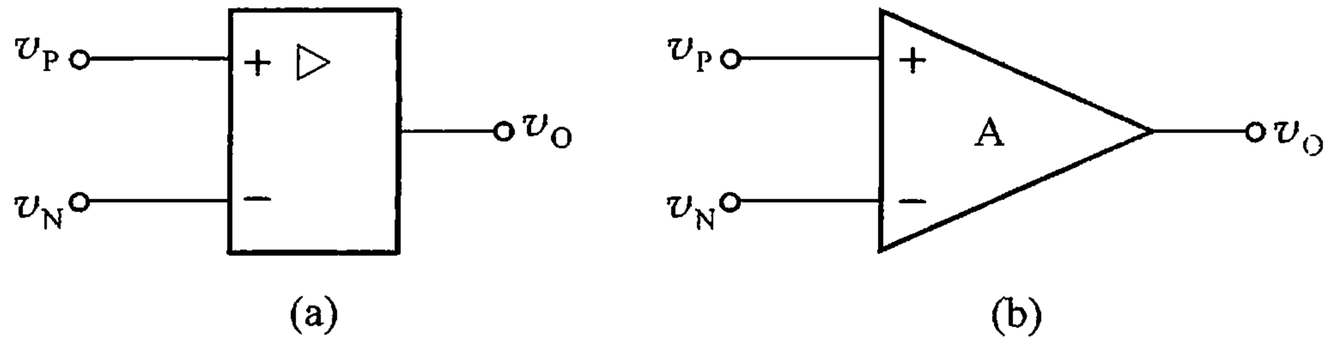


图 3.1.1　集成运放的符号

（a）国家标准规定的符号　（b）国外常用的符号

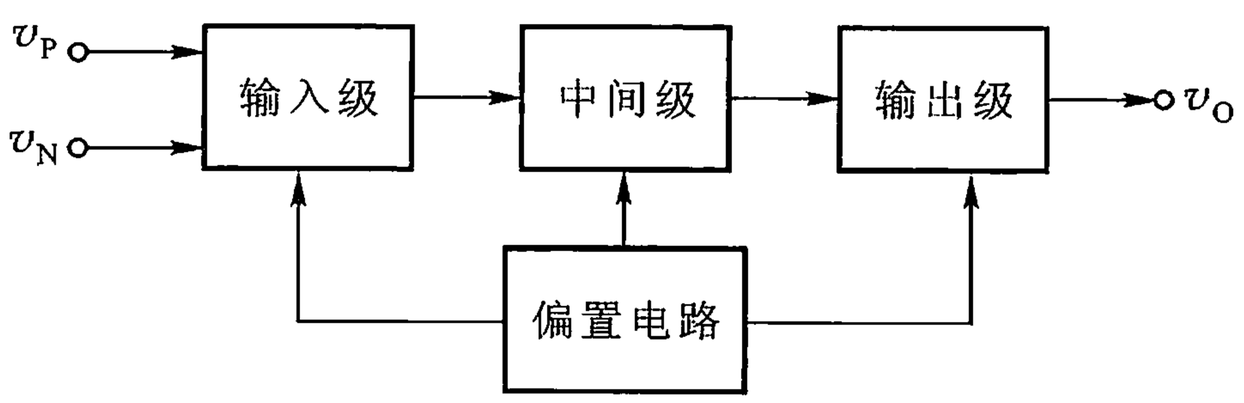


图 3.1.2　集成运放的方框图

集成运放大体上由输入级、中间级、输出级和偏置电路 4 个部分组成，如图 3.1.2 所示。其中，输入级采用差分放大电路；中间级由一至两级直接耦合共射放大电路组成，其作用是提供足够大的电压放大倍数；输出级为单端或互补对称功率放大电路，其作用是提高集成运放的负载能力；偏置电路由恒流源组成，为各放大级设置合适的静态工作点以及作为放大管的有源负载。偏置电路就是 2.10 节介绍的电流源电路，本节不再重复介绍。

3.1.2　集成运放输入级

集成运放输入级由差分输入级构成，它是运放的关键部分。原因在于多级直接耦合放大电路中，输入级的漂移影响最大，输入级的偏置电流不仅决定了整个放大电路的输入电阻，而且还影响到漂移指标。因此，差分输入级除了应有良好的对称性，以减小漂移和提高共模抑制比外，还应尽量减小基极偏置电流，以提高电路的输入电阻和进一步减小漂移。

采用β值较高的纵向 NPN 管和β值低的横向 PNP 管组成共集 - 共基差分放大电路,如图 3.1.3 所示,可以显著改善差分输入级的性能。实际上它由两级差分放大电路组成,第一级由 NPN 管 T_1 和 T_2 组成共集电极差分电路,信号从它们的基极输入,从发射极输出,横向 PNP 管 T_3 和 T_4 为其发射极负载,$I_{1,2}$为该级的集电极恒流源。第二级由 T_3 和 T_4 组成共基极差分电路,其负载电阻为 R_{C1}和 R_{C2},信号由发射极输入,由集电极输出,$I_{3,4}$为基极恒流源。

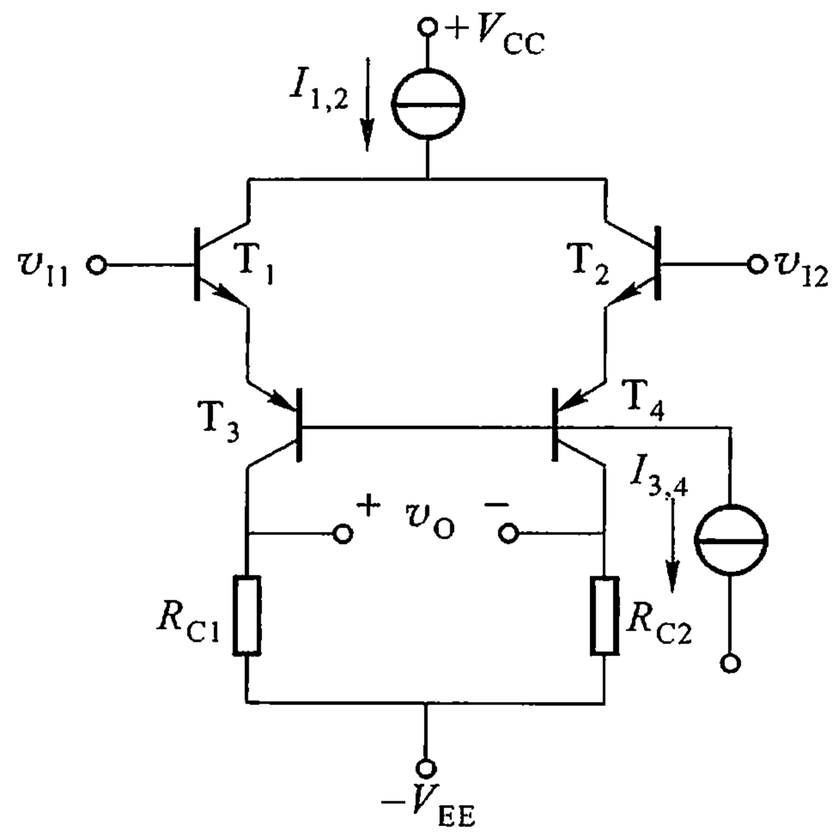


图 3.1.3　共集 - 共基差分放大电路

横向 PNP 管可在制造纵向 NPN 管的过程中同时制造出来。由于电极的几何位置和载流子的运动方向均为横向的,如图 3.1.4 中所示,故称为横向(晶体)管。而图中 NPN 管载流子的运动方向是垂直于界面的,故称为纵向(晶体)管。由于受制版和光刻等工艺的限制,横向管基区的宽度不可能做得很小,所以β值较低,频率特性也较差,这是横向管的两个缺点。但是基区较宽又给横向管带来了 BE 结反向击穿电压较高(可高达 90 V)的优点,而普通晶体管的 $V_{(BR)BEO}$只有 5 ~ 7 V。

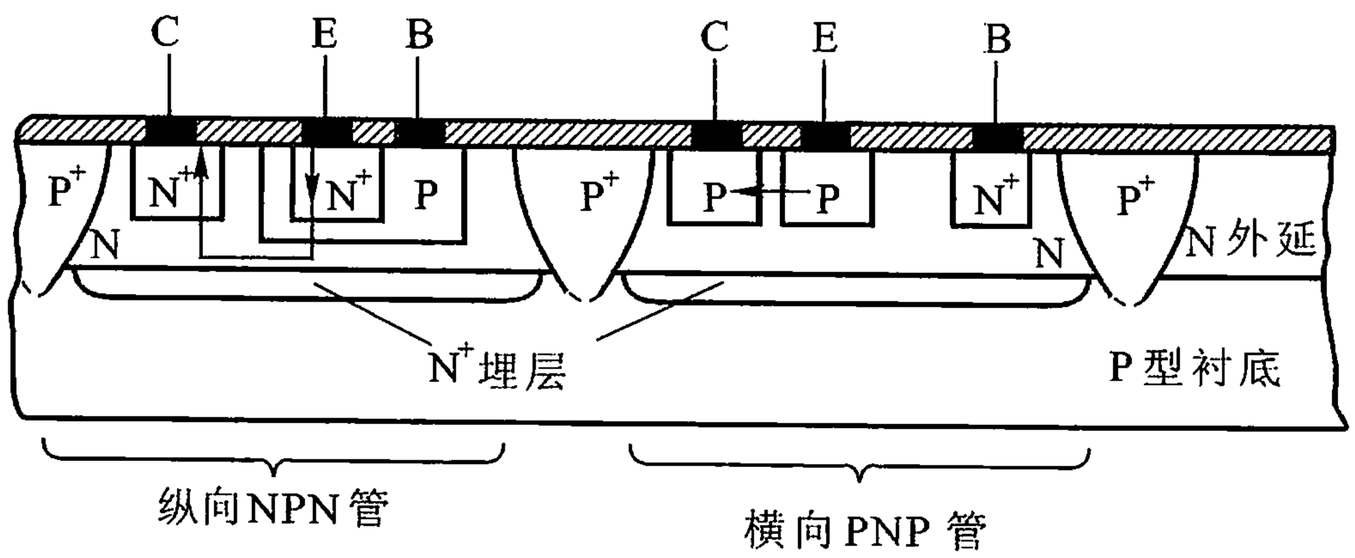


图 3.1.4　纵向 NPN 管和横向 PNP 管的结构

共集 - 共基电路有 3 个特点:第一,由于 T_1、T_2 管组成共集电极电路,输入电阻高;第二,利用了 NPN 管β值高的特点弥补横向 PNP 管β值低的弱点,使电路仍有较大的电压放大倍数;第三,最大差模输入电压比普通电路大得多。在图 3.1.3 中可看出,差模电压主要降在负向工作的一组晶体管(T_1、T_3 或 T_2、T_4)的发射结上,其最大值可等于一组晶体管发射结的反向击穿电压之和,而横向 PNP

管的 BE 结有很高的反向击穿电压，因此，使最大差模输入电压可达 ±30 V 以上。

在指标较高的集成运放中，常采用超 β 管来构成输入级，使输入级的偏置电流减小一个数量级以上，这是集成运放在低漂移性能上的一项重大突破。超 β 管与普通管的结构基本相同，只是超 β 管的基区宽度更窄，发射区的杂质浓度更高和基区的杂质浓度更低。采取了这些措施，使管子在低电流情况下的 β 值提高到 1000 ~ 5000。

集成运放有两个输入端但只有一个输出端，其中必须插入变双端输出为单端输出的电路。差分放大电路本可作单端输出，但简单地这样做将使放大倍数损失一半。采用带有恒流源负载的差分电路，如图 3.1.4 所示，虽然是单端输出，但可得到与双端输出有几乎同等的放大倍数。

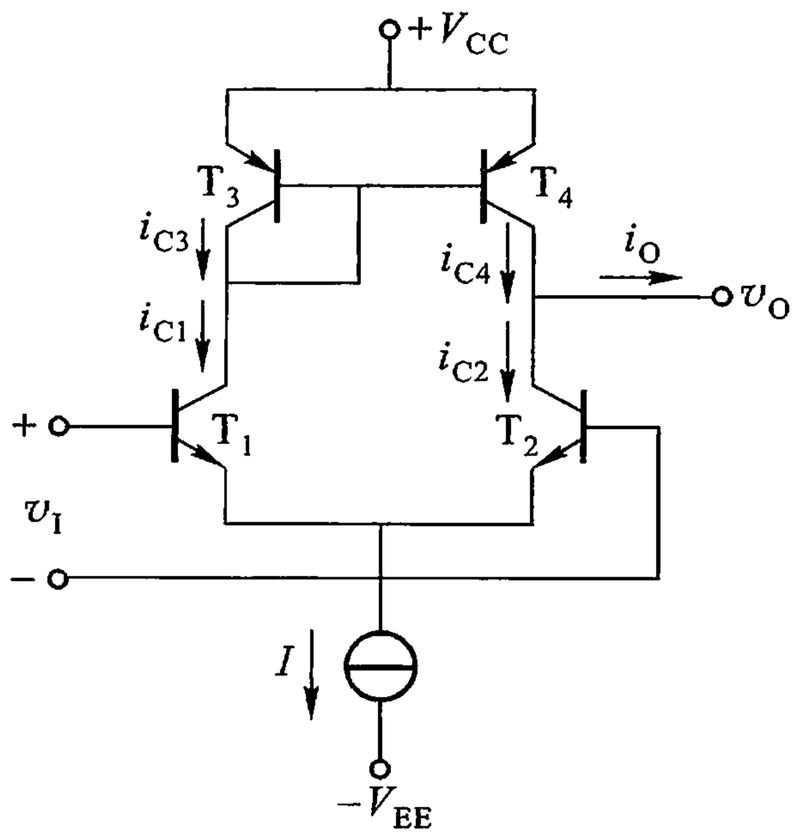


图 3.1.5　有源负载差分放大电路将双端信号转换为单端信号

在图 3.1.5 所示电路中，由 T_3、T_4 组成镜像恒流源，T_3、T_4 分别作为差分放大管 T_1、T_2 的有源负载，恒流源 I 为 T_1、T_2 管提供发射极电流。电路处于静态时，$I_{C1} = I_{C2} \approx I/2$，设 T_3、T_4 的 β 足够大，可以忽略 T_3、T_4 的基级电流，则有 $I_{C3} \approx I_{C1}$，$I_{C4} \approx I_{C2}$，因此输出电流

$$i_O = I_{C4} - I_{C2} = I_{C4} - I_{C1} \approx I_{C4} - I_{C3} = 0$$

电路处于动态时，加上了差模输入电压 v_I，设极性为正，则 i_{C1} 增大，i_{C2} 减小，可以为 $\Delta i_{C1} = -\Delta i_{C2}$。对于 T_3、T_4 恒流源，$\Delta i_{C3} \approx \Delta i_{C4}$，故输出电流为

$$\Delta i_O = \Delta i_{C4} - \Delta i_{C2} = \Delta i_{C3} - (-\Delta i_{C1}) = 2\ \Delta i_{C1}$$

由此可见，电路虽然是单端输出，却可得到接近于双端输出的输出电流。

在集成运放的实际电路中，可不必专门设置图 3.1.5 的电路，只需将图 3.1.5与图 3.1.3 结合起来，即将图 3.1.3 中的 R_{C1}、R_{C2} 换成镜像恒流源，从 T_4 的集电极输出，这个电路就增加了无增益损失的变双端输出为单端输出的功能。

3.1.3　集成运放中间级

集成运放中间级的主要任务是提供足够大的电压放大倍数。为了避免前级放大管的有源负载被中间级的输入电阻过多的旁路，中间级还应有很大的输入

电阻。要达到这两个目的，中间级常采用复合管和有源负载，并采用共射放大电路。

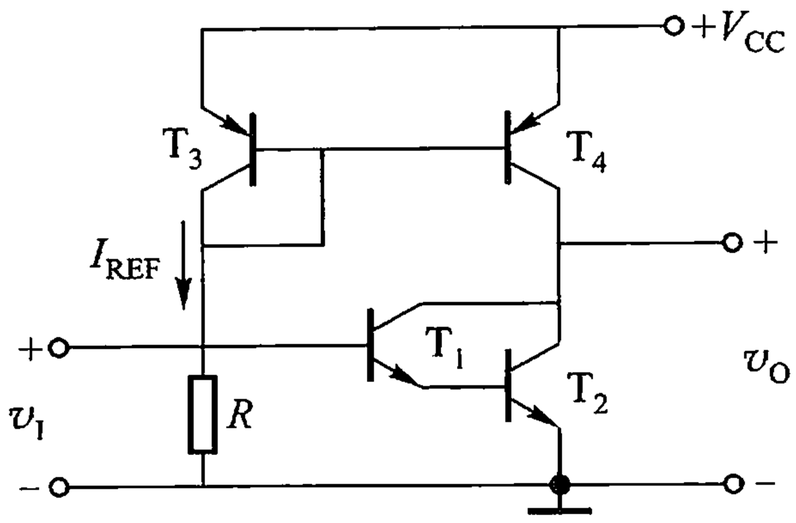


图 3.1.6　采用复合管和有源负载的共射放大电路

图 3.1.6 所示电路是中间级常用的一种放大电路形式。放大管由 T_1、T_2 组成共射放大电路，由于是同型复合管，它的 $\beta \approx \beta_1\beta_2$，而输入电阻 $r_{be} \approx \beta_1 r_{be2}$。镜像恒流源由 T_3、T_4 组成，T_4 作为放大管的有源负载，它具有很大的交流电阻和合适的直流电阻。基准电流 I_{REF} 由 V_{CC}、T_3 和 R 支路产生，由图 3.1.6 可得

$$I_{REF} = \frac{V_{CC} - V_{BE3}}{R}$$

因此，改变 R 值即可调节放大管的工作电流。因为复合管的 β 值很大和采用有源负载，使电路具有很高的电压放大倍数，又由于同型复合管的 r_{be} 很大，使放大电路具有很高的输入电阻，完全满足了中间级的要求。

3.1.4　集成运放输出级

集成运放输出级的主要作用是能输出足够大的信号功率。此外，它还应有较大的输入电阻，以减小对前级集电极恒流源负载的旁路作用，确保前级有较大的电压放大倍数；输出级还应有较小的输出电阻，以提高输出电压的稳定性和带负载能力。由于输出级是在大信号下工作，为了减小非线性失真和提高效率，一般采用甲乙类互补对称功率放大电路。输出级还应设置过载保护电路，在输出过载或意外短路时，功放晶体管才可免遭损坏。

一种常用的集成运放输出级电路，如图 3.1.7 所示，这是一个带有晶体管保护电路的甲乙类互补对称功率放大电路。R_3、R_4、T_5 为 T_1、T_2 的偏置电路，一般有 $I_3 >> I_{B5}$，则

$$V_{BE5} \approx \frac{R_4}{R_3 + R_4} V_{CE5}$$

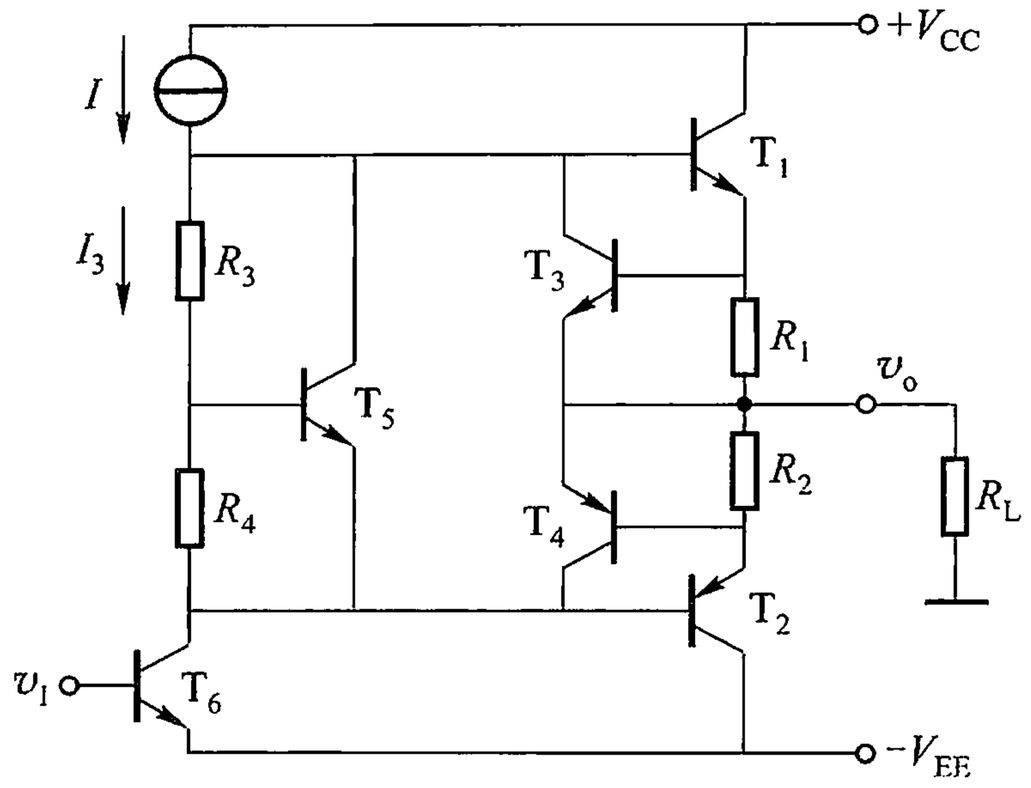


图 3.1.7　带有保护电路的甲乙类互补输出级

因而
$$V_{CE5} = V_{BE1} + V_{BE2} \approx \left(1 + \frac{R_3}{R_4}\right) V_{BE5}$$

改变 R_3 / R_4 比值，即可调整 T_1、T_2 的静态工作电流，使之达到较佳状态。该偏置电路可谓“放大 V_{BE} 电路”，它实质上是一个电压负反馈电路，C、E 间的动态电阻很小，V_{CE5} 近似于恒压源，为 T_1、T_2 提供稳定的偏置电压。

输出级的过载保护电路由 R_1、T_3 和 R_2、T_4 组成，如图 3.1.7 所示。通过 R_1、R_2 的适当取值，使之在正常工作时，T_3、T_4 截止，不起作用。一旦过载，设输出的正向电流过载，则 i_{C1} 很大，R_1 的压降增加，T_3 导通，v_{CE3} 减小，使得 v_{BE1} 减小，i_{C1} 减小，从而抑制了 T_1 的过载。若输出的反向电流过载，则 T_4 导通，v_{BE2} 减小，因而保护了 T_2 管。

3.2　集成运放的典型电路和参数

集成运放的种类很多，从它的性能和用途来分，有通用型、高输入阻抗型、低漂移型、高压大动态型等等。集成运放的发展已经历了 4 代产品，第一代集成运放电路的特点，是在数字集成电路工艺的基础上，开始使用少量的诸如横向 PNP 晶体管特殊元件，典型产品有 μA709，国产的有 F003、5G23 等；普遍使用有源负载是第二代集成运放的重要标志，典型的产品有 μA741、LM741，国产的有 5G24、F007、F324 等；第三代集成运放的特点是差分输入级采用了超 β 管，典型产品有 AD508、MC1556，国产的有 F1556、F030 等；第四代集成运放一般采用斩波稳零式放大电路，从集成度来说，它已属于中、大规模集成电路，这类产品有美

国的 HA2900 和国产的 5G7650 等。各代产品的性能，多数参数是后代胜于前代，其中第四代集成运放的性能，已接近于理想的直流放大器，在一般情况下无需调零即可使用。

集成运放电路很多，下面分析一种通用型的运放电路，以求对集成运放有一个总体的了解，达到更好地使用集成运放的目的。

3.2.1　集成运放典型电路的分析

集成运放 741 属于第二代产品，是一种通用型的集成运放，世界上有很多厂商生产 741 产品，国外同类产品的型号有 μA741、LM741、F741、AD741 以及 μPC741 等，国内同类产品有 F007、5G24 等。下面以美国一家半导体公司的产品 LM741 为例，对这一运放的内部电路作一较为详细的分析。

集成运放 LM741 的电路如图 3.2.1 所示，它由差分输入级、中间放大级、输出级以及偏置电路 4 个部分组成，是一个典型的集成运放电路。

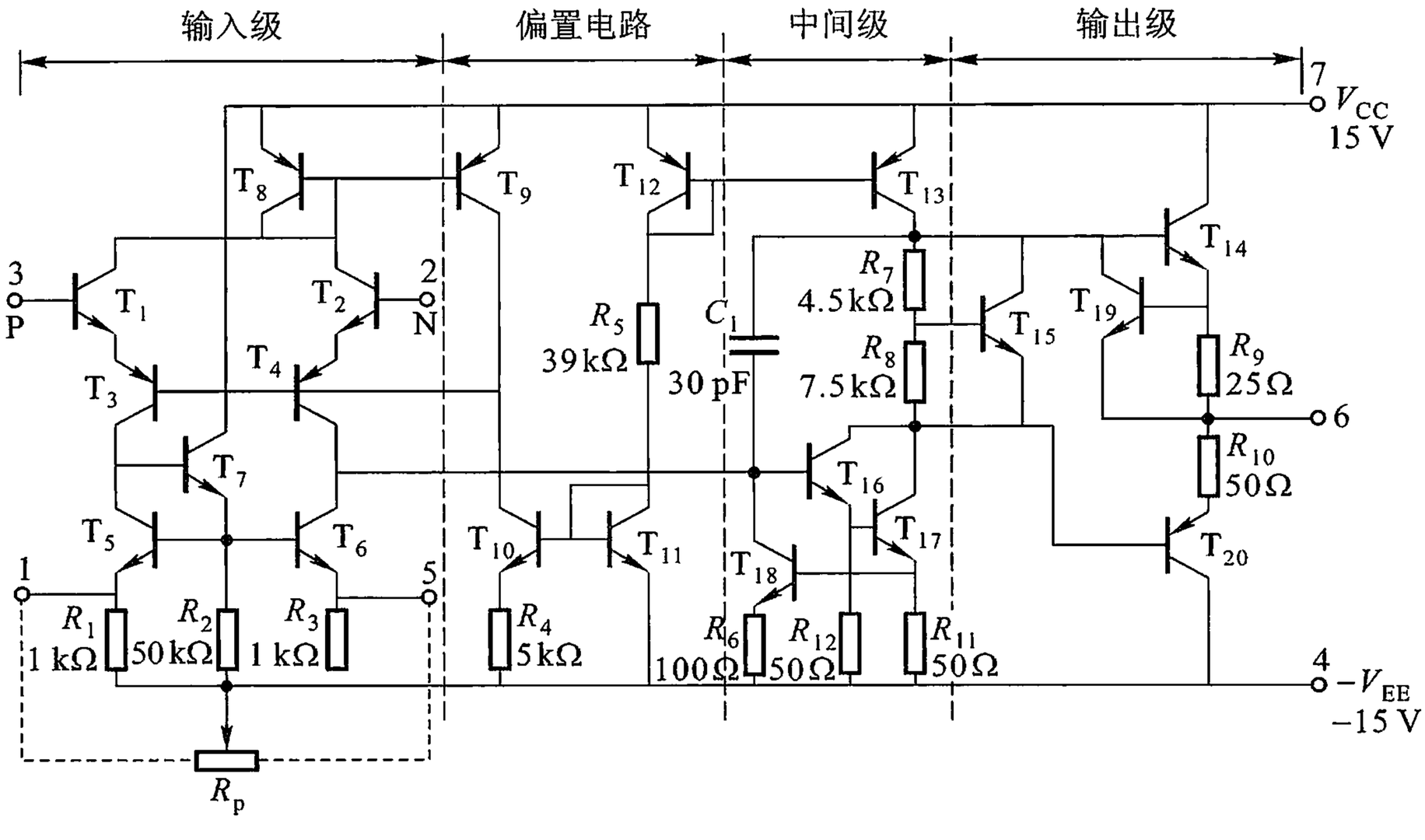


图 3.2.1　集成运放 LM741 的电路原理图

1. 偏置电路

由图 3.2.1 不难分离出 LM741 的偏置电路，如图 3.2.2 所示。由图可见，偏置电路由 $T_8 \sim T_{13}$ 和 R_4、R_5 组成，是一种组合电流源。主偏置电路的基准电流 I_{REF} 由 T_{12}、T_{11} 和电阻 R_5 这一支路决定，它可由下式算出

$$I_{REF} = \frac{V_{CC} + V_{EE} - V_{BE11} - V_{BE12}}{R_5}$$

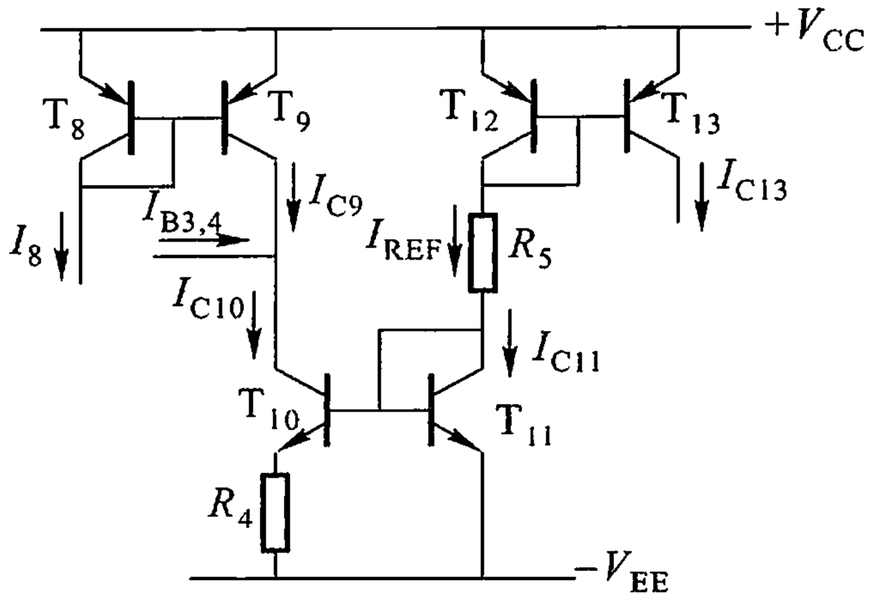


图 3.2.2　LM741 的恒流源偏置电路

根据基准电流，再安排 3 个电流源电路，产生各级所需的偏置电流。由 T_{10}、T_{11}和 R_4，组成微流源产生 I_{C10}，$I_{C10} << I_{REF}$，为微安级电流源，I_{C10}更加稳定。I_{C10}提供输入级 T_3、T_4 的基极电流 $I_{B3,4}$，还提供 T_9 的集电极电流 I_{C9}。

由横向 PNP 管 T_8、T_9 组成镜像电流源产生 I_8，作为输入级 T_1、T_2 管的集电极工作电流，显然 $I_8 \approx I_{C9}$，为微安级电流源，故输入级工作在弱电流状态。

由横向 PNP 管 T_{12}、T_{13}构成另一组镜像电流源，产生 I_{C13}，提供中间级 T_{16}、T_{17}集电极的静态电流，并作为中间级复合管的有源负载。

2. 输入级

输入级由 T_1 ~ T_8 组成，其简化电路如图 3.2.3 所示。T_1 ~ T_4 组成共集 - 共基差分电路，T_8 为电流源。T_5 ~ T_7 组成镜像电流源作为 T_3、T_4 的集电极负载，R_1、R_2 的作用是给 T_5、T_6 引入电流串联负反馈，以便进一步提高其交流电阻，使输入级有更高的放大倍数，在 T_5 的集基之间插入了由 T_7、R_3 组成的射极跟随器，它起隔离作用，使 T_5 和 T_3 的集电极电流更加接近，以便进一步提高 T_3、T_4 集电极电流的对称性。根据图 3.1.5 得知，由于采用了有源集电极负载，输入级还同时完成了双端信号变单端信号的转换任务。

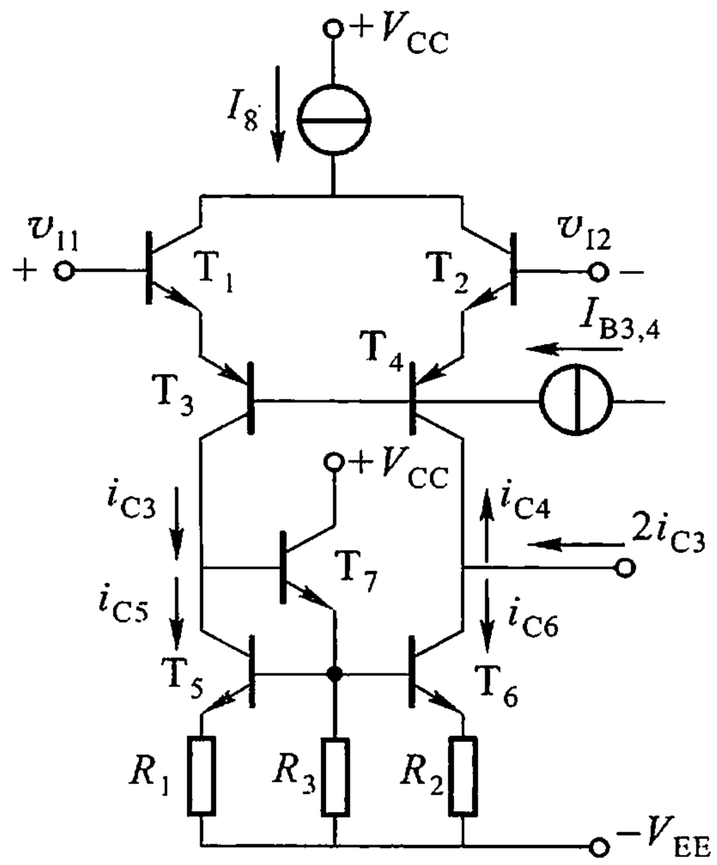


图 3.2.3　LM741 的输入级

3. 中间级

由复合管 T_{16}、T_{17}和 R_{11}、R_{12}组成的共射放大级为中间级，T_{13}为集电极有源

负载,其交流电阻很大,使该级可获得很高的电压放大倍数。该级还具有较高的输入电阻,使输入级的集电极有源负载得以发挥作用。

为了防止自激振荡,在中间级放大管的基极和集电极电路之间制作了一个容量为30 pF的电容C_1,这个电容将破坏能够产生自激振荡的相位条件,使运放工作稳定。

4. 输出级

LM741的输出级是一个互补对称放大电路,它由T_{14}、T_{20}、R_9、R_{10}和T_{15}、R_7、R_8组成。T_{14}、T_{20}为互补放大管,T_{15}和R_7、R_8给T_{14}、T_{15}提供稳定的偏压,使互补对称功率放大电路工作在甲乙类状态,避免了放大电路的交越失真。

为了防止输入级的输入信号过大或输出端意外短路时引起运放的损坏,输出级设置了过载保护电路。图3.2.1中T_{19}、R_9为输出管T_{14}的保护电路。当正向电流过大时,流过T_{14}和R_9的电流剧增,v_{CE19}减小,导致基极电压v_{BE14}减小,从而限制了T_{14}的电流增加,达到了保护输出管T_{14}的目的。

对于输出管T_{20},在输出端6对地短路时,$v_{CE20} + v_{R10} = |V_{EE}| = 15$ V,发射结和集电结均承受较高的电压,由于T_{20}为横向PNP管,其发射结可以承受较高的电压,T_{20}不会被击穿而损坏。当加在运放输入端3的反向信号过大时,此时3端电压为(-),$v_{C4} = v_{B16}$为正(+),这一过大的v_{B16},使T_{17}的发射极电压$v_{E17} = i_{E17} \cdot R_{11} = V_{B18}$大为增加,致使$T_{18}$由正常情况的接近截止状态转为导通,$v_{C18}$减小,限制了$|v_{C17}| = |v_{B20}|$的增加,从而保护了输出级放大管$T_{20}$。由此可见,$T_{18}$就是$T_{20}$的保护管。

在设计集成运放内部电路时,已对电路各处的电平高低作了合理的配置,以保证在静态输入电压为零时输出电压也为零。但由于设计和制造的误差以及环境温度变化等因素,集成运放难以完全做到静态零输出。为此,运放电路设置了两个引出端1和5,如图3.2.1所示,在引出端连接电位器R_P,滑动端接$-V_{EE}$,便可改变R_1和R_3的比值,使电路达到相应的平衡状态,满足了静态时零输出的要求。

3.2.2 集成运放的主要参数

集成运放性能的好坏,可用其参数来衡量。为了正确地选择和使用集成运放,必须明确其参数的意义。下面介绍几个主要的参数。

1. 开环差模电压放大倍数A_{VO}

A_{VO}是指在没有外接反馈电路时所测得的差模电压放大倍数。A_{VO}值越高,

所构成的运算电路越稳定,运算精度也越高。目前通用型运放的 A_{VO} 值约为 $10^4 \sim 10^7$,即 80 ~ 140 dB。

2. 最大差模输入电压 V_{IDM}

V_{IDM} 是运放两输入端所能承受的最大差模输入电压。超过这个电压值,运放输入级晶体管的发射结将出现反向击穿。

3. 最大输出电压 V_{OPP}

V_{OPP} 是指输出电压与输入电压保持不失真关系的最大输出电压。

4. 最大共模输入电压 V_{ICM}

V_{ICM} 是指运放的输入端所能允许施加共模电压的最大值。超过此值,将引起共模抑制比明显下降,甚至造成运放损坏。

5. 输入失调电压 V_{IO}

对于实际运放,即使输入电压为零,也有一定的电压输出。输入为零时的输出电压称为输出失调电压。把输出失调电压换算到输入端,即除以开环差模电压放大倍数,就是输入失调电压。也就是说,为使集成运放的输出电压为零,在输入端所施加的补偿电压,称为输入失调电压 V_{IO}。它的大小反映了运放中电路的对称程度和电平的配置情况。一般 V_{IO} 为 0.1 ~ 10 mV。

6. 输入偏置电流 I_{IB}

输入偏置电流 I_{IB} 定义为输出电压为零时,两个输入端静态基极电流 I_{BN} 和 I_{BP} 的算术平均值,即

$$I_{IB} = \frac{1}{2}(I_{BN} + I_{BP})$$

通常 I_{IB} 为 0.1 ~ 10 μA。

输入偏置电流的大小,取决于输入级的性能。使用中,总是希望 I_{IB} 愈小愈好。

7. 输入失调电流 I_{IO}

在输出电压为零时,两个输入端的静态基极电流之差,称为输入失调电流 I_{IO},即

$$I_{IO} = |I_{BN} - I_{BP}|$$

由于存在信号源内阻,$I_{IO} \neq 0$ 会在输入端引起一定的差模输入电压,使运放输出电压不为零。因此,I_{IO} 愈小愈好,一般为 0.5 nA ~ 0.1 μA。

8. 转换速率 S_R

转换速率 S_R 是在大幅度阶跃输入信号条件下,输出电压的最大变化率,即

$$S_R = \left| \frac{dv_O(t)}{dt} \right|_{max}$$

这个指标描述集成运放对大幅度信号的适应能力。通常集成运放的 S_R 值约为 1 V/μs,高速运放可达 100 V/μs。

9. 差模输入电阻 r_{id}

运放两输入端之间的等效电阻称为差模输入电阻 r_{id}。通常 r_{id}在 10 kΩ ~ 3 MΩ之间。

10. 共模输入电阻 r_{ic}

是指运放对共模信号所呈现的输入电阻 r_{ic},其大小等于两输入端并联对地的等效电阻值。r_{ic}的量级为 10^8 Ω。

集成运放的主要参数,除上述几个外,还有共模抑制比 K_{CMR}、输出电阻 r_o、静态功耗 P_D 等,这些参数的含义读者已经熟悉,不再赘述。

下面列举通用型集成运放 LM741 的参数,作为一个比较典型的例子,以供参考。

开环差模电压放大倍数	A_{VO}	100 dB (10^5)
最大差模输入电压	V_{IDM}	±30 V
最大输出电压	V_{OPP}	±13 V
最大共模输入电压	V_{ICM}	±15 V
输入失调电压	V_{IO}	1.0 mV
输入偏置电流	I_{IB}	80 nA
输入失调电流	I_{IO}	20 nA
转换速率	S_R	0.5 V/μs
差模输入电阻	r_{id}	2.0 MΩ
共模抑制比	K_{CMR}	90 dB
输出电阻	r_o	75 Ω
静态功耗	P_D	500 mW

3.3 集成运放的基本电路

3.3.1 理想运放的特性

在分析各种应用电路的原理时,通常把运放看作是理想的,其符号见图

3.3.1。这样处理使电路分析大为简化，而且所得结果与实际情况相当一致。理想运放有以下主要特性：

（1）开环差模电压放大倍数 $A_{VO}=\infty$；

（2）差模输入电阻 $r_{id}=\infty$，共模输入电阻 $r_{ic}=\infty$；

（3）输出电阻 $r_o=0$；

（4）共模抑制比 $K_{CMR}=\infty$；

（5）输入失调电压、输入失调电流以及它们的漂移均为零。

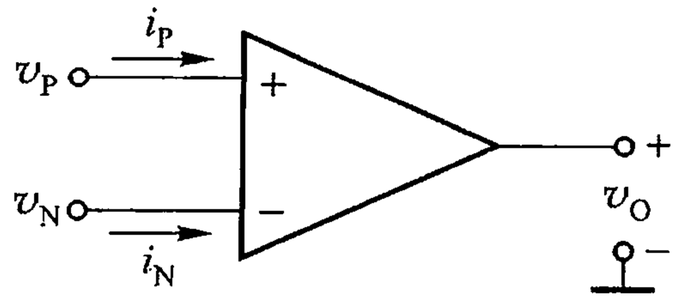


图 3.3.1　理想运放的符号

当理想运放工作在线性区，即输出电压与输入电压呈线性关系时，利用它的理想化参数可导出下面两个重要结论：

（1）运放的输入电流 $i_N=i_P=0$。这是因为理想运放的输入电阻为无穷大，它不从信号源索取电流。

（2）运放的差模输入电压 $v_N-v_P=0$，即 $v_N=v_P$。当理想运放工作于线性区时，输出电压与输入电压的关系为

$$v_O=A_{VO}(v_P-v_N)$$

而 $A_{VO}=\infty$，在线性区 v_O 必为有限值，则差模输入电压 $v_P-v_N=0$，或 $v_P=v_N$。

这两个结论似乎相互矛盾，与通常的电路概念不同，就 $i_N=0$ 而言，运放的输入端应等效于开路，而就 $v_N=v_P$ 而言，运放的输入端应等效于短路。这是运放在理想化条件下的极限情况，有的文献称之为“虚断”和“虚短”。

3.3.2　由集成运放组成的基本电路

运算放大器有三种输入方式，即反相输入方式、同相输入方式和差模输入方式，它们是运放电路最基本的形式。其中，反相输入方式构成了反相放大电路，同相输入方式构成了同相放大电路。下面分别介绍它们的电路原理及特点。

1. 反相放大电路

电路如图 3.3.2 所示。信号从反相端输入，R_1 和 R_2 构成反馈网络，反馈信号加至反相端。运放的同相端通过电阻 R_P 接地，R_P 称为补偿电阻或平衡电阻，其值的选择应使

$$R_P=R_1/\!/R_2$$

以保证同相端和反相端的外接电阻相

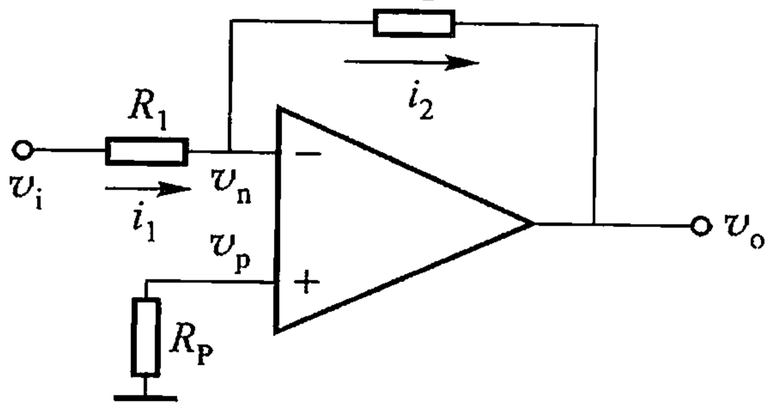


图 3.3.2　反相放大电路

等,使运放处于对称工作状态,从而消除了运放的输入偏置电流不对称及其漂移的影响。

根据理想运放输入不取电流的特点,可得 $i_1 = i_2$。根据 $v_p = v_n = 0$ 可见,尽管反相端不接地,但它与地等电位,而且 $i_1 = i_2$ 并不流入地端,因此,将反相端称之为“虚地”。虚地现象是反相放大器特有的重要特征。由图 3.3.2 可得

$$i_1 = \frac{v_i - v_n}{R_1} = \frac{v_i}{R_1}$$

$$i_2 = \frac{v_n - v_o}{R_2} = -\frac{v_o}{R_2}$$

因 $i_1 = i_2$,由上述方程组可得反相输入放大电路的输出电压为

$$v_o = -\frac{R_2}{R_1} v_i \tag{3.3.1}$$

电路的闭环电压放大倍数为

$$A_V = \frac{v_o}{v_i} = -\frac{R_2}{R_1} \tag{3.3.2}$$

上两式中的负号表示输出电压与输入电压相位相反。可见放大倍数 A_V 与运放的参数无关,仅取决于外部电阻 R_2 和 R_1,因此其精度和稳定度很高。适当选取 R_2 和 R_1 的值,使 $|A_V|$ 值可大于 1,也可小于 1。

反相放大电路有如下特点:

(1) 运放的反相输入端为虚地,其共模输入电压可视为零,因此,电路对运放的共模抑制比要求不高。

(2) 反相输入放大电路的输入电阻较小。由图 3.3.2 可得

$$R_i = v_i / i_1 = R_1 \tag{3.3.3}$$

即输入电阻完全由 R_1 决定,其值较小,一般不超过 1 MΩ。

(3) 虽然实际运放的输出电阻不等于零,但反相输入放大电路的输出电阻可以小于 1 Ω,因此,反相放大电路的带负载能力较强。

图 3.3.2 所示电路的输入电阻不可能太高,特别是放大倍数要求很大时,提高输入电阻就更困难。例如,若要求反相放大电路的输入电阻为 200 kΩ,放大倍数为 −100,则根据式(3.3.3)和式(3.3.2),应选 R_1 = 200 kΩ, R_2 = 20 MΩ。R_2 取如此大的阻值,不仅会加大对输入偏置电流、失调电流及其漂移的影响,产生直流运算误差,而且当阻值

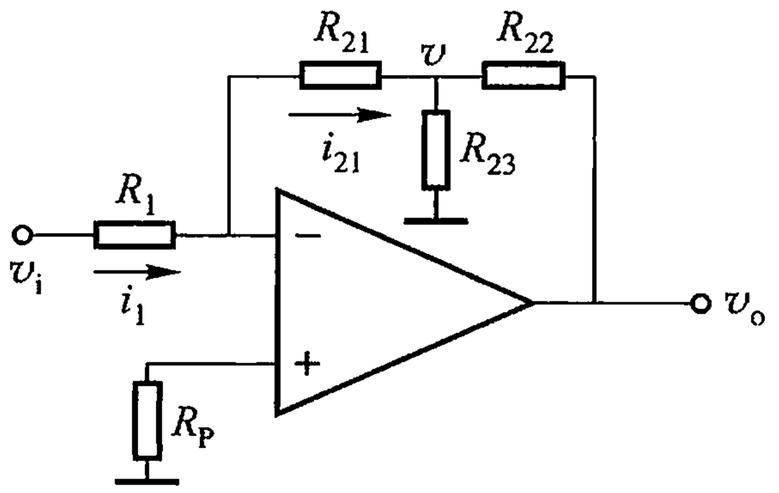


图 3.3.3　采用 T 形反馈网络的反相放大电路

过高时，其精度不可能很高，这将直接影响到闭环放大倍数的精度。因为当 R_2 值太大时，运放输入电阻理想化条件得不到满足，即运放的输入端将产生分流，$i_n = 0$ 的结论不再成立，这将带来不可忽视的运算误差。为解决上述矛盾，可采用如图3.3.3所示的反相放大电路。

在图 3.3.3 中，采用 R_{21}、R_{22}和 R_{23}组成的 T 形网络取代图 3.3.2 中的 R_2 组成反相放大电路。因反相端为虚地，则有

$$v = \frac{R_{21} /\!/ R_{23}}{R_{22} + (R_{21} /\!/ R_{23})} v_o$$

$$i_{21} = -\frac{v}{R_{21}} = i_1 = \frac{v_i}{R_1}$$

由上述方程组可得，电路的电压放大倍数为

$$A_V = \frac{v_o}{v_i} = \frac{R_{21} + R_{22} + R_{21}R_{22}/R_{23}}{R_1} \tag{3.3.4}$$

将上式与式(3.3.2)相比可知$\left(R_{21} + R_{22} + \dfrac{R_{21}R_{22}}{R_{23}}\right)$相当于图 3.3.2 中的电阻 R_2。由此可见，采用 T 型网络取代 R_2，只要将比值 R_{21}/R_{23}或 R_{22}/R_{23}选大，不用高值 R_2 就能获得很大的放大倍数。显然，此电路的输入电阻仍等于 R_1。

2. 同相放大电路

电路如图 3.3.4 所示。信号经 R_P 加至同相端，为使外电路平衡，应有 $R_P = R_1 /\!/ R_2$。根据理想运放 $v_p = v_n$ 和 $i_n = i_p = 0$ 的特点，可得

$$v_p = v_i$$

$$v_n = \frac{R_1}{R_1 + R_2} v_o$$

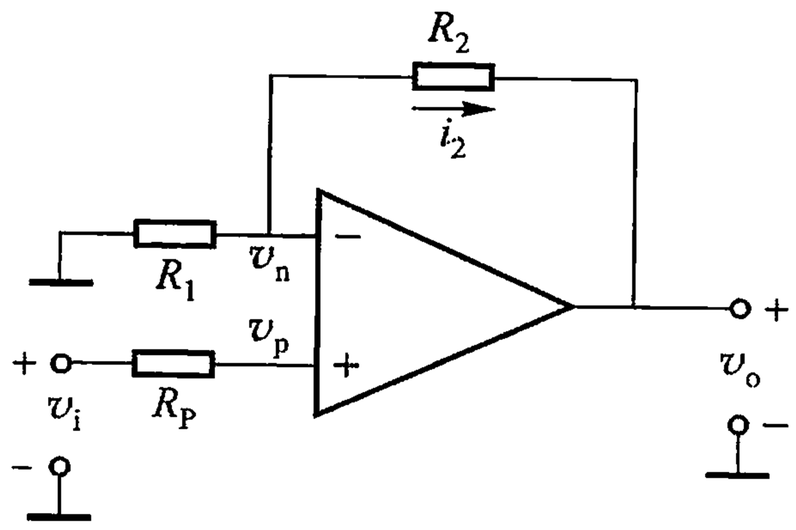


图 3.3.4　同相放大电路

由此可得同相输入放大电路的电压放大倍数为

$$A_V = \frac{v_o}{v_i} = 1 + \frac{R_2}{R_1} \tag{3.3.5}$$

A_V 为正，表明同相输入放大电路的输出电压与输入电压同相位，又因 $R_2/R_1 > 0$，则 $|A_V|$ 总是大于 1。

图 3.3.5 所示的两个电路为同相放大电路的特例。显然它们的闭环电压放大倍数 $A_V = 1$，即输出电压与输入电压大小相等，相位相同，因此，称为电压跟随器。

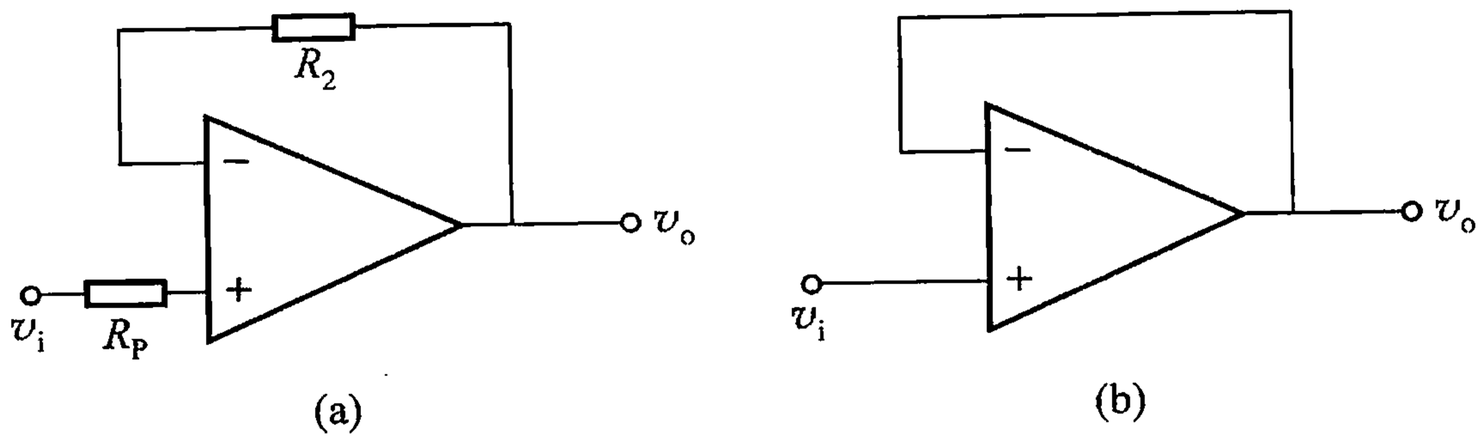


图 3.3.5　电压跟随器

(a)有限流电阻 R_2 的电压跟随器　(b)简单的电压跟随器

电路特点：

(1) 在同相输入放大电路中，$v_p = v_n = v_i$，相当于运放的输入端加有共模信号，因此，该电路对运放的共模抑制比要求较高，而且输入电压不得超出运放允许的共模输入电压值。

(2) 由于是直接输入，使同相输入放大电路的输入电阻可高达 100 MΩ 以上。

(3) 同相输入放大电路与反相输入放大电路一样，输出电阻几乎为零，因此，有很强的带负载能力。

3. 差分输入放大电路

差分输入放大电路如图 3.3.6 所示。输入信号经过电阻分别加到运放的同相端和反相端，两输入端的外接电阻是平衡的。考虑到理想运放输入端不取电流的特点，于是

$$\frac{v_{i1} - v_n}{R_1} = \frac{v_n - v_o}{R_2}$$

$$v_p = \frac{R_2}{R_1 + R_2} v_{i2}$$

根据理想运放的另一特点 $v_p = v_n$，由上两式可得差分输入放大电路的电压

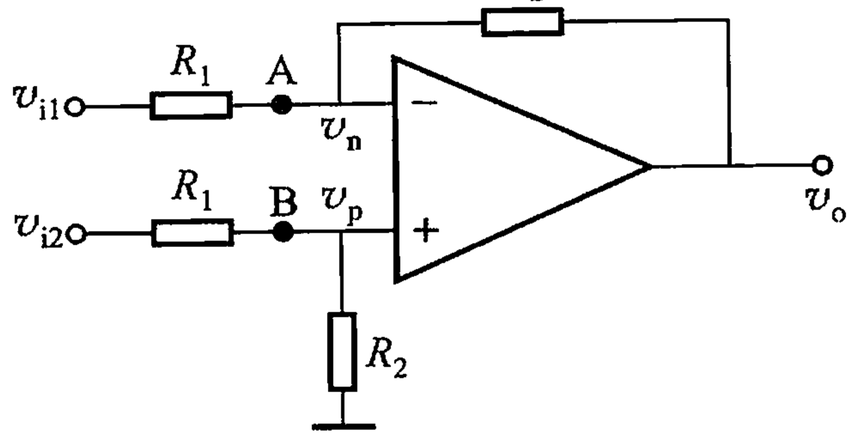


图 3.3.6　差分输入放大电路

放大倍数为

$$A_V = \frac{v_o}{v_{i2} - v_{i1}} = \frac{R_2}{R_1} \tag{3.3.6}$$

则

$$v_o = \frac{R_2}{R_1}(v_{i2} - v_{i1}) \tag{3.3.7}$$

即输出电压 v_o 与输入电压的差值$(v_{i2} - v_{i1})$成正比。

差分输入放大电路的差模输入电阻 $r_{id} = 2R_1$。通常 R_1 取值不大，所以差模输入电阻不高。另外，此电路的共模抑制能力较差。

3.4　基本运算电路

3.4.1　加、减法运算电路

1. 加法电路

图 3.4.1 所示的电路为反相加法电路。它是在图 3.3.2 反相输入放大电路的基础上增加若干输入回路，以便对多个信号实行代数相加运算。输入回路的数目不限于 3 个，根据需要可适当增减。

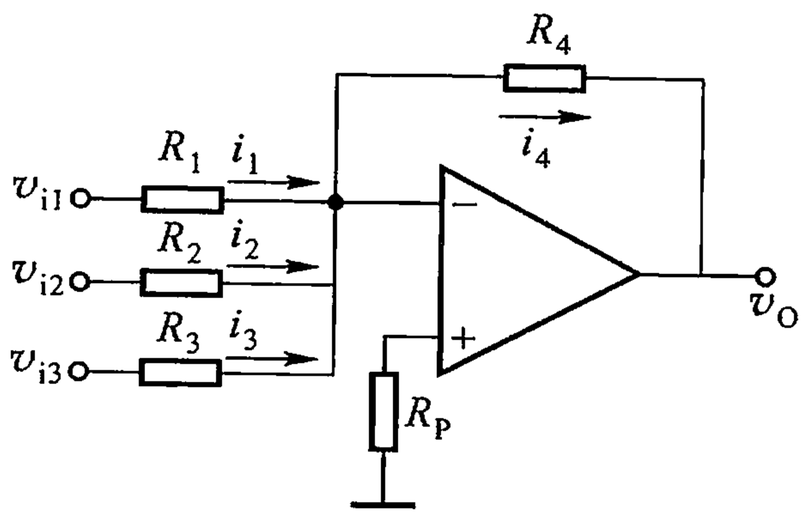


图 3.4.1　反相加法电路

由于反相端为虚地，各输入电压彼此独立地通过自身的输入回路电阻转换为电流，在反相端汇合经电阻 R_4 转换成输出电压，从而实现了加法运算。

根据理想运放 $v_p = v_n$ 和 $i_n = 0$ 的特点，对于图 3.4.1 应有

$$i_4 = i_1 + i_2 + i_3$$

$$v_o = -i_4 R_4 = -\left(\frac{v_{i1}}{R_1} + \frac{v_{i2}}{R_2} + \frac{v_{i3}}{R_3}\right)R_4$$

或

$$v_o = -\left(\frac{R_4}{R_1}v_{i1} + \frac{R_4}{R_2}v_{i2} + \frac{R_4}{R_3}v_{i3}\right) \tag{3.4.1}$$

即对各输入信号按不同的比例进行相加运算。如果取 $R_1 = R_2 = R_3$，则

$$v_o = -\frac{R_4}{R_1}(v_{i1} + v_{i2} + v_{i3}) \tag{3.4.2}$$

图 3.4.1 中的补偿电阻 $R_P = R_1 // R_2 // R_3 // R_4$。

加法电路也可由同相输入放大电路组成。但因同相加法电路在既满足输入、输出之间的函数关系又满足外电路平衡的条件下，电阻参数的选取不如反相加法电路方便，而且输入相加电压 v_p 受到放大电路共模输入电压允许范围的限制，所以实际上很少采用。因此，这里不作介绍。

2. 减法电路

由式(3.3.7)可以看出，利用图 3.3.6 所示的差分输入放大电路可以方便地实现减法运算。此外，图 3.4.2 所示的电路也可实现减法运算。图中，一个同相放大电路与一个差分输入放大电路串联相接，两输入信号分别从两个放大电路的同相端输入。显然，差分输入电阻几乎就是两运放的共模输入电阻之和，因此，该电路的输入电阻是很高的。

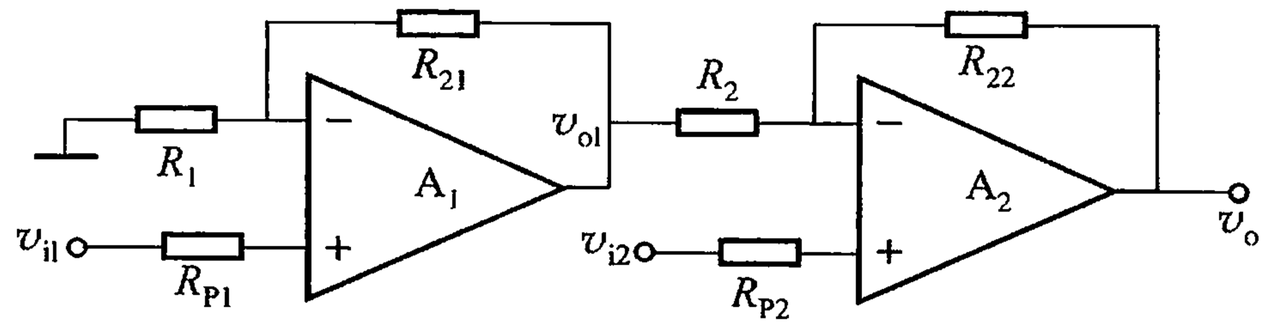


图 3.4.2　同相串联减法电路

图中 A_1 组成同相放大电路，其输出电压为

$$v_{o1} = \left(1 + \frac{R_{21}}{R_1}\right) v_{i1}$$

A_2 组成差分输入放大电路，利用 $v_p = v_n = v_{i2}$ 和 $i_n = 0$ 可得

$$\frac{v_{o1} - v_{i2}}{R_2} = \frac{v_{i2} - v_o}{R_{22}}$$

由上两式可得

$$v_o = \left(1 + \frac{R_{22}}{R_2}\right) v_{i2} - \frac{R_{22}}{R_2}\left(1 + \frac{R_{21}}{R_1}\right) v_{i1}$$

若取

$$\frac{R_1}{R_{21}} = \frac{R_{22}}{R_2} = \frac{R_F}{R} \tag{3.4.3}$$

则有

$$v_o = \left(1 + \frac{R_F}{R}\right)(v_{i2} - v_{i1}) \tag{3.4.4}$$

实现了两信号相减的运算。

另外,为使运放的外电路平衡,应有

$$R_{P1} = R_{21} /\!/ R_1$$

$$R_{P2} = R_{22} /\!/ R_2$$

在进行数据运算时,除了要求电路的输入电阻高和共模抑制比大之外,有时还希望共模输入信号的允许范围大。同相输入方式的减法电路虽能满足前两项指标,但后一项指标受到限制。由于反相放大电路虚地的存在,使运放的输入端几乎没有共模信号,因此,采用反相输入放大电路组成减法电路可满足后一项指标的要求。但反相放大电路的输入电阻小,这种电路只适用于对输入电阻要求不高,而对共模输入电压范围要求较大的场合。

3.4.2　积分和微分运算电路

1. 积分电路

基本积分电路如图 3.4.3 所示,它具有反相输入结构,反馈元件为电容 C。因反相端为虚地,则有

$$i_1 = \frac{v_1}{R_1} = i_C$$

因此,输出电压亦即电容两端的电压为

$$v_O = -\frac{1}{C}\int i_C \mathrm{d}t = -\frac{1}{R_1 C}\int v_I \mathrm{d}t$$

或

$$v_O = -\frac{1}{\tau}\int v_I \mathrm{d}t \tag{3.4.5}$$

式中,$\tau = R_1 C$ 为电路的时间常数。可见输出电压与输入电压的积分成比例,负号表示它们的相位相反,补偿电阻 $R_P = R_1$。

基本积分电路能精确实现积分运算的关键在于反相端为虚地,虚地的存在保证了电容的充电电流正比于输入电压,也保证了电容两端的电压在数值上等于输出电压。实际运放由于失调信号及其漂移的作用,将使反相端偏离虚地,从而使输出电压随时间朝一个方向变化,产生“积分漂移”现象。这是积分电容对失调及其漂移不断积分的结果,严重时可使运放进入饱和状态而无法正常工作。因此,应选用失调小和低漂移的运放。此外,补偿电阻 R_P

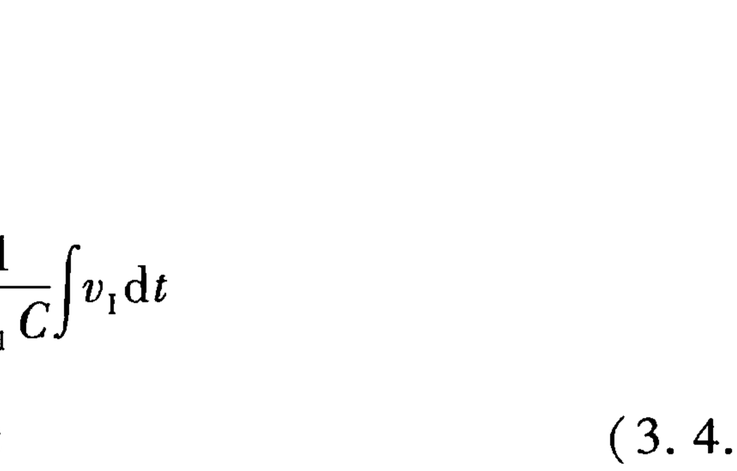


图 3.4.3　基本积分电路

最好选用可调电阻，以便调节失调带来的误差。

积分电容漏电流的存在也是产生积分误差的原因之一，因此，应选用漏电阻大的电容，如薄膜电容、聚苯乙烯电容等。

除基本积分电路外，还有其他形式的积分电路，如反相求和积分电路、同相积分电路和差分积分电路等，这里不一一介绍。

2. 微分电路

因微分是积分的逆运算，所以将基本积分电路中的输入回路电阻和反馈回路电容交换位置，就组成了简单的微分运算电路，如图 3.4.4 所示。对于理想运放应有 $i_C = i, v_C = v_I$，则

$$v_O = -iR = -RC\frac{\mathrm{d}v_C}{\mathrm{d}t} = -RC\frac{\mathrm{d}v_I}{\mathrm{d}t}$$

$$v_O = -\tau\frac{\mathrm{d}v_I}{\mathrm{d}t} \tag{3.4.6}$$

式中，$\tau = RC$ 为微分电路的时间常数。式(3.4.6)表示输出电压与输入电压的微分成比例。根据电路平衡的原则，$R_P = R$。

图 3.4.4 所示电路在原理上虽然可实现微分运算，但在实际应用中还存在以下几个问题：

(1) 由式(3.4.6)可见，输出电压与输入电压的变化率成正比，因此，该电路对输入回路的高频干扰相当敏感，抗干扰能力差。

(2) 基本微分电路中，R 和 C 组成的反馈网络对反馈电压(电容两端的电压)有滞后作用，它和集成运放内部电路的滞后作用(多级放大电路的附加相移)产生的总效果，容易引起自激振荡。

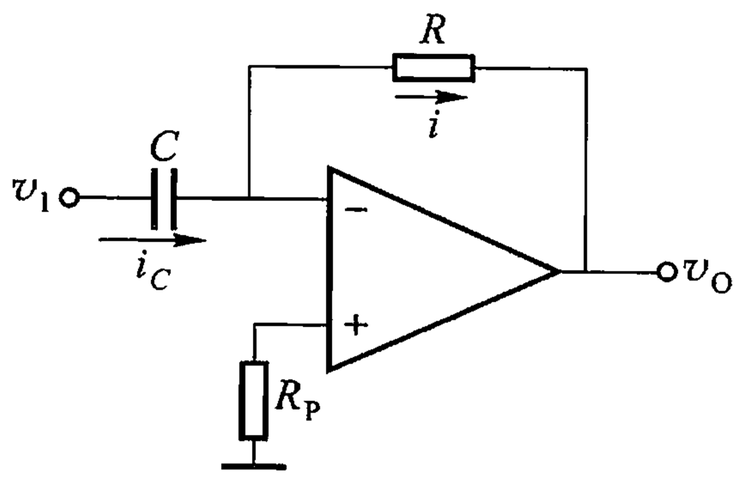


图 3.4.4　基本微分电路

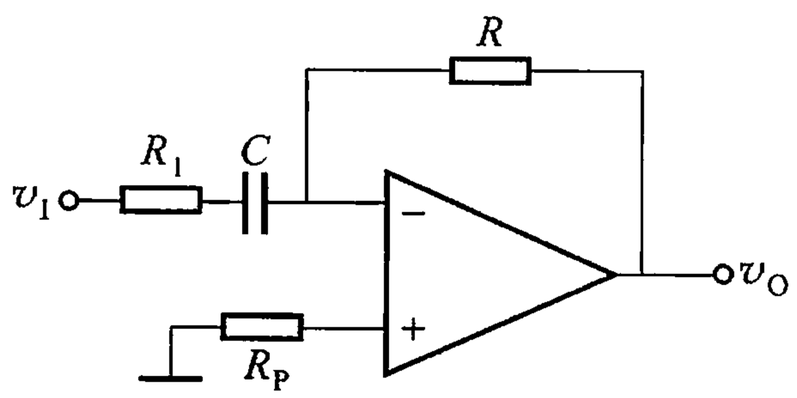


图 3.4.5　实用微分电路

(3) 基本微分电路的输入阻抗 $Z_i = 1/(\mathrm{j}\omega C)$ 是很小的，特别是对于高频信号。

对以上存在的问题，若不设法解决，电路很难付诸实用。

解决上述问题最简单的办法是在微分电容 C 的支路里串联一个小电阻，

如图 3.4.5 所示。R_1 的引入加强了电路的高频负反馈，增大了电路的阻尼，从而可抑制高频干扰，避免振荡，使电路的输入阻抗提高到 $Z_i = R_1 + 1/(j\omega C)$。

小结

1. 集成运放是模拟集成电路中通用性较强的典型器件，它实质上是一个多级直接耦合放大器。其主要性能是高放大倍数、低零点漂移、高共模抑制比、高输入电阻、低输出电阻等。围绕这些指标，电路中采取了以下措施：

（1）采用共集－共基差分输入级，或复合管、超 β 管和场效应管差分输入级，以进一步提高集成运放的输入电阻。采用晶体管恒流源作差分输入级的发射极负载，以提高集成运放的共模抑制比。

（2）普遍采用有源负载放大电路，以提高集成运放的放大能力。

（3）采用互补对称输出级，以减小输出电阻，提高集成运放带负载的能力。

2. 对于集成运放内部电路的工作原理只要求定性地了解，重点应掌握其主要参数的物理意义，以便能合理地选择和使用集成运放。

3. 理想运放工作在线性放大状态时，运用 $v_p = v_n$ 和 $i_p = i_n = 0$ 两个特性来分析电路，将使电路的分析计算大为简化，而且所得到的结果与实际情况基本一致。

4. 在信号运算电路中都引入了深度负反馈，因此，其闭环电压放大倍数均取决于外电路的元件参数，与运放的参数无关；输出电阻非常小，几乎为零，因此，有很强的带负载能力。反相输入放大电路和差分输入放大电路输入电阻较小，而同相输入放大电路输入电阻很高。由于反相输入放大电路存在虚地，输入共模电压为零，因此，对运放的共模抑制比要求不高。而同相输入放大电路的输入端存在共模信号，对运放的共模抑制比要求较高，而且输入信号电压的幅度受运放共模输入电压允许范围的限制。

5. 在运算电路中，同相比例放大电路、反相比例放大电路和加减法运算电路的输出与输入之间呈线性关系。积分、微分运算电路的输出与输入之间是非线性关系，但运放本身仍工作在线性放大状态。

习题与思考题

3.1 用集成运放构成一正弦波相移电路，如图 P3.1 所示。设 $Z_1 = R_1 = 1.4\ \text{k}\Omega$，正弦波频率 $f = 1\ \text{kHz}$，$|\dot{V}_o| = |\dot{V}_i|$。要求输出超前输入 $\pi + 45°$，试计算

阻抗 Z_F 中的电阻值和电抗元件值。

3.2 已知加法电路的运算关系为 $v_O = -(5v_{I1} + 10v_{I2} + 0.2v_{I3})$，且反馈电阻 $R_F = 100\ k\Omega$，画出电路图，并计算电路中各电阻的值。

3.3 同相加法电路如图 P3.3 所示，试推导其输出电压与输入电压之间的函数关系式。

3.4 按下列要求各设计一个运放电路（要求画出电路图，并算出各元件值）。

（1）$v_O = -5v_I$，放大电路的输入电阻大于 20 kΩ；

（2）$v_O = -100v_I$，输入电阻等于 200 kΩ，电路中各电阻值不得超过 1 MΩ。

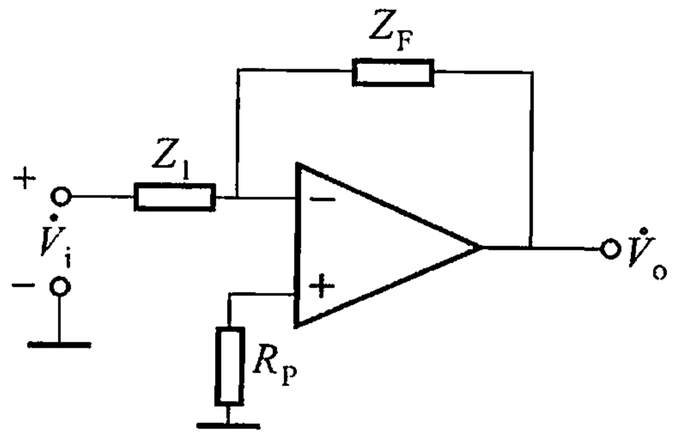


图 P3.1

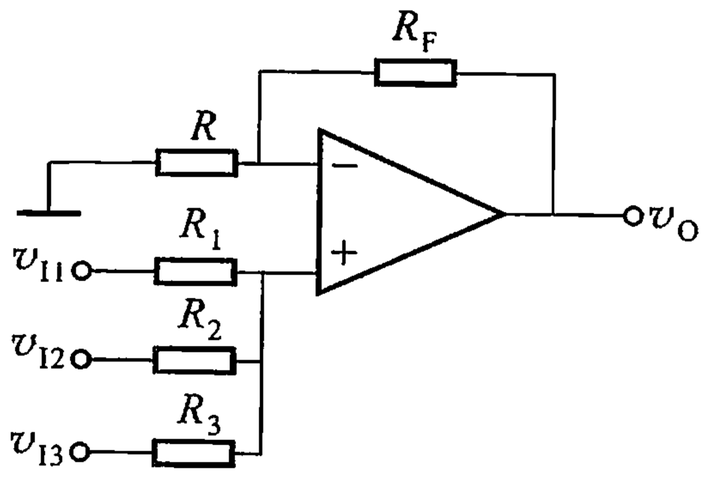


图 P3.3

3.5 图 P3.5 所示为一高输入电阻反相放大电路，称为输入电阻自举扩展反相放大电路。A_1 为主放大电路，A_2 为辅助放大电路。试推导放大电路的输入电阻表达式，并说明此电路提高输入电阻的原理。

3.6 图 P3.6 所示为能扩展输出动态范围的反相放大电路。通常运放所用电源电压为 ±15 V，则其动态范围最大约为 ±12 V，输出峰－峰值电压约为 24 V。采用图P3.6所示的电路，可使动态范围扩大一倍。试说明其工作原理（此电路只适用于不接地的负载，即浮动负载的情况）。

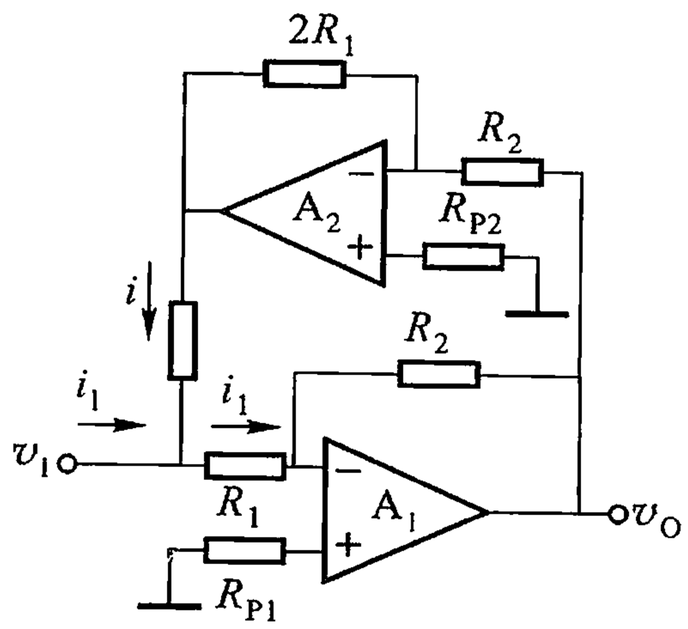


图 P3.5

3.7 用集成运放组成的测量电压、电流和电阻的三用表原理电路分别如图 P3.7 的(a)、(b)、(c)所示。设电压表满量程为 5 V。

（1）设电压量程分 1 V、5 V 两挡，相应的 R_1 应怎样选择？

（2）设电流量程分 500 μA、1 mA 两挡，相应的 R_F 各为多少？

（3）若 $V = 6$ V，R_1 分别为 1 kΩ 和 10 kΩ，V_O 均为 5 V，则相应的被测电阻 R_X 为多少？

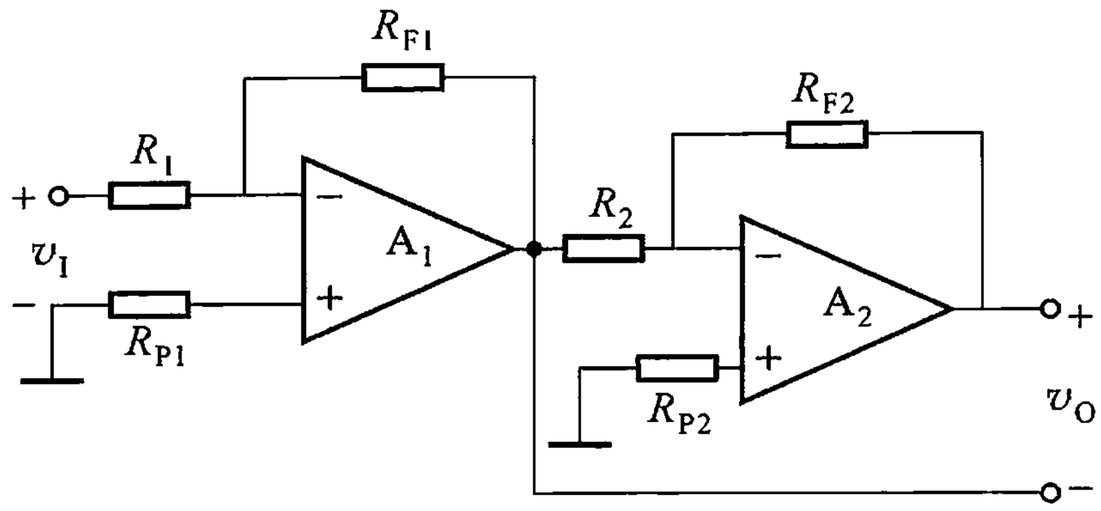
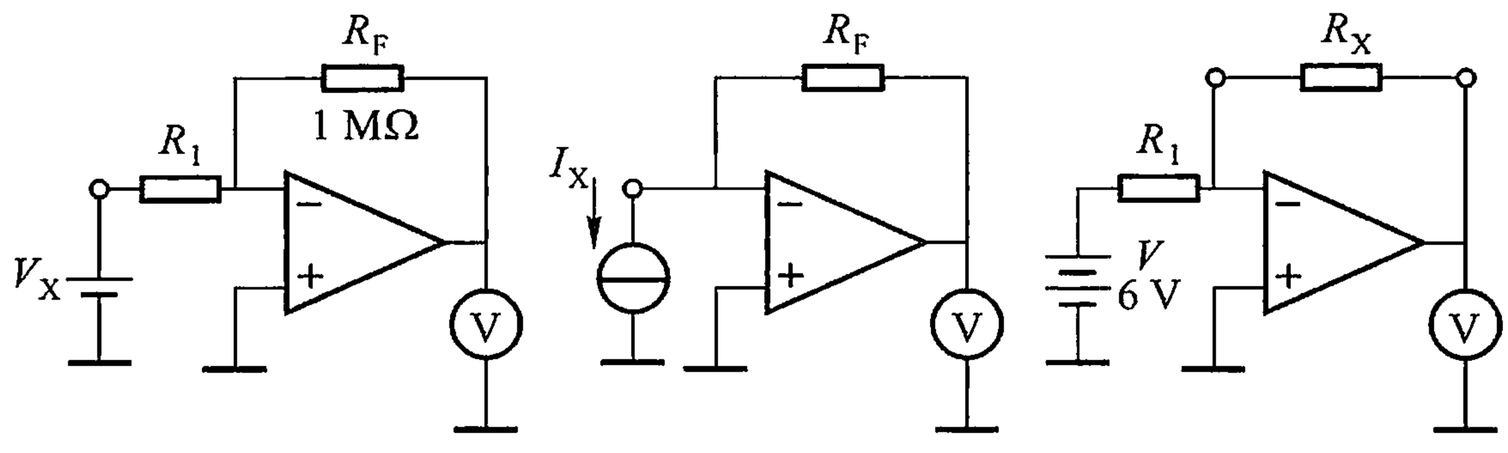


图 P3.6



(a) 测V_X　　(b) 测I_X　　(c) 测R_X

图 P3.7

3.8　差分输入放大电路如图 P3.8 所示。设输入电压 v_{I1} 为三角波，变化范围为 0 ~ 3 V，v_{I2} 为在 0 ~ 4 V 之间变化的方波。试画出输出电压 v_O 的波形，并注明电压变化范围。

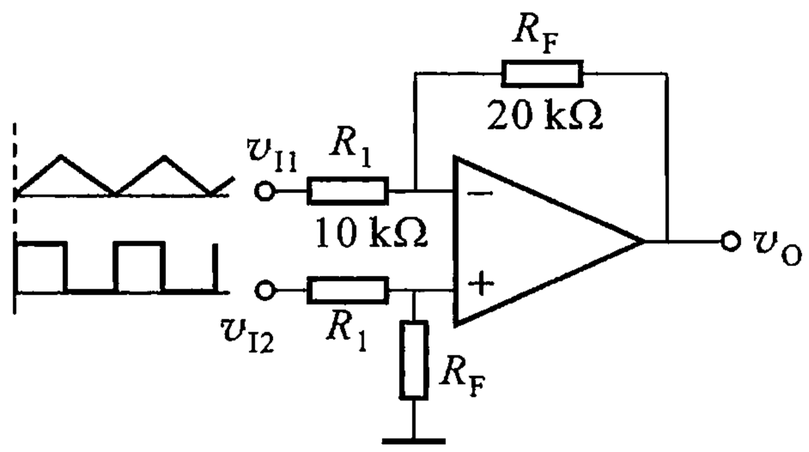


图 P3.8

3.9　试画出一个能实现 $v_O = 10v_{I1} - 5v_{I2} + 0.1v_{I3}$ 的求和电路。

3.10　试求图 P3.10 所示电路的输出电压 v_O。图中的集成运放均满足理想化条件。

3.11　图 P3.11 所示为一反相加法电路，运放的电源电压为 ±12 V，此电路

能否正常工作？为什么？若不能正常工作，应怎样修改电路？

3.12 反相串联减法电路如图 P3.12 所示。试推导 v_O 与 v_{I1}、v_{I2}的关系式。

3.13 双运放加减混合运算电路如图 P3.13 所示。试推导输出电压与输入电压之间的关系式。

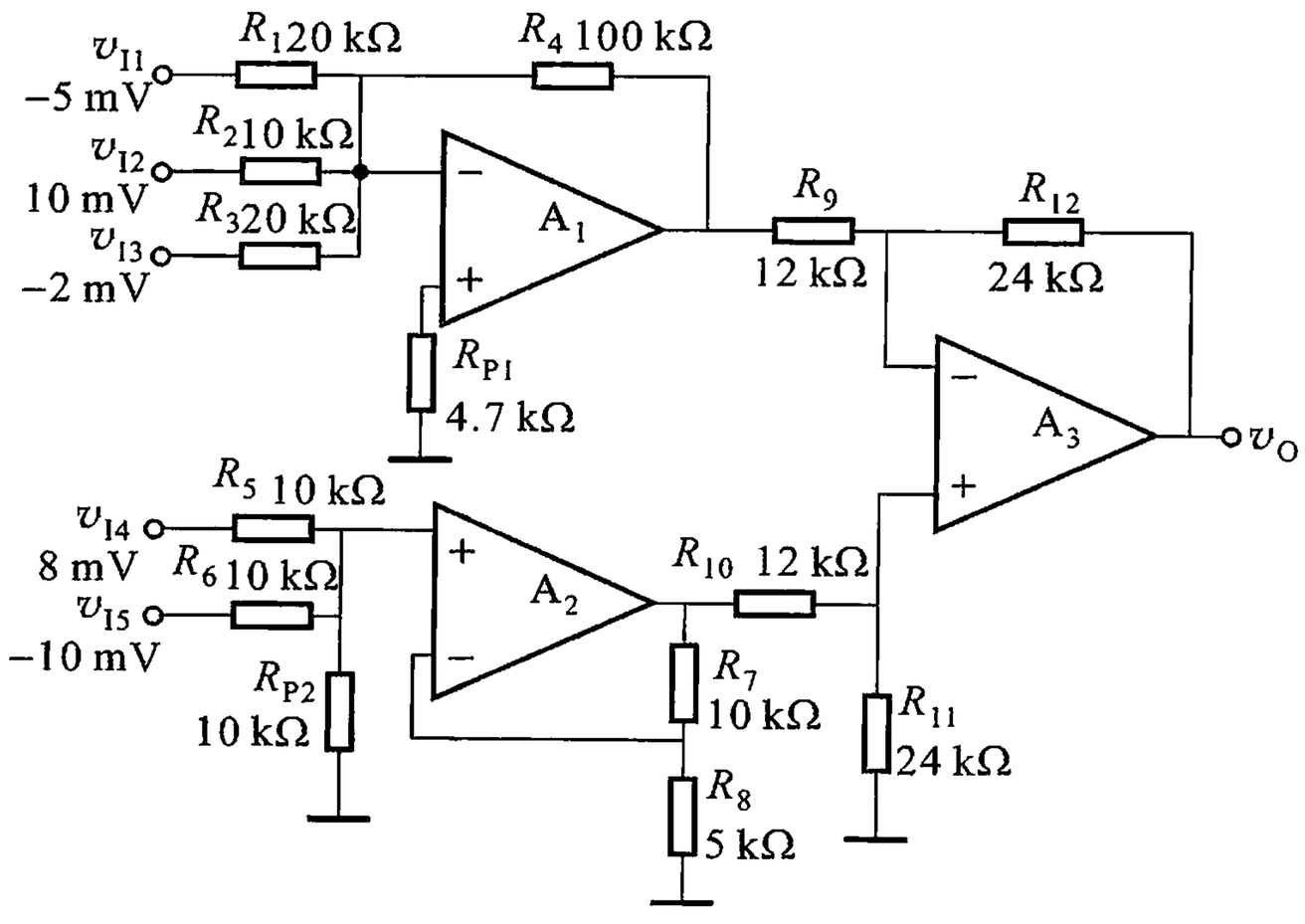


图 P3.10

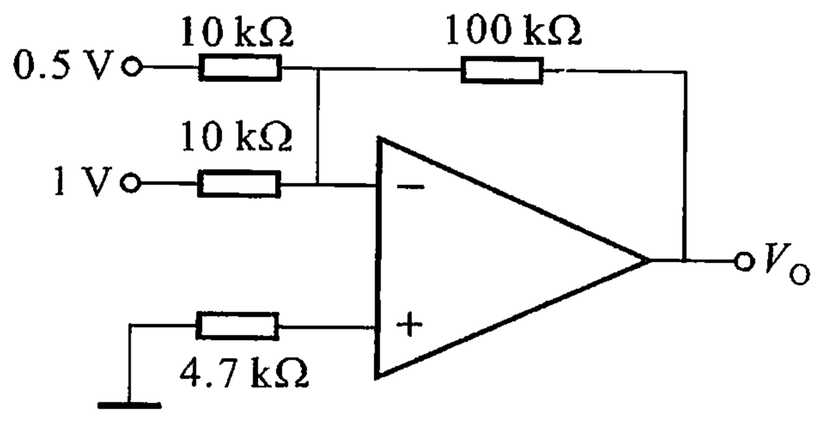


图 P3.11

3.14 图 P3.14(a)所示为一积分电路，运放的电源电压为 ±15 V，输入信号波形如图(b)所示。

(1) 试定性画出输出信号波形；

(2) 将积分电容改为 0.01 μF，输出波形将发生怎样的变化？

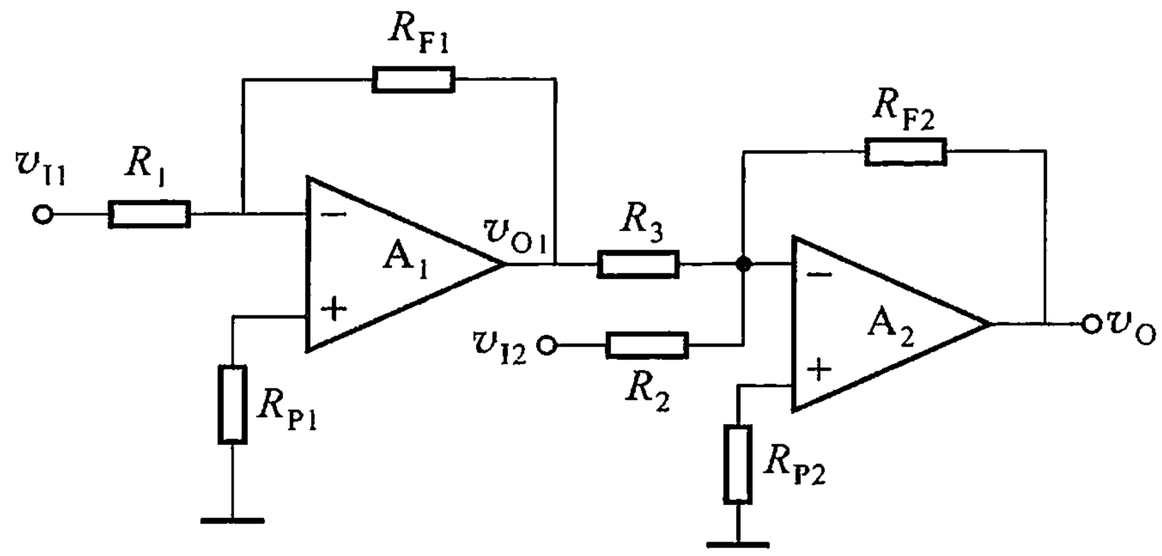


图 P3.12

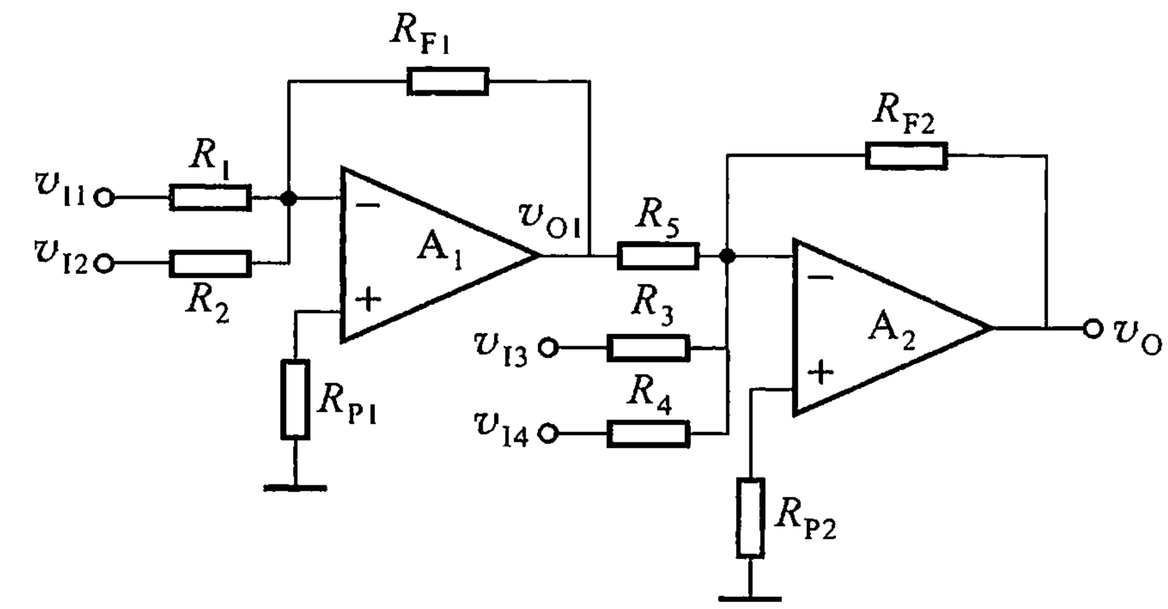


图 P3.13

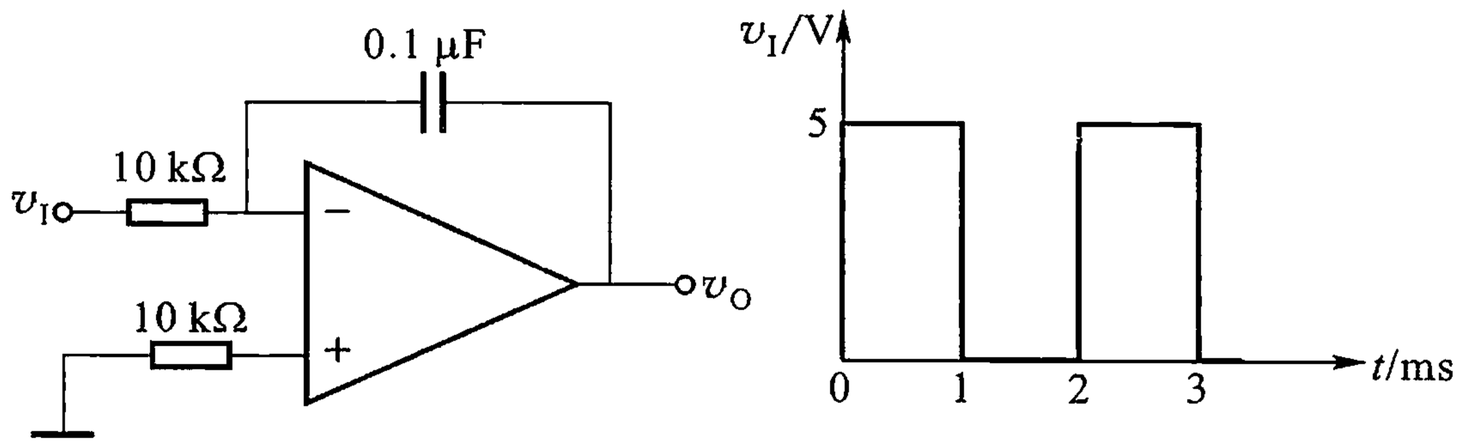


图 P3.14

第4章　反馈放大电路

引　言

将电子电路输出信号(电压或电流)的一部分或全部,通过反馈网络,以一定的方式反送到输入回路来影响输入量(电压或电流),称为反馈。正是由于引入了多种多样的反馈,使放大电路获得了许多新的特性。反馈在电子电路和电子设备中得到了极为广泛的应用。

本章在介绍反馈的基本概念和反馈的基本类型的基础上,论述负反馈对放大电路性能改善和负反馈对输入电阻、输出电阻的影响,最后介绍深度负反馈放大电路的近似计算。正反馈的作用将在下一章讨论。

4.1　反馈的基本概念与分类

4.1.1　反馈的基本概念

1. 什么是反馈

所谓反馈就是将放大电路输出信号(电压或电流)的一部分或全部,通过一定的方式反送到输入回路来影响输入量(电压或电流)的一种连接方式。反馈概念方框图如图4.1.1所示,图中箭头表示信号的传递方向。信号有两个不同的流通方向,一个是从输入到输出的信号(放大)流向,一个是从输出到输入的信号(反馈)流向。一个放大器件,如晶体管等,通常只考虑它的正向(即信号从输入到输出的流向)放大作用,而它的内部反馈作用暂不考虑。只考虑通过外部元件引入的反馈,称为外部反馈。现在要讨论的反馈只是外部反馈。

2. 反馈通路

判断一个电路是否存在反馈,可根据电路中是否有反馈通路来判断。所谓反馈通路就是输出信号(电压或电流)被送到输入回路的通路。在图4.1.2(a)中,输入信号从输入端进入放大电路,经放大后从输出端输出。信号只有一个流向(在图中用虚线箭头表示),从输入到输出,不存在其他信号流通通路,也就不

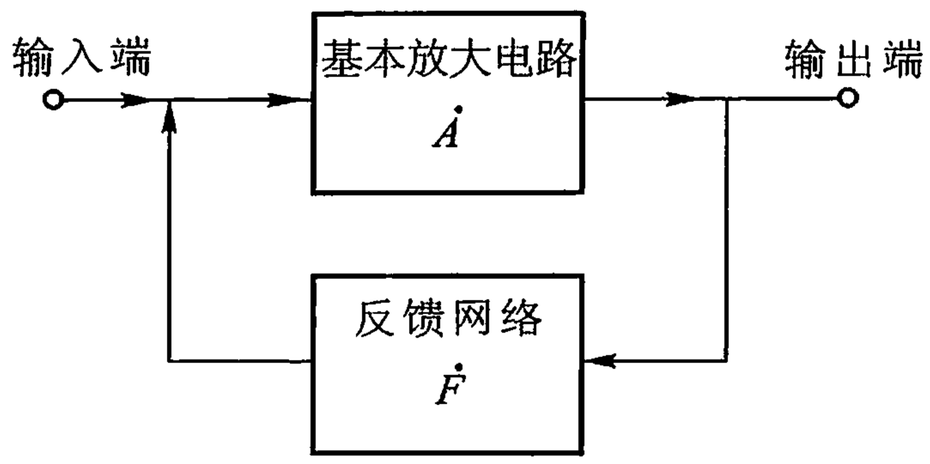


图 4.1.1　反馈放大电路的示意方框图

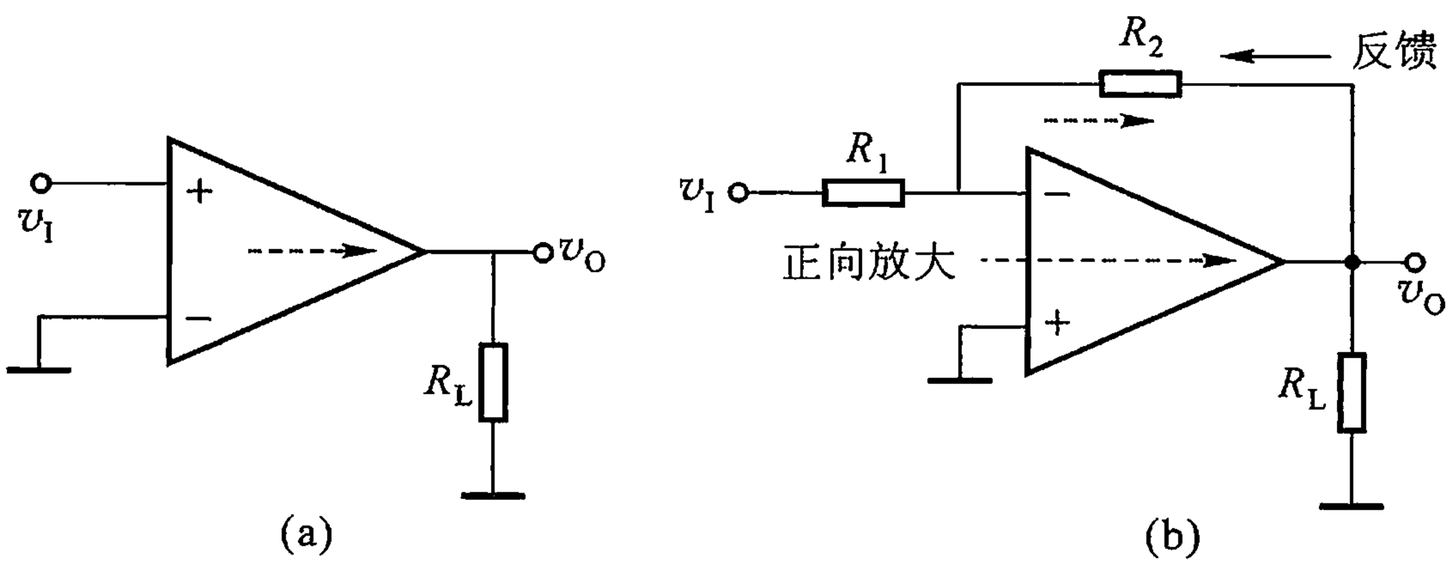


图 4.1.2　判断有无反馈的例子

（a）开环　（b）闭环

存在反馈。这种情况称为开环。在图 4.1.2(b)中,除由集成运放组成的放大电路外,还有一个电阻 R_2 接在集成运放的反相输入端与输出端之间。输入信号能通过它传到输出端,输出信号也能通过它传到输入端。由于输出信号通常比输入信号大得多(被放大了),所以 R_2 的主要作用是将输出信号从输出端反送到输入端,形成反馈通路。这种情况称为闭环。

3. 正反馈与负反馈

根据反馈极性的不同,反馈又分为两大类,分别称为正反馈和负反馈。如果反馈到输入回路的信号增强了外加输入信号的作用,使有效的净输入信号增加,从而提高了放大电路放大倍数的反馈称为正反馈。反之,如果反馈到输入回路的信号削弱外加输入信号的作用,使有效的净输入信号减小,从而使放大电路的放大倍数下降,则称为负反馈。放大电路中引入负反馈以后,虽然损失了一定的放大倍数,但可使放大电路的性能得到改善,如稳定放大倍数、加宽频带、减小非线性失真、改变输入电阻和输出电阻等。为了把输出信号反送到输入回路,从而实现反馈,必须通过一个连接输入端和输出端的反馈通路。通常把这个反馈通路称为反馈网络,而把带有反馈网络的放大电路称为反馈

放大电路。

图 4.1.1 就是一个反馈放大电路的示意方框图，它由基本放大电路和反馈网络两部分组成。在放大电路中，正反馈虽然能获得较高的放大倍数，但要注意，若正反馈太强，会使放大电路其他性能变坏，有时还会使放大电路自激，使其失去放大电路放大的意义。因此，本节主要讨论负反馈放大电路。

4. 直流反馈与交流反馈

如果反馈到输入回路的信号只含有直流成分，反馈的作用只影响电路的直流性能，如静态工作点等，这种反馈称为直流反馈。判断电路中是否有直流反馈，只需考虑直流通路，分析直流输出量是否送回到输入回路。在图 4.1.3 所示电路中，由于 R_S 和 C_2 的存在，使输出的直流 I_D 在 R_S 上产生的压降 V_S 被反送到输入回路，可使直流分量稳定，而交流信号则被电容旁路了（设在 v_i 的频率下，C_2 的容抗接近于零），所以图 4.1.3 所示电路只有直流反馈。例如，在 R_{G1} 和 R_{G2} 一定的情况下，由于某种原因，使直流漏极电流 I_D 增加，将产生下列过程：

$$I_D \uparrow \rightarrow V_S(=I_D R_S) \uparrow \rightarrow |V_{GS}|(=V_G - V_S) \downarrow$$
$$I_D \downarrow \leftarrow$$

从而使静态工作点 I_D 较为稳定。若反馈信号只含有交流量，反馈信号的作用只影响电路的交流性能，可稳定交流量，这种反馈称为交流反馈。判断电路是否有交流反馈，只需考虑电路的交流通路，分析交流输出信号的一部分或全部是否送回到输入回路。若反馈信号既含有交流电量，也含有直流电量，反馈信号的作用同时影响电路的交、直流性能，则在放大电路中交流反馈和直流反馈同时存在。如果在图 4.1.3所示电路中，将旁路电容 C_2 断开，则直流信号和交流信号同时通过 R_S 被反送到输入回路，既影响直流性能，也影响交流性能，即交、直流反馈同时存在。若反馈回路中只有直流反馈，通常是由于反馈信号在通过反馈回路时被电容所短路；若反馈回路中只有交流反馈，则通常是由于反馈回路中有隔直电容存在。

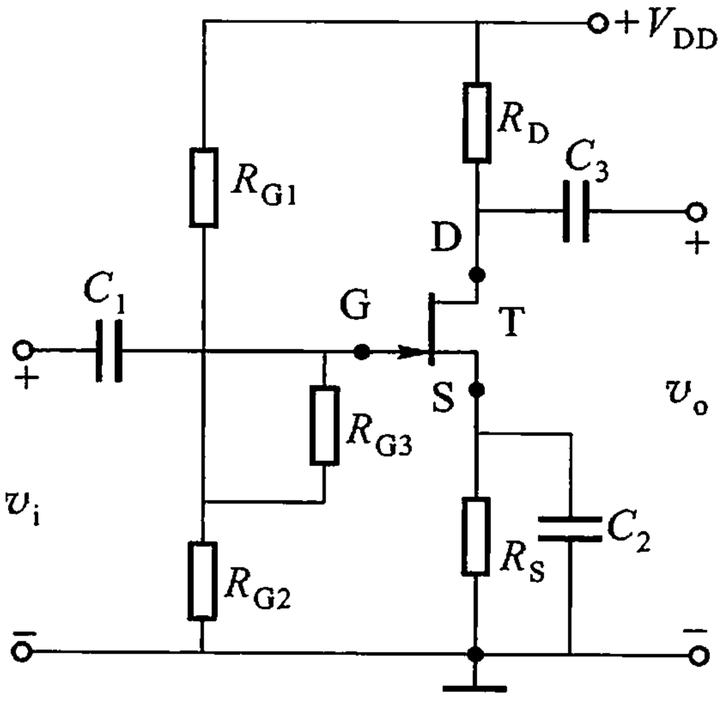


图 4.1.3　场效应管放大电路

4.1.2　反馈的基本类型

在负反馈放大电路中,不同的连接方式对电路性能的影响是不一样的。为了进一步掌握负反馈电路性能的特点,有必要分析反馈放大电路不同的连接方式。根据反馈网络与基本放大电路在输出回路与输入回路采用的不同连接方式,反馈放大电路可分为 4 种基本类型。根据反馈网络和基本放大电路在输出回路是并联连接还是串联连接,也就是反馈信号取自输出电压还是取自输出电流,反馈可以分为电压反馈和电流反馈。根据反馈网络与基本放大电路在输入回路是串联连接还是并联连接,也就是反馈信号与输入信号在输入回路是以电压形式求和(即反馈信号与输入信号串联),还是以电流形式求和(即反馈信号与输入信号并联),反馈又可分为串联反馈和并联反馈。因此,反馈放大电路有 4 种组态,分别是:电压串联反馈、电流串联反馈、电压并联反馈和电流并联反馈。

1. 电压串联负反馈

根据上述反馈放大电路的分类原则,可看出图 4.1.4 所示为一个电压串联负反馈放大电路。它的基本放大电路是一个集成运放,用 A 表示,反馈网络由电阻 R_F 和 R_1 组成,用 F 表示。

首先判断放大电路中有无反馈。放大电路中是否存在反馈,可根据电路中是否有反馈通路来判断。从图 4.1.4 所示的电路可以看出,R_F 连接在放大电路的输出端和集成运放的反相输入端之间,是反馈通路,输出信号可通过 R_F 被反送到输入回路,将反馈信号加到 R_1 两端,所以这个电路存在反馈。

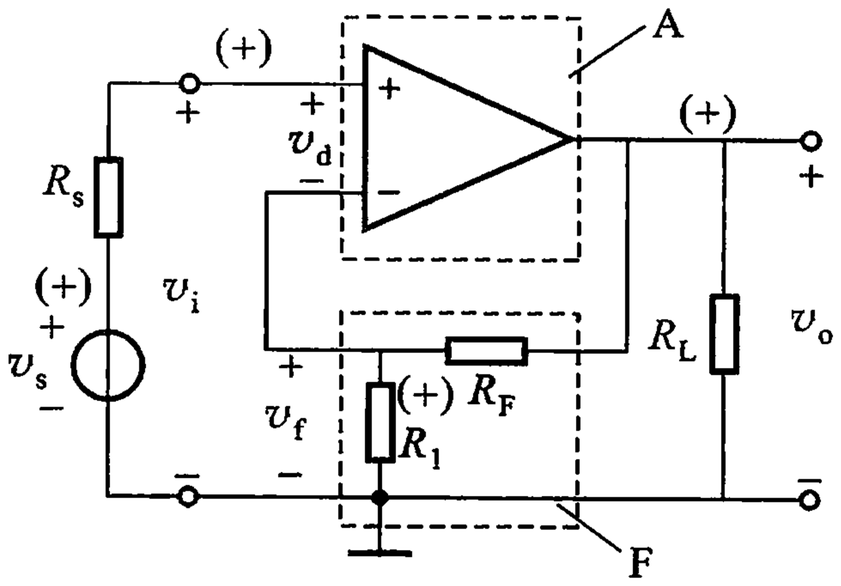


图 4.1.4　电压串联负反馈放大电路

再来判断这个电路的反馈类型。

从图 4.1.4 中可知,在放大电路的输出回路中,反馈网络与基本放大电路是并联连接的,反馈信号是从 v_o 取得的,因此,是电压反馈。电压反馈和电流反馈的判别方法,除了从反馈网络与基本放大电路在输出回路的连接方式或反馈信号的取样对象来识别外,一般采用将负载电阻 R_L 短路(即令输出电压等于零)的办法。设将 R_L 短路,即令 $v_o=0$,分析反馈信号是否存在,如果这时反馈信号不复存在,则说明反馈信号取样于输出电压,是电压反馈;如果这时反馈信号依然存在,则说明反馈信号不是取样于输出电压,而是取样于输出电流,所引入的反馈

是电流反馈。在放大电路的输入回路中,反馈网络与基本放大电路是串联连接的,输出信号通过 R_F,在 R_1 两端产生的反馈电压 v_f 与输入信号 v_i 是以电压的形式求和(即反馈信号与输入信号是串联的),因此,是串联反馈。串联反馈和并联反馈的判别,除了以上的讨论方法外,还可以采用将输入端短路的方法:令 $v_i=0$,分析在放大电路的输入回路,反馈信号能否加到基本放大电路的输入回路,如果这时反馈信号能加到基本放大电路的输入回路,则是串联反馈;如果反馈信号加不到基本放大电路的输入回路,则是并联反馈。按照这一判断方法,显然,图 4.1.4 所示反馈是串联反馈。

分析反馈电路,必须判断反馈的极性,即判断是属于正反馈还是负反馈。判断反馈的极性可采用瞬时极性法,即先假定输入信号处于某一瞬时极性,然后推出电路中有关电压的瞬时极性和电流的瞬时流向,最后判断反馈信号是加强还是削弱输入信号。对于图 4.1.4 所示电路,设某一瞬间,输入信号电压 v_s 对地极性为正,如图的(+)号所示,经 R_s,v_i 仍然为正,v_i 就是同相输入端的电压 v_p,由于信号是从同相端输入的,所以 v_o 与 v_i 相位相同,当 v_i 为正时,v_o 为正;输出电压经反馈网络在 R_1 两端产生的电压 v_f 与 v_o 同相,故 v_f 也为正,于是放大电路的净输入电压 $v_d(=v_i-v_f)$ 减小,即 v_d 减小,输出电压 v_o 也随之减小,整个放大电路的放大倍数降低。因此,引入的反馈是负反馈。综上所述,图 4.1.4 所示电路为电压串联负反馈放大电路。

由于图 4.1.4 所示电路是串联反馈,在放大电路的输入回路中,反馈信号与输入信号串联(即以电压形式求和),所以输入量宜用电压,即输入信号用 $\dot{V}_i$,反馈信号用 $\dot{V}_f$,差值信号用 $\dot{V}_d$ 来表示。又因是电压反馈,在输出端对电压 $\dot{V}_o$ 取样,故输出量宜用电压 $\dot{V}_o$,因此,作为基本放大电路的传输系数宜用电压放大倍数 $\dot{A}_V$ 来表示,即

$$\dot{A}_V=\frac{\dot{V}_o}{\dot{V}_d}$$

反馈信号与放大电路输出信号之比,称为反馈网络的反馈系数 $\dot{F}$。对于电压串联负反馈. 反馈系数记为 $\dot{F}_V$,有

$$\dot{F}_V=\frac{\dot{V}_f}{\dot{V}_o}$$

电压负反馈的一个重要特点是具有稳定输出电压的作用。例如,当 v_i 为某一定值时,若负载电阻 R_L 减小,使 v_o 减小,则 v_f 随之减小,净输入电压 v_d 增加,结果使 v_o 回升到接近原来的数值,从而使 v_o 基本恒定。上述过程也可表示为

$$R_L \downarrow \rightarrow v_o \downarrow \rightarrow v_f \downarrow \rightarrow v_d \uparrow$$
$$v_o \uparrow \leftarrow$$

因此，无论是串联反馈还是并联反馈，只要是电压负反馈，代表输出电压的反馈信号将在输入端起自动调整的作用，使输出电压趋于恒定。既然电压负反馈使输出电压恒定，也就是使输出端的特性趋于恒压源，所以放大电路的输出电阻是减小的。

2. 电流串联负反馈

图 4.1.5 所示电路是电流串联负反馈放大电路。它由基本放大电路 A 和反馈网络 F 两部分组成。

从图 4.1.5 所示电路可以看出，输出信号可通过 R 被反送到输入回路，所以这个电路存在反馈。判断是电压反馈还是电流反馈，可采用将负载电阻 R_L 短路（即令 $v_o = 0$）的方法。设将 R_L 短路，尽管 $v_o = 0$，但 i_o 依然存在，因而 $v_f = i_o R$ 仍然存在，说明反馈信号不是取样于输出电压，而是取样于输出电流，所以引入的反馈为电流反馈。判断是串联反馈还是并联反馈，可采用将输入端短路的方法。令 $v_i = 0$，从图 4.1.5 所示的输入回路可以看出，反馈信号也能加到基本放大电路的输入端口，故是串联反馈。

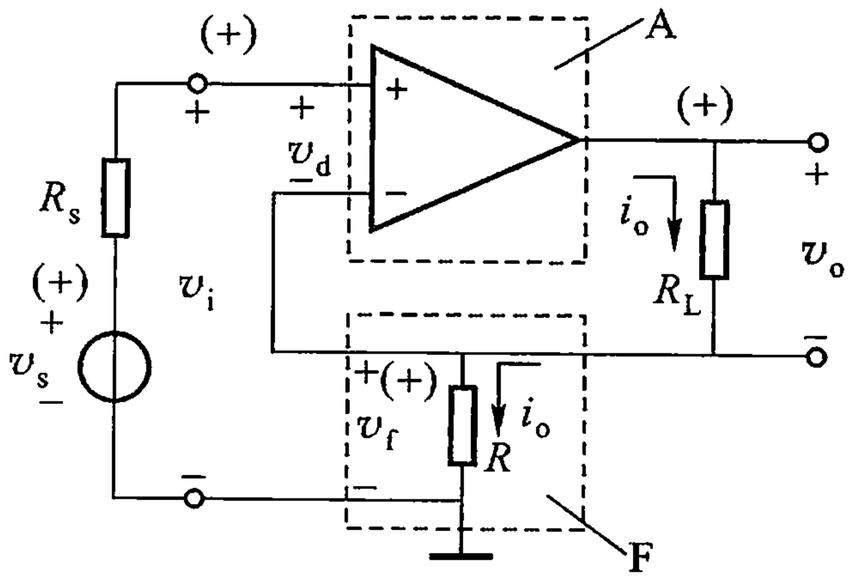


图 4.1.5　电流串联负反馈放大电路

用瞬时极性法来判断反馈极性。设某一瞬间，信号源电压 v_s 为正，通过 R_s 使 v_i 为正，v_i 就是 v_p，由于信号从同相端输入，所以此时运算放大器输出端对地电压也为正，即 v_o 为正，v_f 为正，则 v_d（$= v_i - v_f$）减小，致使输出电压 v_o 减小，所以是负反馈。综上所述，这个电路为电流串联负反馈放大电路。

前面已经分析，对于串联负反馈，输入信号用 $\dot{V}_i$、反馈信号用 $\dot{V}_f$、差值信号用 $\dot{V}_d$ 来表示。又因是电流负反馈，输出量宜用电流 $\dot{I}_o$，所以基本放大电路的传输系数用转移电导 $\dot{A}_G$ 来表示，即

$$\dot{A}_G = \frac{\dot{I}_o}{\dot{V}_d}$$

反馈系数则为反馈电压 $\dot{V}_f$ 与输出电流 $\dot{I}_o$ 之比，即

$$\dot{F}_R = \frac{\dot{V}_f}{\dot{I}_o}$$

显然，$\dot{A}_G$ 的量纲为电导，而 $\dot{F}_R$ 的量纲为电阻。

电流负反馈的一个重要特点，就是具有使输出电流稳定的作用。无论输入端的连接方式是串联还是并联，只要反馈信号取样于输出电流，通过负反馈的调节作用，就能使输出电流稳定。例如，因某种原因（如 R_L 减小），使 i_o 增加，则反馈电压 $v_f = i_o R$ 随着增加，在 v_i 一定的条件下，净输入电压 $v_d = v_i - v_f$ 减小，由于是同相输入，则 v_o 下降，致使 i_o 减小，从而补偿了 i_o 的增加，使输出电流趋于稳定，这个稳定过程可表示为

$$R_L \downarrow \rightarrow i_o \uparrow \rightarrow v_f \uparrow \rightarrow v_d \downarrow \rightarrow v_o \downarrow \rightarrow i_o \downarrow$$

既然电流负反馈使放大电路的输出电流恒定，亦即使输出端的特性趋于恒流源，所以电流负反馈使放大电路的输出电阻增加。

3. 电压并联负反馈

电压并联负反馈放大电路如图 4.1.6 所示。从图中可见，这个电路有反馈通路，输出信号可通过 R_F 被反送到输入回路，所以存在反馈。

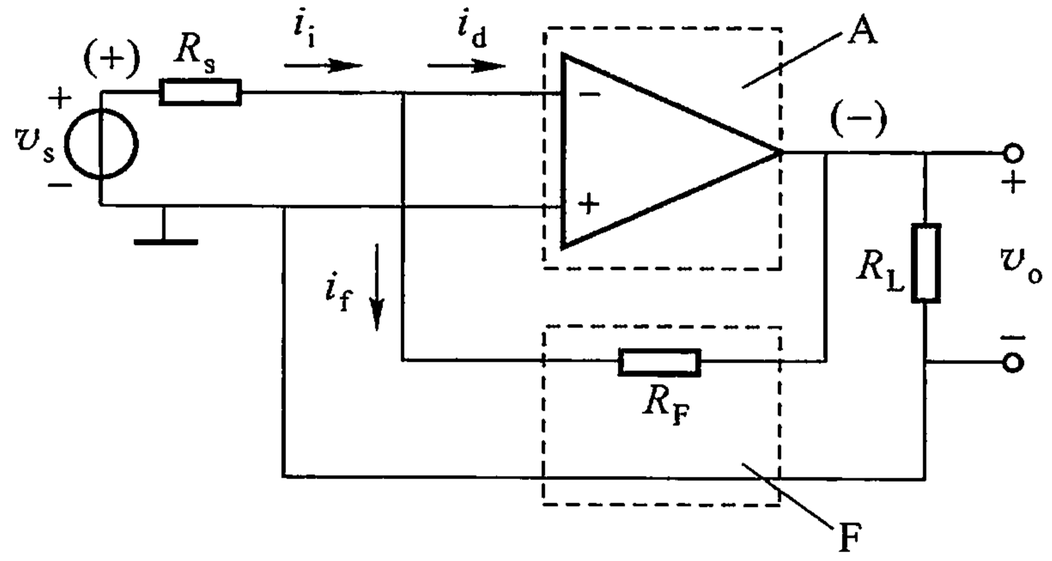


图 4.1.6　电压并联负反馈放大电路

判断这个电路的反馈类型。先判断是电压反馈还是电流反馈，设将 R_L 短路，使 $v_o = 0$，此时反馈信号不复存在，说明反馈信号取样于输出电压，是电压反馈。再判断是串联反馈还是并联反馈，在电路图 4.1.6 所示的输入回路中，反馈网络和基本放大电路是并联连接的，若令 $v_i = 0$，反馈信号不能加到基本放大电路的输入端口，因此，引入的反馈是并联反馈。

判断这个电路的反馈极性。设某一瞬间信号电压 v_s 为正，v_s 通过 R_s 使 v_n 为正，由于信号从运算放大器的反相端输入，则 v_o 的极性是上端为负，这时，R_F 中的电流 i_f 应流向电位低的一端，于是在所考虑的瞬间，i_i、i_d、i_f 的流向如图 4.1.6中箭头所示。在 i_i 一定的情况下，反馈电流 i_f 的作用，使得 $i_d (= i_i - i_f)$ 减小。可见引入的反馈是负反馈。综上所述，这个电路引入的反馈是电压并联负

反馈。

电压并联负反馈放大电路也是由基本放大电路 $\dot{A}$ 和反馈网络 $\dot{F}$ 两部分组成。反馈信号是从输出电压取样的，输出量为电压，而在输入端，基本放大电路和反馈网络是并联连接的，输入端的各量宜用电流的形式表示，输入信号为 $\dot{I}_i$，反馈信号为 $\dot{I}_f$，差值输入信号为 $\dot{I}_d$。基本放大电路的输出量为电压 $\dot{V}_o$，输入量为 $\dot{I}_d$，其传输系数用转移电阻 $\dot{A}_R$ 表示，即

$$\dot{A}_R = \frac{\dot{V}_o}{\dot{I}_d}$$

由于反馈信号取样于输出电压 $\dot{V}_o$，而以电流 $\dot{I}_f$ 的形式送回到输入端，所以反馈系数应为反馈电流 $\dot{I}_f$ 与输出电压 $\dot{V}_o$ 之比，即

$$\dot{F}_G = \frac{\dot{I}_f}{\dot{V}_o}$$

显然，转移电阻 $\dot{A}_R$ 的量纲为电阻，而反馈系数 $\dot{F}_G$ 的量纲为电导。

4. 电流并联负反馈

电流并联负反馈放大电路如图 4.1.7 所示，它也可概括为基本放大电路 A 和反馈网络 F 两部分，根据上述原则，读者可以判断这个电路中的反馈，应为电流并联负反馈。

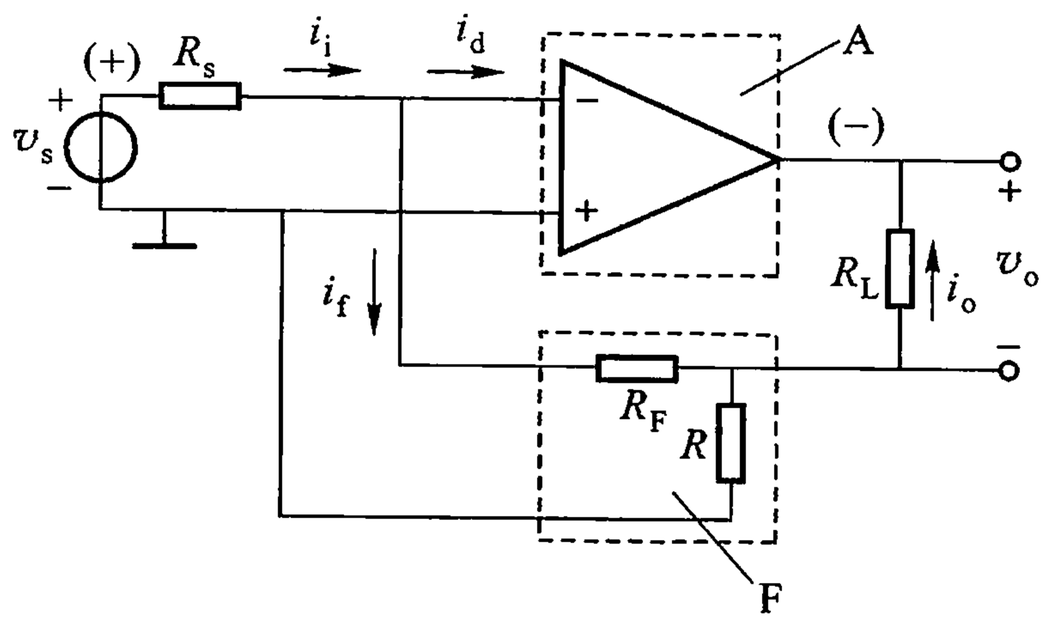


图 4.1.7　电流并联负反馈放大电路

由于是电流反馈，反馈信号是从输出电流取样的，输出量宜用电流 $\dot{I}_o$，而基本放大电路和反馈网络在输入端是并联的，输入量宜用电流 $\dot{I}_d$，因此，基本放大

电路的传输系数宜用电流放大倍数 $\dot{A}_I$ 来表示，即

$$\dot{A}_I = \frac{\dot{I}_o}{\dot{I}_i}$$

同理，反馈系数

$$\dot{F}_I = \frac{\dot{I}_f}{\dot{I}_o}$$

以上分析了负反馈放大电路的 4 种类型（即 4 种不同的连接方式）。由于类型不同，输出量和输入量有其相应的选取（取电压或电流），因此，基本放大电路的传输系数有相应的 4 种形式：$\dot{A}_V$、$\dot{A}_R$、$\dot{A}_G$ 和 $\dot{A}_I$，反馈系数也有相应的 4 种形式：$\dot{F}_V$、$\dot{F}_G$、$\dot{F}_R$ 和 $\dot{F}_I$，分析电路时不可乱用。

例 4.1.1 在图 4.1.8 所示各电路中，试判断有哪些交流反馈，分别指出其反馈类型和反馈极性。设电容的容抗可以忽略。

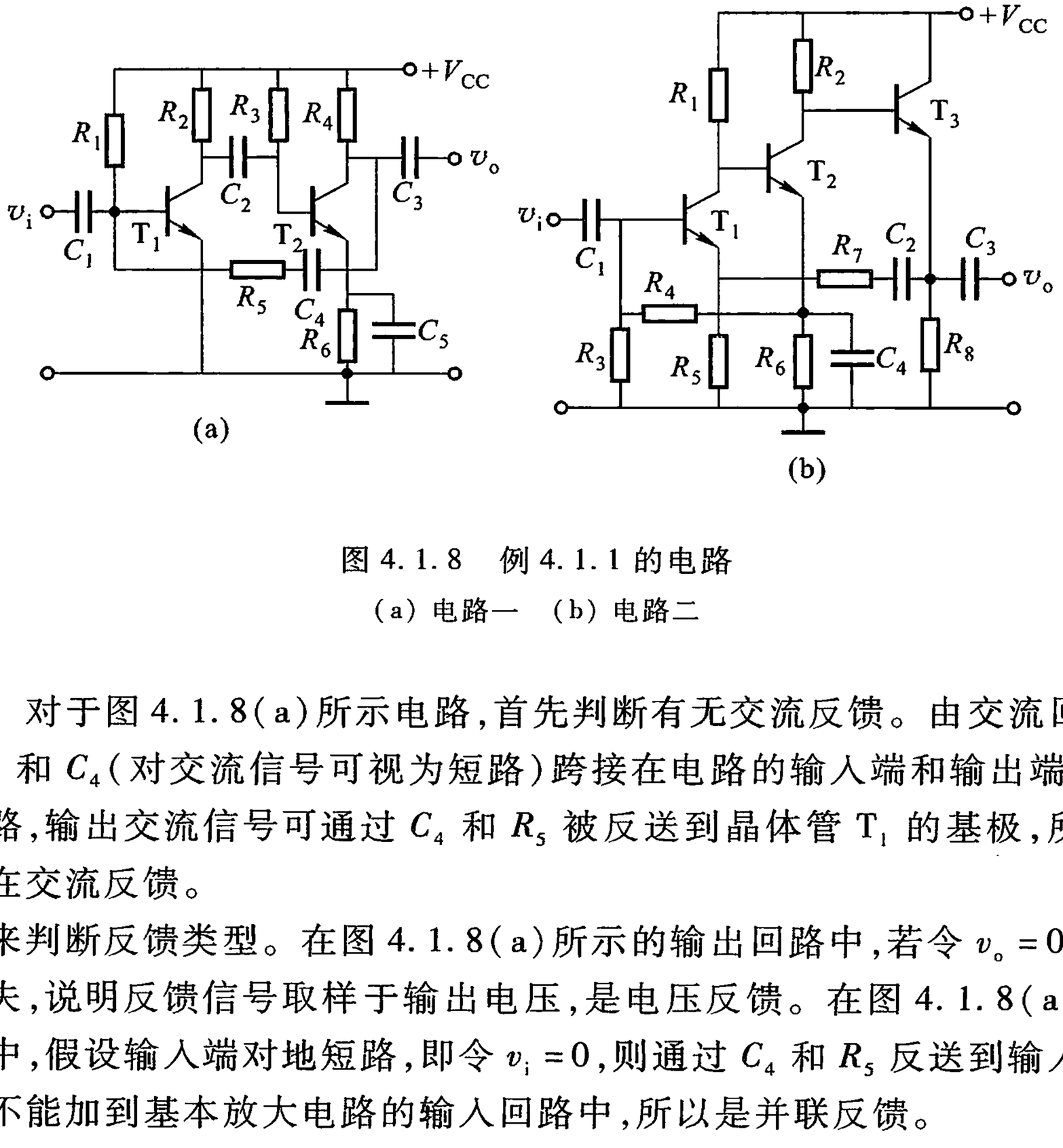


图 4.1.8 例 4.1.1 的电路

（a）电路一 （b）电路二

解 对于图 4.1.8(a)所示电路，首先判断有无交流反馈。由交流回路可以看出，R_5 和 C_4（对交流信号可视为短路）跨接在电路的输入端和输出端之间，是反馈通路，输出交流信号可通过 C_4 和 R_5 被反送到晶体管 T_1 的基极，所以这个电路存在交流反馈。

再来判断反馈类型。在图 4.1.8(a)所示的输出回路中，若令 $v_o=0$，则反馈信号消失，说明反馈信号取样于输出电压，是电压反馈。在图 4.1.8(a)所示输入回路中，假设输入端对地短路，即令 $v_i=0$，则通过 C_4 和 R_5 反送到输入端的反馈信号不能加到基本放大电路的输入回路中，所以是并联反馈。

最后判断反馈极性。假设 T_1 基极对地的输入电压瞬时极性为正，则 T_1 的集电极对地的瞬时电压为负，T_2 的集电极对地的瞬时电压为正。由于是并联反馈，在输入回路中，外加输入信号与反馈信号以电流形式求和，于是从 T_2 的集电极通过 C_4、R_5 流向 T_1 输入端的反馈电流将增大，从而使流入 T_1 基极的净输入电流增大，可见反馈信号增强了输入信号的作用，是正反馈。综上所述，图 4.1.8(a)所示电路是电压并联正反馈电路。

对于图 4.1.8(b)所示电路，判断有无交流反馈方式如下：由交流回路可以看出 R_7 和 C_2（对交流信号可视为短路）跨接在 T_1 的发射极与 T_3 的发射极之间，C_2、R_7 和 R_5 共同构成 T_1 与 T_3 之间的交流反馈通路，可见这个电路存在交流反馈。

再判断反馈类型，在放大电路的输出回路中，若令 $v_o=0$，级间的交流反馈信号消失，所以是电压反馈；在放大电路的输入回路中，仍假设输入端对地短路，即令 $v_i=0$，则通过 C_2、R_7 和 R_5 反馈到输入回路的信号能加到基本放大电路输入的两个端点之间，故是串联反馈。

最后判断反馈极性。由于是串联反馈，在输入回路中，反馈信号与输入信号以电压的形式求和。假设 T_1 基极对地的输入电压瞬时极性为正，则 T_1 集电极对地的瞬时电压为负，T_2 集电极对地的瞬时电压为正（即 T_3 基极对地的瞬时电压为正），T_3 的发射极对地的瞬时电压跟着为正，经 C_2、R_7 返回到 T_1 的发射极，使 R_5 对地的瞬时反馈电压也随之升高，但此反馈电压将起削弱外加输入电压的作用，使加在 T_1 发射结的净输入电压 $v_d=v_i-v_f$ 减小，所以是负反馈。可见，在图 4.1.8(b)所示电路中，C_2、R_7 和 R_5 组成的是 T_1 与 T_3 之间的交流电压串联负反馈，R_5 和 R_8 分别组成 T_1、T_3 本级的交流反馈。

先来分析 R_5 为何构成 T_1 本级的交流反馈通路。由图 4.1.8(b)可见，R_5 连接在 T_1 的输入回路和输出回路之间，T_1 的输出电流 i_{o1} 通过 R_5 产生压降 $i_{o1}R_5$，就是反馈电压 v_f，所以 R_5 构成 T_1 本级的交流反馈通路。再来判断它的反馈类型。在 T_1 的输出回路中，令 $v_{o1}=0$，但输出电流 i_{c1} 在 R_5 两端产生的反馈电压依然存在，则说明反馈信号取样于输出电流，是电流反馈。在 T_1 的输入回路中，令 $v_i=0$，反馈信号通过 R_5 能加到 T_1 的两个输入端点 B、E 之间，故是串联反馈。最后判断反馈极性。假定在某一瞬间输入电压为正，则 T_1 基极电位升高，v_{be1} 增加，使 T_1 的集电极电流 i_{c1} 增加，i_{c1}（或 i_{e1}）在 R_5 上产生一个上端为正的反馈电压 v_f，在输入回路中，v_f 抵消了 v_i 的作用，因此 T_1 的净输入电压 $v_d(=v_i-v_f)$ 减小，使 T_1 的电压放大倍数降低，说明 R_5 引入的反馈是 T_1 本级的负反馈。综上所述，R_5 引入的是 T_1 本级的交流电流串联负反馈。R_8 构成 T_3 本级的交流电压串联负反馈，读者可以自行分析。

4.1.3 反馈的一般表达式

上面讨论了4种类型的反馈放大电路，虽然反馈的类型不同，基本放大电路的传输系数和反馈网络的反馈系数的形式和量纲不同，但是无论哪一种类型的负反馈放大电路，其差值信号等于输入信号与反馈信号之差，基本放大电路的传输系数等于输出信号与差值信号之比，反馈系数等于反馈信号与输出信号之比，反馈放大电路的放大倍数等于输出信号与输入信号之比。所有这些规律都是相同的。为了总结出反馈放大电路这些规律的一般表达式，便于分析反馈放大电路的性能，可将4种类型的反馈放大电路的结构概括为图4.1.9所示的一般方框图。

图4.1.9中用 $\dot{X}$ 表示信号，它既可代表电压又可代表电流，具有一般性。$\dot{X}_i$ 为输入信号，$\dot{X}_d$ 为差值信号（或称净输入信号），$\dot{X}_f$ 为反馈信号，$\dot{X}_o$ 为输出信号。

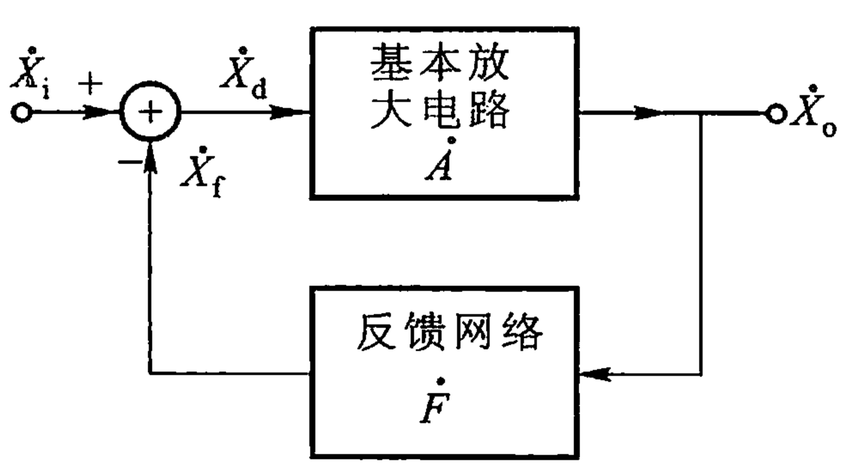


图4.1.9 反馈放大电路的一般方框图

由图4.1.9可以看出，差值信号 $\dot{X}_d$、无反馈时的放大倍数 $\dot{A}$ 和反馈系数 $\dot{F}$ 分别为

$$\left.\begin{aligned}\dot{X}_d &= \dot{X}_i - \dot{X}_f \\ \dot{A} &= \frac{\dot{X}_o}{\dot{X}_d} \\ \dot{F} &= \frac{\dot{X}_f}{\dot{X}_o}\end{aligned}\right\} \tag{4.1.1}$$

反馈放大电路的放大倍数又称闭环（反馈环路闭合）放大倍数，它为

$$\dot{A}_F = \frac{\dot{X}_o}{\dot{X}_i} \tag{4.1.2}$$

由式（4.1.1），可得 $\dot{X}_o = \dot{A}\dot{X}_d = \dot{A}(\dot{X}_i - \dot{X}_f) = \dot{A}(\dot{X}_i - \dot{F}\dot{X}_o)$，以此代入式（4.1.2），便得到反馈放大电路放大倍数的一般表达式

$$\dot{A}_F = \frac{\dot{A}}{1 + \dot{A}\,\dot{F}} \tag{4.1.3}$$

式(4.1.3)中，$\dot{A}$ 为无反馈时的放大倍数，又称开环(反馈环路断开)放大倍数。它就是在无反馈并考虑负载电阻 R_L 和反馈网络的负载作用时基本放大电路的放大倍数。

必须指出，推导反馈的一般表达式 (4.1.3)，是以下面两个条件为基础的：

(1) 信号从输入端传输到输出端，只通过基本放大电路，而不通过反馈网络；

(2) 反馈信号通过反馈网络从输出端传输到输入端，而不通过基本放大电路。

反馈的一般表达式是后面分析负反馈放大电路的重要关系式，式中的 $\dot{A}$ 、$\dot{A}_F$ 和 $\dot{F}$ ，对于不同形式的反馈，有它们相应的形式：对电压串联反馈为 $\dot{A}_V$、$\dot{A}_{VF}$、$\dot{F}_V$；对电流串联反馈为入 $\dot{A}_G$、$\dot{A}_{GF}$、$\dot{F}_R$；对电压并联反馈为 $\dot{A}_R$、$\dot{A}_{RF}$、$\dot{F}_G$；对电流并联反馈为 $\dot{A}_I$、$\dot{A}_{IF}$、$\dot{F}_I$，应用时必须明确。

式(4.1.3)表明，引入负反馈后放大电路的放大倍数 $|\dot{A}_F|$ 是开环放大倍数 $|\dot{A}|$ 的 $1/|1 + \dot{A}\,\dot{F}|$ 倍。因此 $|1 + \dot{A}\,\dot{F}|$ 的值是衡量反馈程度的一个很重要的量，称为反馈深度。以后还要看到，引入反馈后放大电路各方面性能的变化程度，都与反馈深度有关。

随着反馈深度的不同，反馈放大电路的特性可以有质的差别，表现为下面三种情况：

(1) 若 $|1 + \dot{A}\,\dot{F}| > 1$，则 $|\dot{A}_F| < |\dot{A}|$，即放大电路引入反馈后，放大倍数减小了，这种反馈称为负反馈；

(2) 若 $|1 + \dot{A}\,\dot{F}| < 1$，则 $|\dot{A}_F| < |\dot{A}|$，即放大电路引入反馈后，放大倍数增大了，这种反馈称为正反馈；

(3)若 $|1 + \dot{A}\,\dot{F}| = 0$，则 $|\dot{A}_F| \to \infty$，表明放大电路虽然没有输入信号，也有输出信号，这时放大电路转变为自激振荡电路。关于振荡的问题，将在第 5 章再行讨论。

4.2　负反馈对放大电路性能的影响

放大电路中引入负反馈后，虽然使放大倍数有所损失，但改善了放大电路的

性能。下面分别讨论放大电路性能改善的物理本质以及改善程度与反馈深度的关系。

4.2.1 提高放大倍数的稳定性

由于电路元件和放大器件(晶体管、场效应管、集成运算放大器等)参数的变化、电源电压的起伏以及负载变化等原因,都将导致放大倍数的改变。如前所述,放大电路中引入负反馈后,在输入信号($\dot{V}_i$ 或 $\dot{I}_i$)为定值时,电压负反馈能稳定输出电压,电流负反馈能稳定输出电流。也就是说,负反馈能使放大倍数(指广义的放大倍数)稳定。

负反馈使放大倍数稳定的程度,常用引入反馈前后放大倍数的相对变量的关系式来表示。设反馈网络为电阻性的,放大电路工作在中频区,$\dot{A}$ 和 $\dot{F}$ 均为实数,则式(4.1.3)为

$$A_F = \frac{A}{1 + AF} \tag{4.2.1}$$

将上式对变量 A 求导数,则得

$$\frac{dA_F}{dA} = \frac{1}{1 + AF} - \frac{AF}{(1 + AF)^2} = \frac{1}{(1 + AF)^2}$$

或

$$dA_F = \frac{dA}{(1 + AF)^2}$$

上式等号的两边都除以 A_F,得

$$\frac{dA_F}{A_F} = \frac{1}{1 + AF} \cdot \frac{dA}{A} \tag{4.2.2}$$

此式表明,引入负反馈以后,放大倍数的相对变量为未加反馈时放大倍数相对变量的 $1/(1 + AF)$ 倍。由此可见,引入负反馈后,放大倍数下降到开环时的 $1/(1 + AF)$ 倍,但却使放大倍数的稳定性提高到开环时的 $(1 + AF)$ 倍。

当反馈深度 $(1 + AF) >> 1$ 或环路放大倍数 $AF >> 1$ 时,称为深度负反馈。在深度负反馈的条件下,式(4.2.1)可简化为

$$A = \frac{1}{F} \tag{4.2.3}$$

这一结果表明,在深度负反馈时,闭环放大倍数只决定于反馈网络的反馈系数 F,而与基本放大电路的放大倍数 A 几乎无关。由于反馈网络通常是由一些比较稳定的无源元件(如 R、C 等)组成的,因此,闭环放大倍数十分稳定。式(4.2.3)是估算深度负反馈放大电路放大倍数的重要公式。

必须指出,对于不同形式的负反馈,只能使其相应的放大倍数(A_{VF}、A_{GF}、A_{RF}

和 A_{IF}）的稳定性提高。例如，对于电流并联负反馈，只能使电流放大倍数 A_{IF} 的稳定性提高（$1 + A_I F_I$）倍，但对输出端的电压没有稳定作用。

4.2.2　扩展频带

引入负反馈能显著地扩展放大电路的频带。负反馈能扩展频带的根本原因，在于通过它的自动调整作用，减小由于频带变化的因素造成放大电路输出量（或放大倍数）的变化，使输出趋于恒定。图 4.2.1 分别绘出了直接耦合放大电路有负反馈和无负反馈时放大电路的幅频特性。从图中曲线的变化特点来看，当不同频率的输入信号其幅度同为某一定值时，在高频段的输出信号较小，引入负反馈后，相应的反馈信号减小，使净输入信号加大（与低、中频段相比），因此，放大倍数降低较小，与此相反，低、中频段的放大倍数则下降较大，于是对不同频率的放大倍数其大小的差别缩小了，因而展宽了频带。

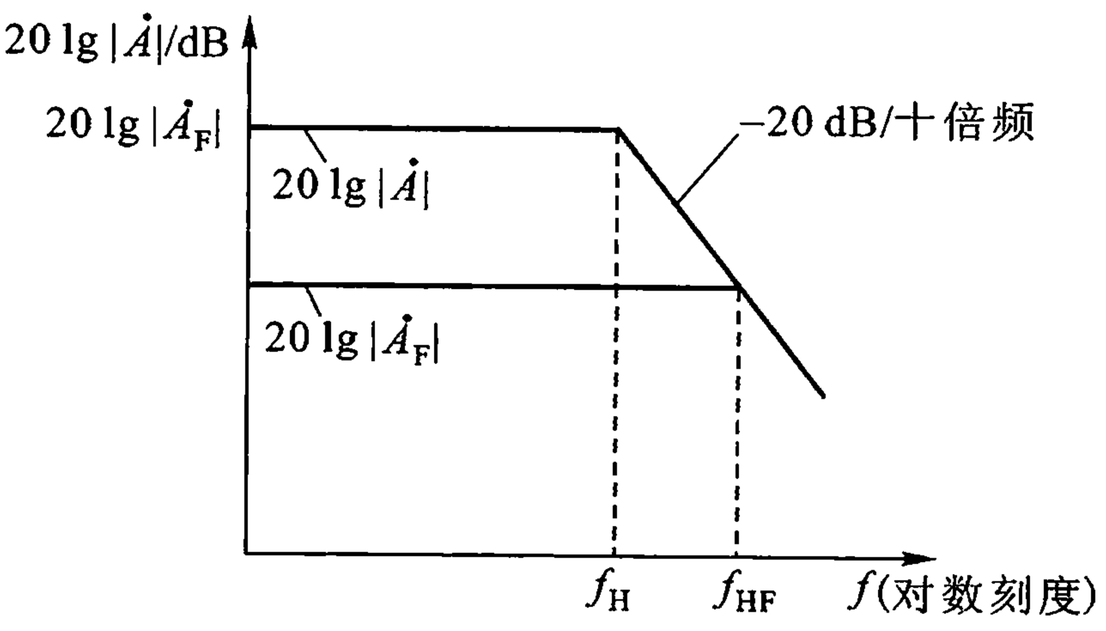


图 4.2.1　负反馈使频带扩展

下面定量地推算频带扩展的程度与反馈深度的关系。设无反馈时的低、中频放大倍数为 $\dot{A}_M$，上限频率为 f_H，由式（2.7.17），若不考虑 R_S，即令 $R_S = 0$，则得

$$\dot{A}_H = \frac{\dot{A}_M}{1 + j\dfrac{f}{f_H}} \tag{4.2.4}$$

引入了负反馈后，放大电路在高频段的放大倍数为

$$\dot{A}_{HF}=\frac{\dot{A}_H}{1+\dot{A}_H\dot{F}}=\frac{\dfrac{\dot{A}_M}{1+\mathrm{j}\dfrac{f}{f_H}}}{1+\dfrac{\dot{A}_M}{1+\mathrm{j}\dfrac{f}{f_H}}\dot{F}}=\frac{\dot{A}_M}{1+\dot{A}_M\dot{F}+\mathrm{j}\dfrac{f}{f_H}}$$

上式分子、分母同除以$(1+A_MF)$,则得

$$\dot{A}_{HF}=\frac{\dot{A}_{MF}}{1+\mathrm{j}\dfrac{f}{f_{HF}}} \tag{4.2.5}$$

式(4.2.5)中 $\dot{A}_{MF}=\dfrac{\dot{A}_M}{1+\dot{A}_M\dot{F}}$, $f_{HF}=f_H(1+\dot{A}_M\dot{F})$

如取其模值,则为

$$|\dot{A}_{MF}|=\frac{|\dot{A}_M|}{|1+\dot{A}_M\dot{F}|},\ f_{HF}=f_H|1+\dot{A}_M\dot{F}| \tag{4.2.6}$$

由此可见,引入负反馈以后,放大电路低、中频段放大倍数$|\dot{A}_{MF}|$下降到开环时放大倍数$|\dot{A}_M|$的$1/|1+\dot{A}_M\dot{F}|$倍;与此同时,负反馈使放大电路的上限频率提高到开环时的$|1+\dot{A}_M\dot{F}|$倍。

对于直接耦合放大电路,其通频带即带宽BW等于上限频率,即$BW=f_H$。因此,由式(4.2.6),可得引入负反馈后,放大电路的通频带BW_F以及放大倍数与带宽的乘积为

$$BW_F=BW\cdot|1+\dot{A}_M\dot{F}| \tag{4.2.7}$$

$$|\dot{A}_{MF}|\cdot BW_F=|A_M|\cdot BW \tag{4.2.8}$$

由此可见,放大电路引入负反馈以后,通频带是开环时的通频带的$|1+\dot{A}_M\dot{F}|$倍,但是低、中频放大倍数$|\dot{A}_M|$却下降到开环的$1/|1+\dot{A}_M\dot{F}|$倍。所以放大电路的“放大倍数-带宽积”不变。这说明放大电路的频带扩展愈多,其低、中频放大倍数下降愈大。

以上讨论的是直接耦合放大电路引入负反馈后,幅频特性的变化情况。若是阻容耦合放大电路,则负反馈引起下限频率的降低可仿照上述方法进行定量地推算。

例 4.2.1 设放大电路在中频段的电压放大倍数为 900,通频带 BW =

50 kHz,由于环境温度等因素的改变,使 A_V 有 ±5% 的变化。现引入负反馈,反馈系数 $F_V=0.01$。求引入负反馈后的 A_V,A_{VF}的相对变化量和通频带·BW_F。

解

$$1+A_VF_V=1+900\times0.01=10$$

$$A_{VF}=\frac{A_V}{1+A_VF_V}=\frac{900}{10}=90$$

$$\frac{\mathrm{d}A_{VF}}{A_{VF}}=\frac{A_V}{1+A_VF_V}\frac{\mathrm{d}A_V}{A_V}=\frac{\pm0.05}{10}=\pm0.5\%$$

由此可见,引入负反馈后,电压放大倍数 A_{VF} 只变 0.5%,即 A_{VF} 由 90 增加到 90.45或下降到 89.55。

引入负反馈的通频带为

$$BW_F=BW\cdot|1+A_{VM}F_V|=50\times10\ \mathrm{kHz}=500\ \mathrm{kHz}$$

4.2.3　减小非线性失真

放大电路的非线性失真是由放大电路中的晶体管、场效应管、集成运算放大器等有源元件以及变压器等无源元件的固有非线性产生的。引入负反馈可使非线性失真减小,减小的原理可用图 4.2.2 所示的电压串联负反馈电路来说明。设放大电路输入端的信号电压是正弦波,由于基本放大电路的非线性,对正半周的放大作用较强,对负半周的放大作用较弱,致使输出电压为正半周幅度大、负半周幅度小的不对称波形。引入负反馈后,由于反馈电压 v_F 与输出电压 v_o 成正比,反馈电压自然具有输出电压正半周较大的特点,它与输入信号 v_i 相减后,差值电压 $v_d=v_i-v_F$ 将是一个正半周幅度小、负半周幅度大的失真波形,这一波形正好在一定程度上补偿了放大电路对正、负半周放大作用不一样的非线性特性,使输出波形接近对称,减小了非线性失真。

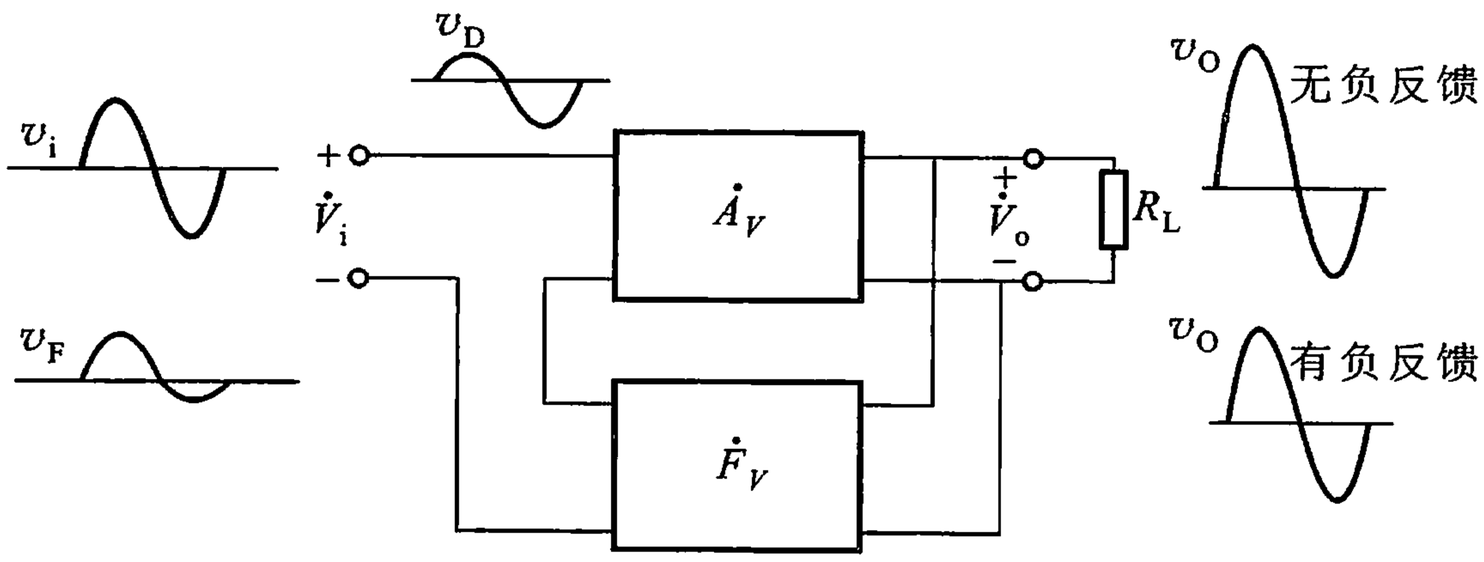


图 4.2.2　负反馈减小非线性失真示意图

在无反馈时，若放大电路的输出电压波形失真，这表明输出电压中除基波分量外，还增加了由非线性失真产生的谐波分量。引入负反馈后，电压放大倍数减小，在保持输出波形基波成分不变的情况下，可增加输入电压 $\dot{V}_i$，使差值电压 $\dot{V}_d$ 中的基波分量保持为加反馈前的数值。这时降低了输出电压的谐波成分，从而减小了非线性失真。为简明起见，这里只考虑二次谐波，忽略实际上存在的高次谐波，这时放大电路输出电压的谐波成分 $\dot{V}_{o2f}$ 将由两部分组成：一是由基本放大电路产生的谐波成分，由于维持净输入电压 $\dot{V}_d$ 中基波分量的幅度不变，故这一谐波分量仍为 $\dot{V}_{o2}$；二是取样于输出谐波成分的反馈电压 $\dot{F}_V\dot{V}_{o2f}$，经基本放大电路放大后，在输出端形成的谐波成分为 $\dot{A}_V\dot{F}_V\dot{V}_{o2f}$，这个成分是削弱 $\dot{V}_{o2}$ 的。于是可得

$$\dot{V}_{o2f} = \dot{V}_{o2} - \dot{A}_V\dot{F}_V\dot{V}_{o2f}$$

$$\dot{V}_{o2f} = \frac{\dot{V}_{o2}}{1 + \dot{A}_V\dot{F}_V} \tag{4.2.9}$$

式(4.2.9)表明，引入负反馈后，谐波电压是无反馈时谐波电压的 $1/|1 + \dot{A}_M\dot{F}|$ 倍，说明了反馈愈深，减小非线性失真的效果愈好。

必须指出：(1) 在输入波形不失真的条件下，负反馈才能减小非线性失真，即只能减小反馈环内的失真；(2) 在非线性失真不太严重的情况下，式(4.2.9)才成立。(3) 非线性失真与输出幅度密切相关，若输出幅度变小，则非线性失真自然就会减小，这也就是在小信号模型下，所有非线性电路都可转化为线性电路的原因。所以，比较非线性失真只有在相同输出幅度下才有意义。

4.2.4 对输入电阻和输出电阻的影响

放大电路中引入负反馈以后，能影响放大电路的输入电阻和输出电阻。它们的变化是增加还是减小，取决于反馈的形式。放大电路以及电路系统的输入电阻和输出电阻，对电路的工作情况影响很大，实际上人们常采用适当的负反馈措施，以满足电路对放大电路输入电阻和输出电阻的要求。

1. 对输入电阻的影响

负反馈对放大电路输入电阻的影响，取决于反馈信号与输入信号在输入回路的连接方式，而与反馈信号在输出端的取样对象无直接关系。引入电压串联负反馈后，放大电路的输入电阻增加到开环时的 $|1 + \dot{A}_V\dot{F}_V|$ 倍；引入电流串联负

反馈后，放大电路的输入电阻增加到开环时的 $|1+\dot{A}_G\dot{F}_R|$ 倍；即只要在输入端采用串联负反馈的形式，其输入电阻就要增加，增加的倍数是开环时的 $|1+\dot{A}\,\dot{F}|$ 倍。同样，引入电流并联负反馈后，放大电路的输入电阻减小到无反馈时的 $1/|1+\dot{A}_I\dot{F}_I|$；引入电压并联负反馈后，放大电路的输入电阻减小到无反馈时的 $1/|1+\dot{A}_R\dot{F}_G|$；即只要输入端采用并联负反馈的形式，其输入电阻都要减小，减小到无反馈时的 $1/|1+\dot{A}\,\dot{F}|$。

2. 对输出电阻的影响

负反馈对放大电路输出电阻的影响，取决于反馈信号取样于输出电压还是输出电流，而与反馈信号和输入信号的连接方式无直接关系。引入电压串联负反馈后，放大电路的输出电阻减小到开环时的 $1/|1+\dot{A}_V\dot{F}_V|$；引入电压并联负反馈后，放大电路的输出电阻减小到无反馈时的 $1/|1+\dot{A}_R\dot{F}_G|$；即只要在输出端采用电压负反馈的形式，其输出电阻就要减小到无反馈时的 $1/|1+\dot{A}\,\dot{F}|$。同样，电流并联负反馈使放大电路的输出电阻增加，增加到无反馈时的 $|1+\dot{A}_I\dot{F}_I|$ 倍，电流串联负反馈使放大电路的输出电阻增加到无反馈时的 $|1+\dot{A}_G\dot{F}_R|$ 倍；即只要在输出端采用电流负反馈的形式，其输出电阻就要增加到无反馈时的 $|1+\dot{A}\,\dot{F}|$ 倍。

电压负反馈能稳定放大电路的输出电压，从戴维宁定理来看，稳定输出电压也就是减小输出电阻，减小程度取决于反馈深度。电流负反馈能稳定放大电路的输出电流，从诺顿定理来看，稳定输出电流也就是增加输出电阻，增加程度取决于反馈深度。

4.2.5　对放大电路稳定性的影响

前面的讨论指出，负反馈对放大电路性能改善的程度，与反馈深度 $|1+\dot{A}\,\dot{F}|$ 大小有关，反馈深度愈大，性能的改善就愈显著。但是，在多级负反馈放大电路中，反馈深度过大又可能使放大电路产生自激振荡现象。这种现象是，即使不加输入信号，放大电路也会产生具有一定频率和幅度的输出信号。在这种情况下，放大电路正常的输入输出关系被破坏，它就不能正常工作了。

在中频段内属于负反馈的放大电路，在高频或低频时，它可以转化为正反馈放大电路，甚至出现自激振荡。其根本原因之一，在于放大电路存在附加相移。负反馈是指在中频信号输入时，反馈信号与输入信号具有 180°的固定相移，从

而使反馈信号削弱了输入信号。然而,对于多级负反馈放大电路,其中各级都存在输入电阻和输出电阻以及输入电容和输出电容,这些电阻和电容构成了 RC 回路。对于含有 RC 回路的放大电路,它的相频特性在低频或高频时,必然会产生随频率变化的附加相移;每一个 RC 回路,其最大附加相移可接近 $+90°$(或 $-90°$)。对于一个多级负反馈放大电路,如果在某一频率上其附加相移达到 180°时,则反馈信号与输入信号由 180°固定相位差变成了同相,反馈信号不是削弱输入信号而是增强了输入信号,使 $|\dot{A}_F|$ 增大,负反馈变成了正反馈。由反馈的基本公式

$$\dot{A}_F = \frac{\dot{A}}{1 + \dot{A}\,\dot{F}}$$

可知,$\dot{A}\,\dot{F}$ 一项反号后,如果反馈很强,使得 $|1 + \dot{A}\,\dot{F}| = 0$,则 $|\dot{A}_F| = \infty$,这表明即使不加输入信号($\dot{V}_i = 0$),仍有信号输出,放大电路处于自激振荡状态。

根据上述分析,可得负反馈放大电路产生自激振荡的条件是

$$1 + \dot{A}\,\dot{F} = 0 \quad 或 \quad \dot{A}\,\dot{F} = -1 \tag{4.2.10}$$

式(4.2.10)又可改写为

$$|\dot{A}\,\dot{F}| = 1 \tag{4.2.11}$$

$$\varphi_A + \varphi_F = (2n+1)\pi,\ n = 0,1,2,\cdots \tag{4.2.12}$$

式(4.2.11)和式(4.2.12)分别称为负反馈放大电路产生自激振荡的振幅条件和相位条件。

由以上分析可知,对于三级及三级以上的负反馈放大电路,在深度反馈的条件下,应设法破坏其自激条件,才能使它稳定地工作。制作一个放大器,不但应使它在预定的工作条件下满足稳定条件,而且当环境温度、电路参数和电源电压等因素变化时也能满足稳定条件。为此,稳定的程度应留有一定的裕量。

通常破坏其自激条件的方法是在放大电路或反馈网络中加入若干由 C 或 RC 元件组成的校正网络,以改变 $\dot{A}\,\dot{F}$ 的频率特性,使其在反馈较深的情况下也能稳定地工作[4]。

4.3 深度负反馈放大电路的近似计算

分析负反馈放大电路,常用的方法有小信号等效电路法、近似计算法和方框图法等 3 种。有些简单的负反馈放大电路用前面学过的小信号等效电路法也能

很方便地求出 $\dot{A}_F$、R_{if}和 R_{of}几个量。例如，在 2.5 节中的共集电极放大电路就是一个电压串联负反馈放大电路，它是利用小信号等效电路法求解的。由集成运放组成的负反馈放大电路和多级负反馈放大电路，由于开环增益较高，一般能满足深度负反馈的条件，可利用近似计算法来求解。

4.3.1　深度负反馈放大电路的特点

根据 $\dot{A}_F$ 的一般表达式

$$\dot{A}_F = \frac{\dot{X}_o}{\dot{X}_i} = \frac{\dot{X}_o}{\dot{X}_d + \dot{X}_f} = \frac{\dot{A}}{1 + \dot{A}\dot{F}}$$

当只考虑闭环放大倍数的幅值时，在深度负反馈的情况下，$|1 + \dot{A}\dot{F}| >> 1$ 或 $|\dot{A}\dot{F}| >> 1$，故

$$|\dot{A}_F| \approx \frac{1}{|\dot{F}|} \tag{4.3.1}$$

而

$$\frac{1}{|\dot{F}|} = \frac{1}{|\dot{X}_f|/|\dot{X}_o|} \approx \frac{|\dot{X}_o|}{|\dot{X}_i|}$$

所以

$$|\dot{X}_i| \approx |\dot{X}_f|$$

即输入量近似地等于反馈量，于是

$$|\dot{X}_d| \approx 0 \tag{4.3.2}$$

式(4.3.2)说明，在深度负反馈的情况下，净输入信号是一个非常小的值，它与反馈信号相比，可以忽略。因此，深度负反馈的特点，对串联负反馈为

$$\left.\begin{aligned} |\dot{V}_i| &\approx |\dot{V}_f| \\ |\dot{V}_d| &\approx 0 \end{aligned}\right\} \tag{4.3.3}$$

对并联负反馈为

$$\left.\begin{aligned} |\dot{I}_i| &\approx |\dot{I}_f| \\ |\dot{I}_d| &\approx 0 \end{aligned}\right\} \tag{4.3.4}$$

运用上述特点，可以大大简化对深度负反馈放大电路的计算过程。下面就深度负反馈放大电路的计算举个实例。在分析计算时，设放大电路工作在中频区，除放大电路本身的相移外，其他相移都可忽略。

4.3.2　具有深度负反馈放大电路计算举例

例 4.3.1　电路如图 4.3.1 所示，假设电路满足深度负反馈条件，试采用近似计算法计算负反馈放大电路的闭环源电压增益 A_{VSF}。

解　为了采用近似计算法计算电压放大倍数，首先判断是什么类型的负反馈。

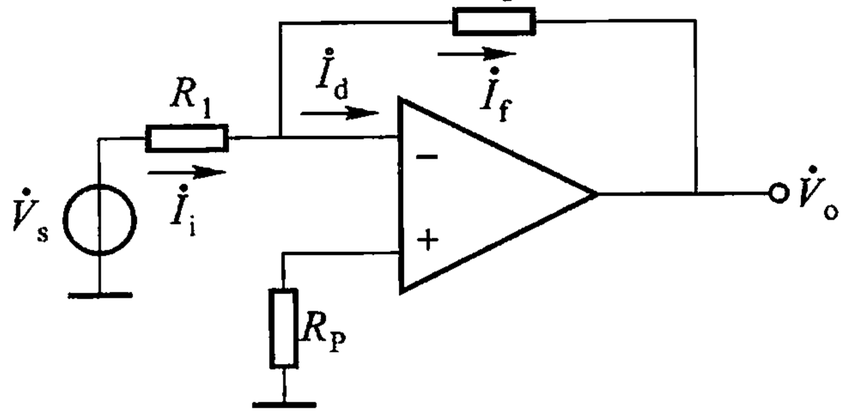


图 4.3.1　例 4.3.1 的电路

由图 4.3.1 可见，反馈信号取自输出电压 $\dot{V}_o$，在输入回路中，外加输入信号与反馈信号以电流形式求和，因此，属于电压并联负反馈组态。在深度负反馈的条件下，则 $\dot{I}_d \approx 0$，$\dot{I}_i \approx \dot{I}_f$，可得

$$\dot{V}_n = \dot{I}_d (R_{i0} + R_P) \approx 0$$

$$\dot{V}_p = \dot{I}_d R_P \approx 0$$

所以

$$\dot{V}_n \approx \dot{V}_p \approx 0$$

由图 4.3.1 可导出

$$\dot{I}_1 = \frac{\dot{V}_s - \dot{V}_n}{R_1} \approx \frac{\dot{V}_s}{R_1}$$

$$\dot{I}_f = \frac{\dot{V}_n - \dot{V}_o}{R_F} \approx -\frac{\dot{V}_o}{R_F}$$

由上述方程组，可得图 4.3.1 电压并联负反馈放大电路的闭环源电压增益

$$\dot{A}_{VSF} = \frac{\dot{V}_o}{\dot{V}_s} = -\frac{R_F}{R_1}$$

$\dot{A}_{VSF}$ 值为负，表明这是一个反相放大电路，$\dot{A}_{VSF}$ 值与运放的参数无关，只由比值 R_F/R_1 决定，因此，闭环电压增益 $\dot{A}_{VSF}$ 的精度和稳定性是很高的。

例 4.3.2　负反馈放大电路如图 4.3.2 所示，设这些电路满足深度负反馈条件，试运用近似计算法计算各电路的闭环电压放大倍数。

解　图 4.3.2(a)所示为电流串联负反馈放大电路，在深度负反馈条件下，有 $\dot{V}_i \approx \dot{V}_f$。由于是深度负反馈，可设 $\dot{I}_f \gg \dot{I}_{e1}$，则

$$\dot{V}_f = (\dot{I}_{e1} + \dot{I}_f) R_{E1} \approx \dot{I}_f R_{E1}$$

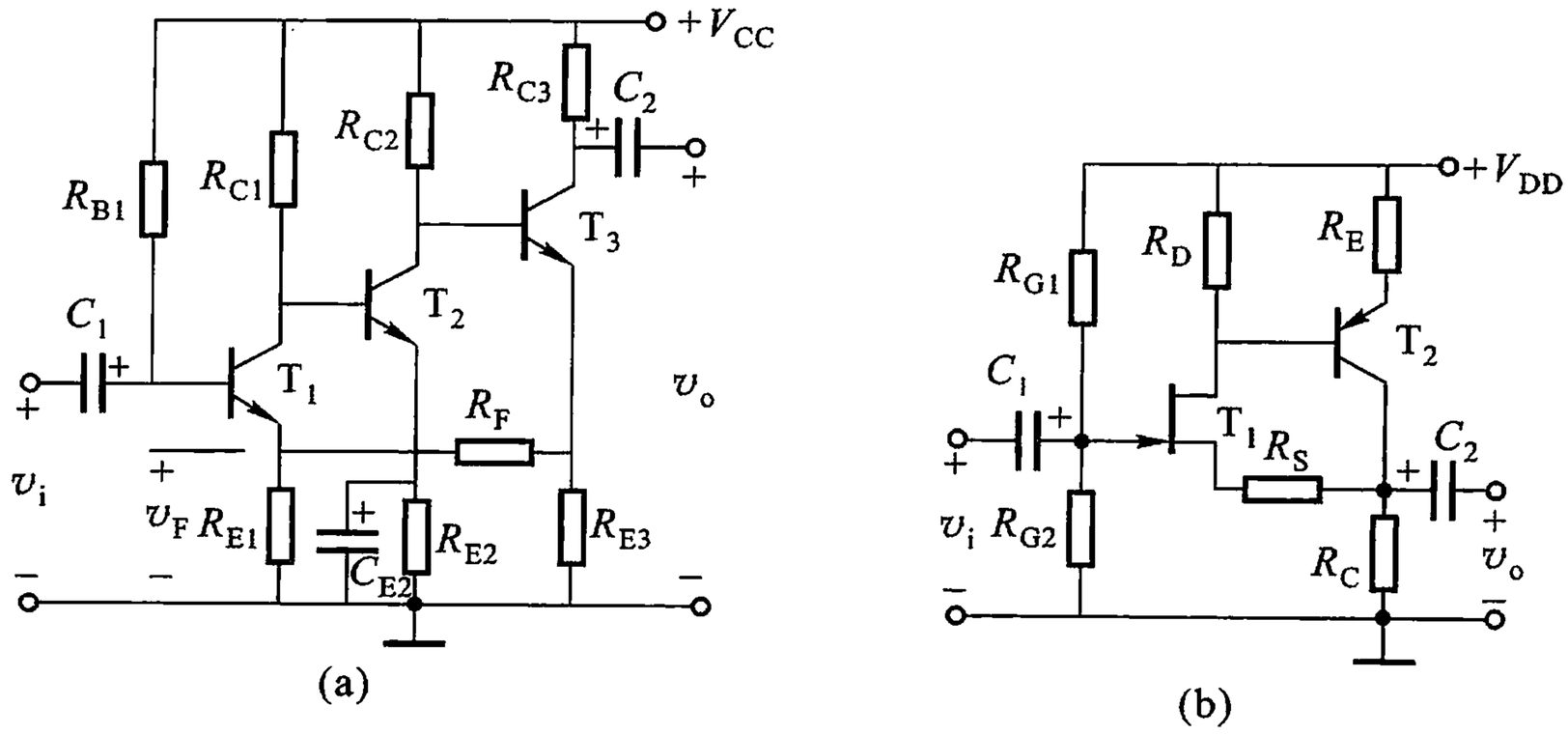


图 4.3.2　例 4.3.2 的电路图

（a）电路一　（b）电路二

$$\dot{I}_f = \frac{R_{E3}}{R_F + R_{E1} + R_{E3}} \dot{I}_{e3}$$

$$\dot{V}_f \approx \frac{R_{E1} R_{E3}}{R_F + R_{E1} + R_{E3}} \dot{I}_{e3}$$

于是

而　　$$\dot{V}_o = -\dot{I}_o R_{C3} \approx -\dot{I}_{e3} R_{C3}$$

故闭环电压放大倍数为

$$\dot{A}_{VF} = \frac{\dot{V}_o}{\dot{V}_i} \approx \frac{\dot{V}_o}{\dot{V}_f} \approx -\frac{(R_F + R_{E1} + R_{E3}) \cdot R_{C3}}{R_{E1} R_{E3}}$$

图 4.3.2(b)所示为电压串联负反馈放大电路。在深度负反馈的条件下有

$$\dot{V}_i \approx \dot{V}_f$$

$$\dot{A}_{VF} = \frac{\dot{V}_o}{\dot{V}_i} \approx \frac{\dot{V}_o}{\dot{V}_f} = \frac{1}{\dot{F}_V}$$

$$\dot{V}_o = (\dot{I}_d + \dot{I}_c) R_C$$

而　　$$\dot{I}_c = \beta \dot{I}_b = \beta \cdot \frac{\dot{I}_d R_D}{R_D + R_{i2}}$$

于是　　$$\dot{V}_o = (\dot{I}_d + \dot{I}_c) R_C = \left(1 + \frac{\beta R_D}{R_D + R_{i2}}\right) \dot{I}_d R_C$$

$$\dot{V}_f = \dot{V}_o + \dot{I}_d R_S = \left[\left(1 + \frac{\beta R_D}{R_D + R_{i2}}\right) R_C + R_S\right] \dot{I}_d$$

$$\dot{A}_{VF}=\frac{\dot{V}_o}{\dot{V}_i}\approx\frac{\dot{V}_o}{\dot{V}_f}=\left(1+\frac{\beta R_D}{R_D+R_{i2}}\right)R_C\Big/\left[\left(1+\frac{\beta R_D}{R_D+R_{i2}}\right)R_C+R_S\right]$$

式中 $$R_{i2}=r_{be}+(1+\beta R_E)$$

从图 4.3.2(b)一例可以看出,对于电压串联负反馈放大电路,只要满足深负反馈的条件,其闭环电压放大倍数 $\dot{A}_{VF}$ 近似等于反馈系 $\dot{F}_V$ 的倒数,因此,只需求出反馈系数 $\dot{F}_V$,即可得到 $\dot{A}_{VF}$。

小结

1. 从反馈的基本概念出发,明确什么是反馈、负反馈与正反馈、直流反馈与交流反馈。

2. 负反馈有 4 种连接方式(组态)。它们是电压串联负反馈、电流串联负反馈、电压并联负反馈和电流并联负反馈。凡属电压负反馈,能稳定输出电压,使输出电阻减小;凡属电流负反馈,能稳定输出电流,使输出电阻增加;凡是串联负反馈,使输入电阻增加;凡是并联负反馈,使输入电阻减小。

3. 反馈极性和反馈组态的判断。

(1) 根据电路有无反馈通路,来判断反馈是否存在。

(2) 判断反馈的极性,可采用瞬时极性法,即假定某一瞬间输入信号的极性,研究同一电路中有关电压的极性和电流的方向,如果反馈信号削弱输入信号,则为负反馈,反之为正反馈。

(3) 反馈组态的判别方法,可以从电路结构直接看出。在放大电路的输出回路,反馈网络与基本放大电路是并联连接的,为电压反馈;是串联连接的,为电流反馈。在放大电路的输入回路,反馈网络和基本放大电路是串联连接的,为串联反馈;是并联连接的,则为并联反馈。判断是电压反馈还是电流反馈,还可采用将负载电阻 R_L 短路的办法,即令 $V_o=0$,这时如果反馈信号为零,说明反馈信号取样于输出电压,就是电压反馈,否则就是电流反馈。

4. 负反馈能提高放大电路增益的稳定性、扩展频带、减小非线性失真,能抑制放大电路内部的噪声。但这些都是以降低增益为代价换取得来的。负反馈放大电路性能改善的程度是由反馈深度决定的。反馈深度是衡量负反馈效果的一个重要参量。反馈深度很大时,增益由反馈系数决定,而与放大器件等因素无关,因而增益是稳定的。

5. 负反馈放大电路的近似计算。

(1) 对于简单的负反馈放大电路,可利用小信号等效电路法直接求出它的放大倍数、输入电阻和输出电阻等。但利用小信号等效电路法分析复杂的反馈

放大电路就比较麻烦。

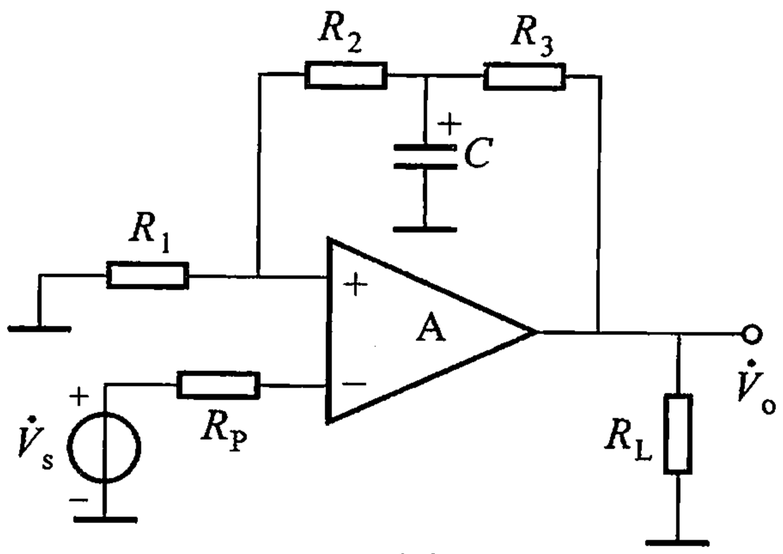
(2) 对于满足 $|1+\dot{A}\dot{F}|>>1$ 的深度负反馈放大电路，可利用 $|\dot{A}_F|\approx 1/|\dot{F}| = |\dot{X}_o|/|\dot{X}_f|$ 的关系和 $|\dot{X}_o|\approx|\dot{X}_f|$ 的特点求得有关增益，欲求电压增益，除电压串联负反馈外，其他各类型的负反馈还需进行转换。

习题与思考题

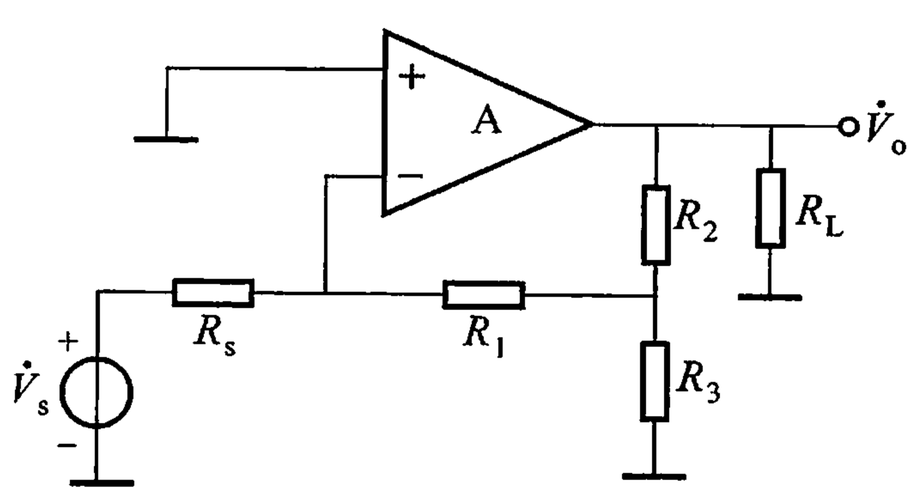
4.1　解释下列名词：反馈、负反馈、正反馈、反馈系数、反馈深度、电压反馈、电流反馈、串联反馈、并联反馈；基本放大电路、开环放大倍数、闭环放大倍数；直流反馈、交流反馈；寄生反馈、人为反馈。

4.2　在图 P4.2 所示的电路中，指出反馈通路，判断所引入的反馈是正反馈还是负反馈；是交流反馈还是直流反馈。设电容的容抗可以忽略。

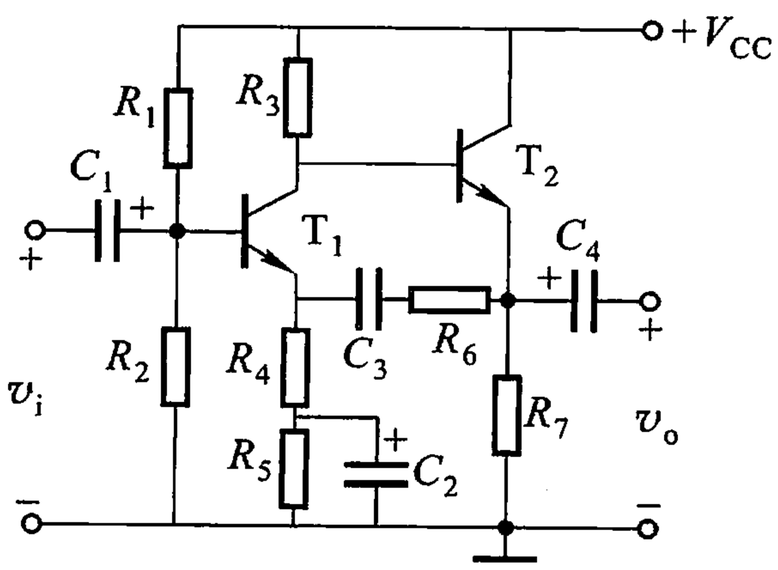
4.3　判断图 P4.2 所示各电路中各交流负反馈分别是什么类型。



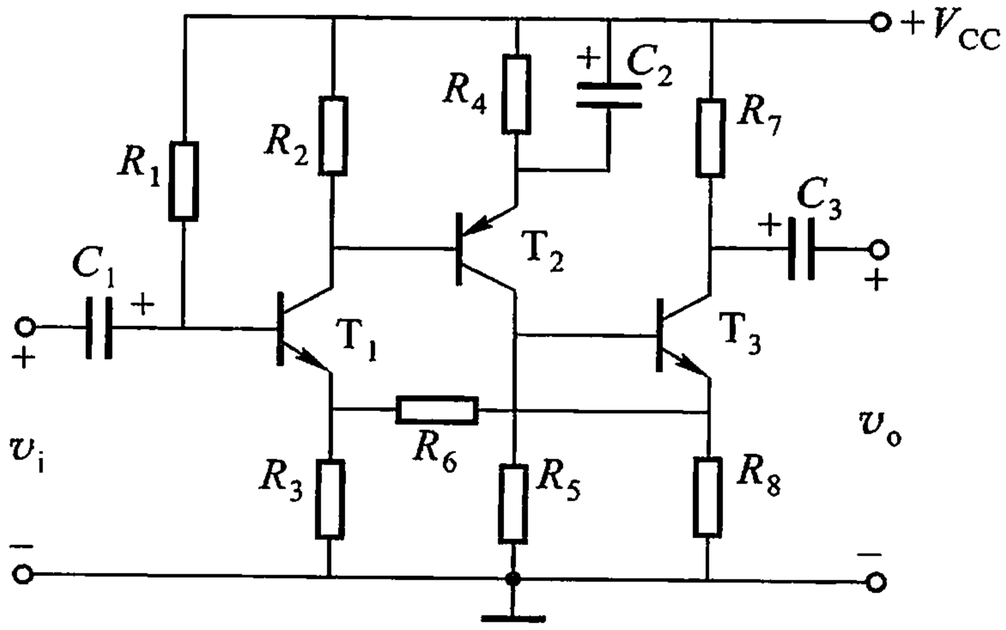
(a)



(b)



(c)



(d)

图 P4.2

4.4　负反馈放大电路有哪几种类型？试说明各种类型负反馈放大电路的

开环放大倍数 $\dot{A}$ 和反馈系数 $\dot{F}$ 的含义。

4.5 指出下面的说法是否正确，如果有错，错在哪里。

（1）既然在深度负反馈的条件下，闭环放大倍数 $|\dot{A}_F| \approx 1/|\dot{F}|$，与放大器件的参数几乎无关，因此，器件的参数就没有什么实际意义了。于是可以随便用一个管子，只要适当选取 $|\dot{F}|$，就能获得恒定的且为所需大小的 $|\dot{A}_F|$；

（2）负反馈能展宽通频带，因此，可用低频管代替高频管，只要加上足够深的负反馈即可。

4.6 试从物理概念上说明电流负反馈使输出电阻增加，电压负反馈使输出电阻减小，串联负反馈使输入电阻增加和并联负反馈使输入电阻减小的道理。

4.7 当放大电路 A_V 改变 20% 时，如果要求 $A_{VF} = 100$ 而且 A_{VF} 的变化不大于 1%。（1）试计算 A_V 和 F 值。（2）如果无反馈时的 $f_H = 20$ kHz，求引入反馈后的通频带 BW_F。

4.8 在图 P4.8 所示电路中，设运算放大器为理想运放。

（1）合理连线，将信号源 v_S 与 R_F 正确地接入电路，使电路有尽可能高的输入电阻；

（2）保证放大倍数 $|\dot{A}_{VF}| = 100$，问应选用多大的反馈电阻 R_F？

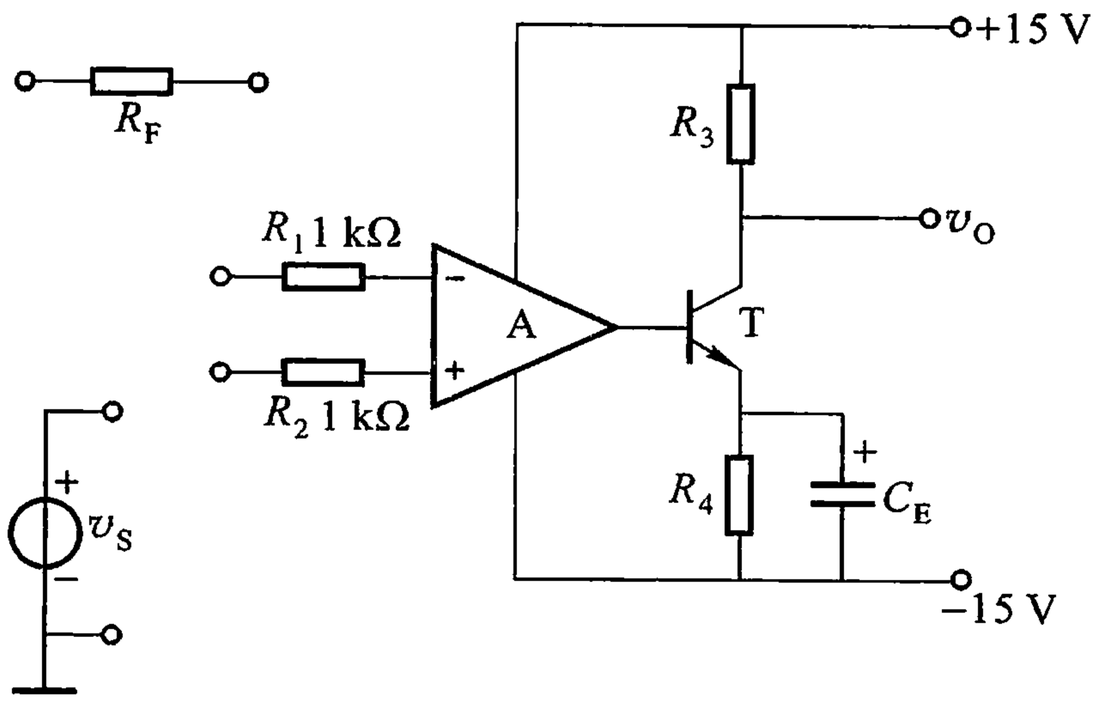


图 P4.8

4.9 在图 P4.9 所示的放大电路中，为了分别实现下面几方面的要求，应引入何种类型的负反馈？请画上反馈电路。

（1）要求元件参数的改变对 T_3 的静态集电极电压影响较小；

（2）要求 T_3 集电极电流的交流分流 i_{c3} 基本上不受 R_{C3} 改变的影响；

（3）要求在接上外加负载 R_L 以后，电压放大倍数基本不变；

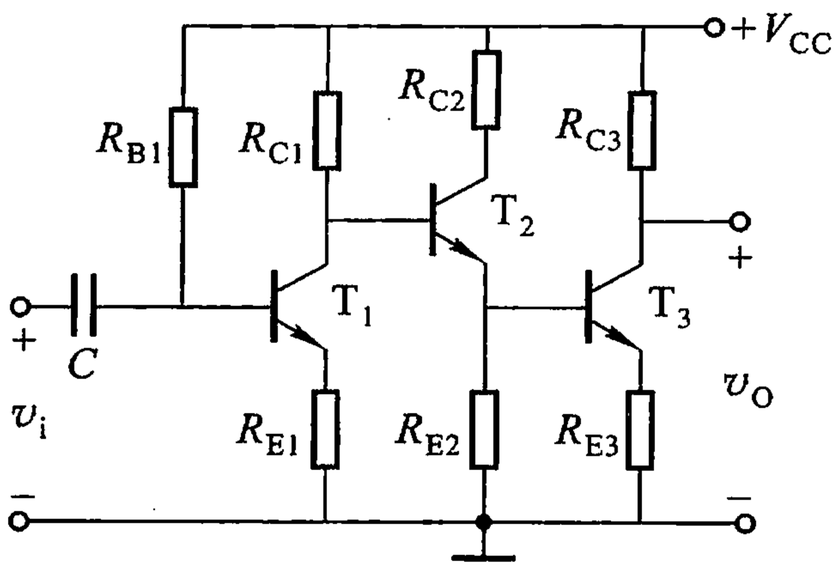


图 P4.9

（4）要求输入端向信号源索取的电流比较小。

4.10　负反馈放大电路如图 P4.10 所示，设这些电路满足深度负反馈条件，试运用近似计算法计算它们的电压放大倍数。

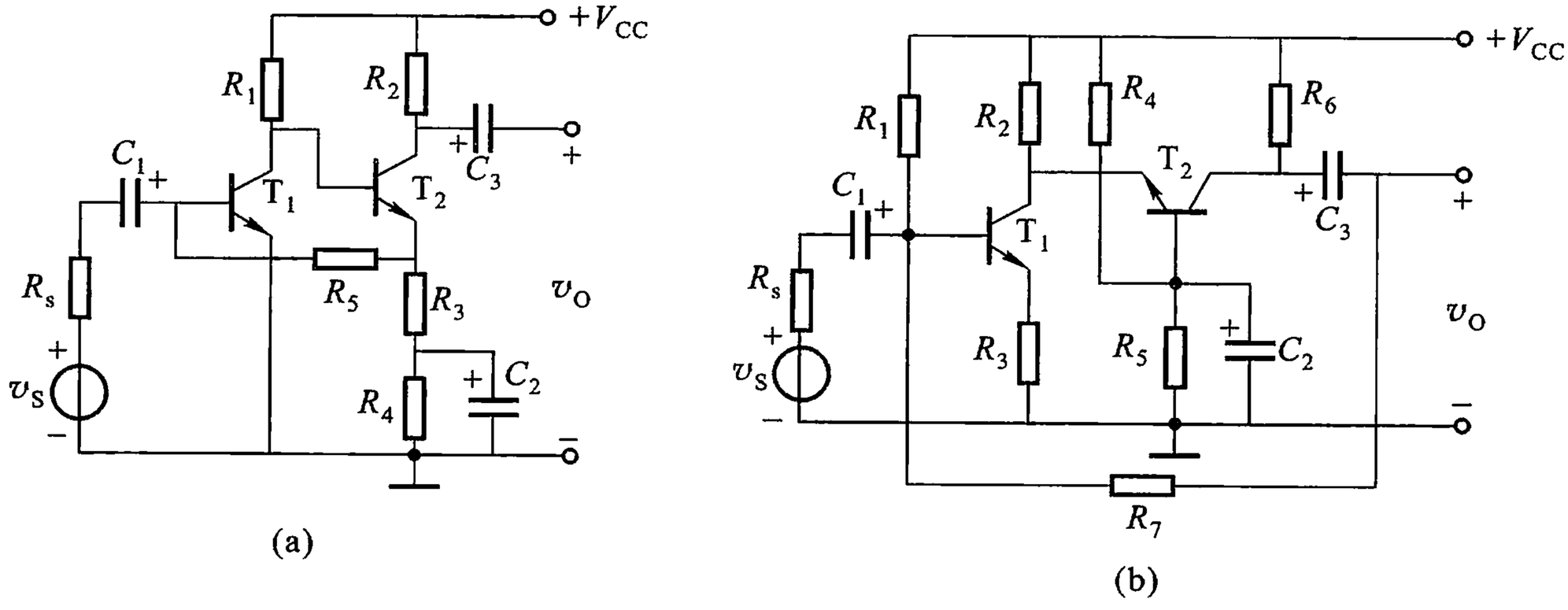


图 P4.10

4.11　电路如图 P4.11 所示，A 是放大倍数为 1 的隔离器（缓冲器）。

（1）指出电路中级间交流反馈通路，并说明是什么类型的交流负反馈；

（2）试运用近似计算法计算中频时的电压放大倍数；

（3）试简述该电路要使负反馈效果显著，对 R_5 有何要求。

4.12　电路如图 P4.12 所示。

（1）要使电路中引入的反馈为负反馈，开关 S 应置于（a）还是置于（b）？

（2）这个负反馈属于何种类型的负反馈？

（3）设电路满足深度负反馈的条件，电压放大倍数 $\dot{A}_{VF}$ 大约是多少？

4.13　负反馈放大电路如图 P4.13 所示，假设运算放大器的差模输入电阻为无穷大，输出电阻为零。

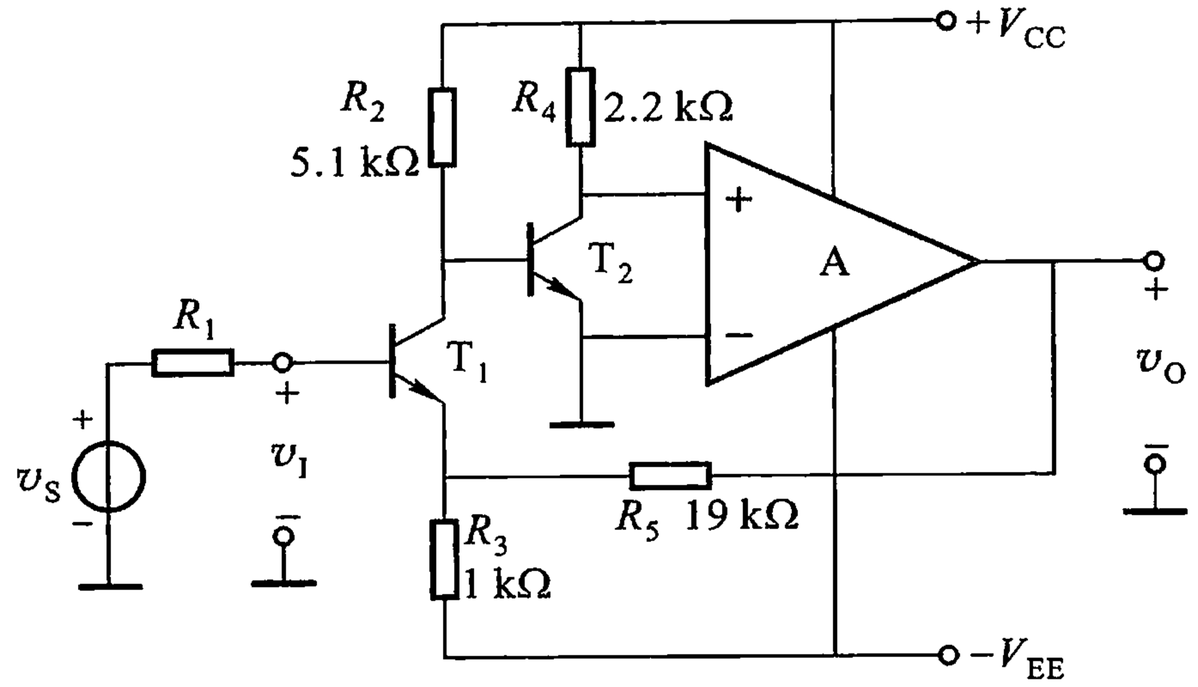


图 P4.11

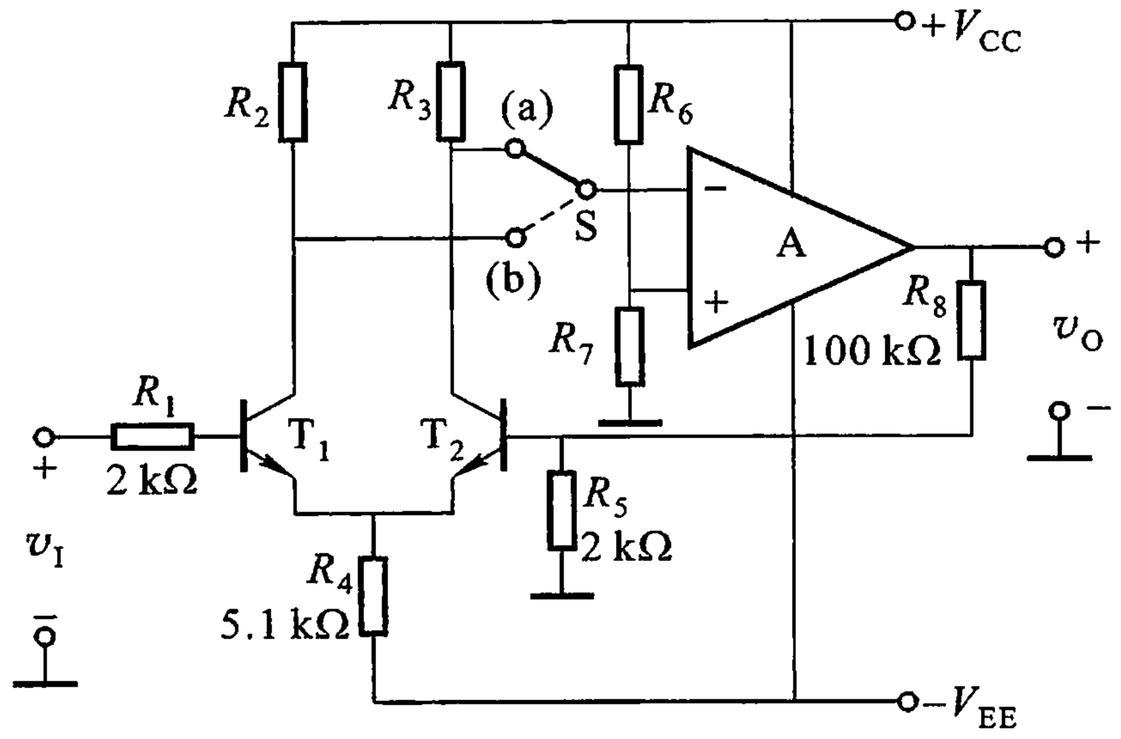


图 P4.12

（1）写出电压反馈系数 $\dot{F}_V$ 的表达式；

（2）如果基本放大电路的开环增益 $|\dot{A}_V|$ 为 10^3，闭环电压增益 $|\dot{A}_{VF}|$ 为 10^2，计算反馈系数 $|\dot{F}_V|$，求出 R_2/R_1 的值；

（3）如果开环放大倍数减小 20%，那么闭环放大倍数将减小多少？

4.14 负反馈放大电路如图 P4.14 所示。

（1）利用近似计算法计算 $|\dot{A}_{VF}|$；

（2）若基本放大电路的开环电压增益 $|\dot{A}_V|$ 为 10^2，利用负反馈一般表达式计算 $|\dot{A}_{VF}|$。

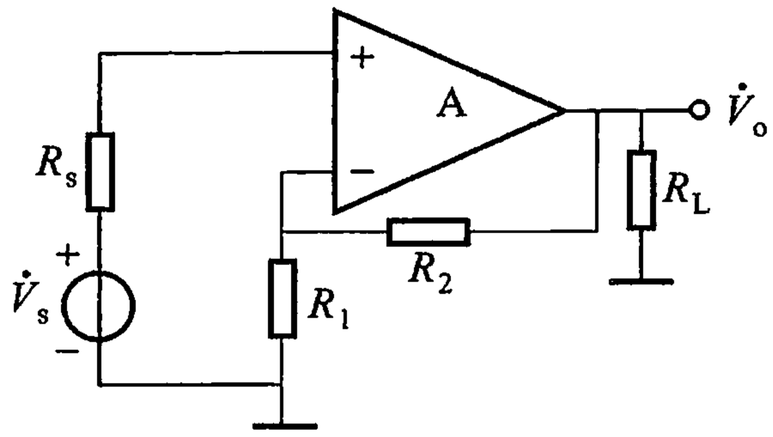


图 P4.13

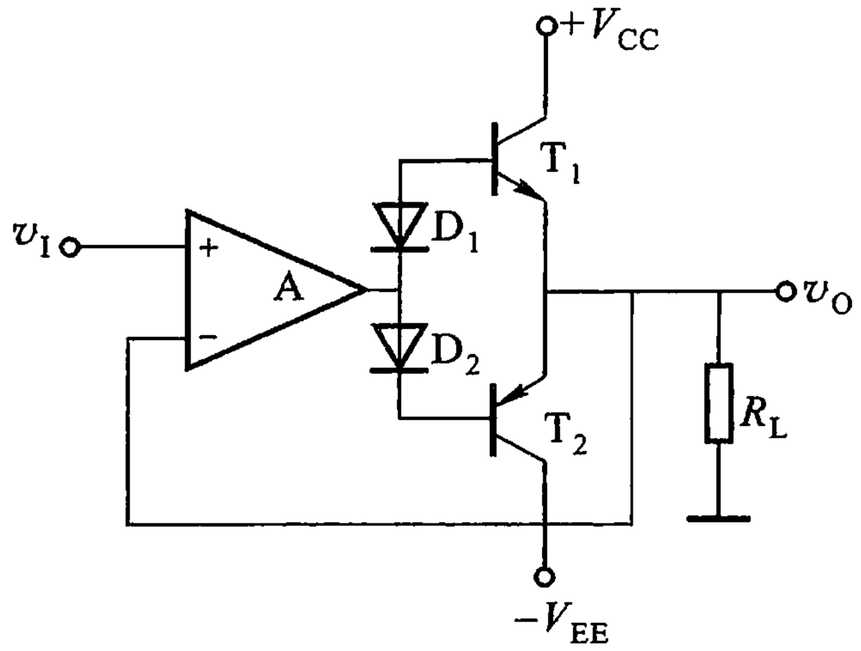


图 P4.14

第5章　波形发生电路

引　言

前面讨论了电压放大电路，它是在外加输入信号的激励下，把直流的部分能量转换成按输入信号变化的交变电流的电路。本章将讨论的是另一种电路，它不需要外加输入信号的激励就能自动地将直流电能转换为各种稳定的、随时间而周期变化的交变电能。这种电路称为波形发生电路，又称振荡电路。按照波形发生电路产生的波形可以分为正弦波发生电路和非正弦波发生电路两大类。本章首先讨论正弦波振荡电路，然后介绍比较器，最后讨论非正弦波发生电路。

5.1　正弦波振荡电路

5.1.1　正弦波振荡电路的基本原理

根据产生振荡的不同方法，正弦波振荡电路可分为两大类，一类为反馈振荡电路，它是将放大电路的输出信号，经过正反馈网络反馈到输入端作为其输入信号，来控制能量转换，从而产生持续稳定的正弦波振荡。另一类是负阻振荡电路，这种振荡电路是将负阻器件（如隧道二极管）的负阻效应来抵消回路中的损耗电阻，从而产生持续稳定的正弦波振荡。本节只讨论反馈振荡电路。

1. 振荡的平衡条件

振荡的平衡条件可从图5.1.1的方框图来分析。当开关S置1端时，在外加正弦信号$\dot{V}_i$的激励下工作，输出正弦波电压$\dot{V}_o = \dot{A}\,\dot{V}_i$。当开关置于2端时，得到的反馈电压$\dot{V}_f = \dot{F}\,\dot{V}_o$，只要适当地选择电路参数和引入必需的反馈极性，使反馈电压$\dot{V}_f$与原来的输入电压$\dot{V}_i$大小相等，相位相同，即$\dot{V}_f =$

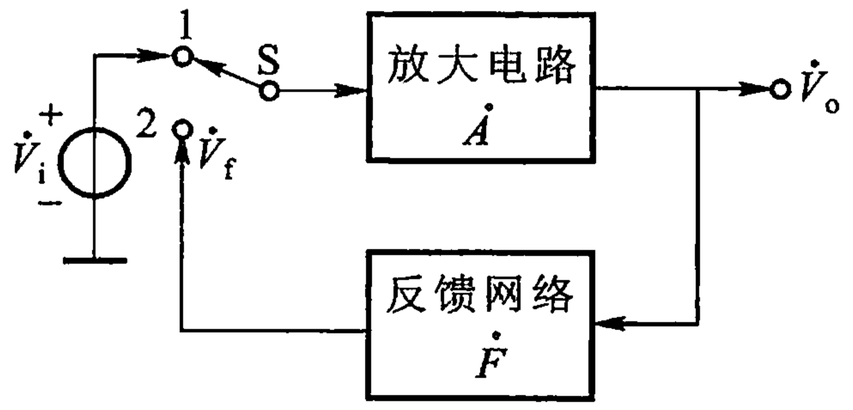


图5.1.1　自激振荡电路方框图（S置于2端）

$\dot{V}_i$，则放大电路的输出电压 $\dot{V}_o$ 将保持不变。这时，放大电路依靠来源于其输出的反馈电压而工作，反馈放大电路成了振荡电路。

根据 $\dot{V}_f = \dot{V}_i$ 的要求，可以推得

$$\dot{V}_f = \dot{F}\dot{V}_o = \dot{F}\dot{A}\dot{V}_i = \dot{V}_i \tag{5.1.1}$$

即

$$\dot{A}\dot{F} = 1 \tag{5.1.2}$$

式(5.1.2)称为振荡的平衡条件，又称维持自激振荡的条件。

若令　$\dot{A}\dot{F} = |\dot{A}\dot{F}|e^{j(\varphi_A+\varphi_F)} = 1$，

则式(5.1.2)又可写成

$$|\dot{A}\dot{F}| = 1 \tag{5.1.3}$$

$$\varphi_A + \varphi_F = 2n\pi, \quad n = 0,1,2,\cdots \tag{5.1.4}$$

其中，φ_A 和 φ_F 分别为 $\dot{A}$ 和 $\dot{F}$ 的相角。

式(5.1.3)称为自激振荡的振幅平衡条件，式(5.1.4)则称为自激振荡的相位平衡条件。这两个条件是在电路进入稳定的持续振荡后得出的。一个反馈式振荡电路只有同时满足这两个条件，电路才能维持自激振荡。

由振荡的平衡条件和图 5.1.1 可以推知，自激振荡实质上就是外加输入信号等于零的正反馈放大电路，和负反馈放大电路的自激条件式(4.2.10)相比，虽然本质是相同的，但形式上相差一个负号。$\dot{A}\dot{F} = -1$ 的自激条件是根据负反馈放大电路的方框图得出的。负反馈放大电路产生自激振荡相位平衡条件的原因是，基本放大电路和反馈网络产生的附加相移使中频情况下放大电路的负反馈作用在低频或高频区的某一频率下变成正反馈，因此，相位平衡条件有所不同。

2. 振荡的起振条件

振幅平衡条件 $|\dot{A}\dot{F}| = 1$，是指振荡建立以后维持稳幅振荡的条件。一个振荡电路如果只满足振幅平衡条件，是不能起振的。因为接通电源开始工作时，放大电路的输入信号、输出信号和反馈信号都等于零，并且受条件 $|\dot{A}\dot{F}| = 1$ 的限制，使这种状态维持不变。要使振荡能够建立，使电路在某一频率下有一定的输出电压，就必须有一个外加信号触发。显然，这样的振荡电路是没有实际意义的。那么怎样才能使振荡电路不需外加输入信号的激励就能起振呢？当电路刚接通电源时，出现在电路中很小的扰动电压或噪声电压，它们有很宽的频率成分，其频谱中必包含振荡频率 f_0 的正弦分量，为了获得频率为 f_0 的正弦波振荡，

并使其余的频率成分衰减下去，使满足相位平衡条件的频率只有 f_0，为此就要求在振荡电路中设置一个具有选频特性的选频网络。这个频率为 f_0 的微弱成分经过反馈网络和基本放大电路，只要反馈信号的振幅大于原始输入信号的振幅，即 $|\dot{V}_f| > |\dot{V}_i|$，输出信号就会由小逐渐变大，自激振荡便建立起来，因此，起振的幅值条件是

$$|\dot{A}\,\dot{F}| > 1 \tag{5.1.5}$$

振荡建立以后，频率为 f_0 的信号必然愈来愈大，当它的幅值大到一定程度后，放大器件就会接近甚至进入饱和区（或截止区），输出波形就会失真。为了克服这种现象，把振荡最终稳定在一定的幅度上，还需要在放大电路或反馈网络中引入一个由非线性元件组成的稳幅环节。它能自动地调整振荡的环路放大倍数 $|\dot{A}\,\dot{F}|$，使 $|\dot{A}\,\dot{F}|$ 随着振幅的增大而减小，当 $|\dot{A}\,\dot{F}|$ 由大于 1 减小到等于 1 时，振荡幅度被稳定下来，这时振荡处于等幅振荡状态。

3. 正弦波振荡电路的组成部分

（1）放大电路。要使振荡电路能产生等幅正弦波振荡，没有放大电路是不能实现的。放大电路中的放大器件可以是晶体管、场效应管、集成运放等。要保证放大电路能放大交流信号，静态工作点设置必须合理，使放大电路满足放大条件，动态交流通路要正确，使放大电路有一定的放大能力。

（2）反馈网络。它的主要作用是引入正反馈，保证反馈电压 $\dot{V}_f$ 替代输入电压 $\dot{V}_i$。它与放大电路共同满足振荡条件。反馈网络可由变压器耦合电路、电感分压电路、电容分压电路组成。

（3）选频网络。它的主要作用是把需要的频率选择出来，只允许某一频率的正弦电压满足振荡条件，使振荡实现单一频率 f_0 的正弦振荡。常见的正弦波振荡电路中，反馈网络兼作选频网络。有 RC 组成的选频网络和 LC 组成的选频网络。

（4）稳幅环节。它的作用是自动调整振荡电路的环路放大倍数 $|\dot{A}\,\dot{F}|$，使振荡幅值稳定，输出波形良好。稳幅环节有内稳幅，即由放大电路兼任；也有外稳幅，即在振荡环路中插入非线性元件。

5.1.2 *RC* 串并式正弦波振荡电路

RC 正弦波振荡电路的选频网络为 *RC* 电路，如 *RC* 串并式和移相式等。*RC* 正弦波振荡电路一般用来产生 1 Hz ~ 500 kHz 的信号。这里只讨论 *RC* 串并式正弦波振荡电路，这种振荡电路的特点是采用 *RC* 串、并联网络作为选频网络和

反馈网络。下面首先讨论 RC 串、并联网络的选频特性。

1. RC 串、并联网络的频率特性

RC 串、并联网络如图 5.1.2 所示。令 Z_1 表示 R_1、C_1 的串联阻抗，Z_2 表示 R_2、C_2 的并联阻抗，则有

$$Z_1 = R_1 + \frac{1}{j\omega C_1}$$

$$Z_2 = R_2 \,//\, \frac{1}{j\omega C_2} = \frac{R_2}{1 + j\omega R_2 C_2}$$

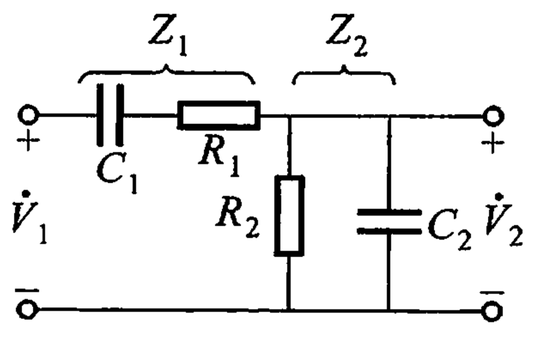


图 5.1.2　RC 串、并联网络

$$\dot{F} = \frac{\dot{V}_2}{\dot{V}_1} = \frac{Z_2}{Z_1 + Z_2} = \frac{\dfrac{R_2}{1 + j\omega R_2 C_2}}{\left(R_1 + \dfrac{1}{j\omega C_1}\right) + \left(\dfrac{R_2}{1 + j\omega R_2 C_2}\right)}$$

$$= \frac{1}{\left(1 + \dfrac{R_1}{R_2} + \dfrac{C_2}{C_1}\right) + j\left(\omega R_1 C_2 - \dfrac{1}{\omega R_2 C_1}\right)}$$

为了方便，通常取 $R_1 = R_2 = R$，$C_1 = C_2 = C$。并令 $\omega_0 = 1/RC$，上式可简化为

$$\dot{F} = \frac{\dot{V}_2}{\dot{V}_1} = \frac{1}{3 + j\left(\dfrac{\omega}{\omega_0} - \dfrac{\omega_0}{\omega}\right)}$$

其中，$\omega_0 = 2\pi f_0$，$\omega = 2\pi f$，则 RC 串并联网络的传输系数 $\dot{F}$ 可表示为

$$\dot{F} = \frac{1}{3 + j\left(\dfrac{f}{f_0} - \dfrac{f_0}{f}\right)} \tag{5.1.6}$$

因此，幅频特性和相频特性分别为

$$|\dot{F}| = \frac{1}{\sqrt{3^2 + \left(\dfrac{\omega}{\omega_0} - \dfrac{\omega_0}{\omega}\right)^2}} \tag{5.1.7}$$

$$\varphi = -\arctan \frac{\dfrac{\omega}{\omega_0} - \dfrac{\omega_0}{\omega}}{3} \tag{5.1.8}$$

由此可知，当 $f = f_0 = 1/2\pi RC$ 时，幅频特性的幅值为最大，即

$$|\dot{F}_{max}| = \frac{1}{3} \tag{5.1.9}$$

而相频特性的相位角为零，即

$$\varphi_F = 0 \tag{5.1.10}$$

由此可得出 RC 串并联网络的频率特性，如图 5.1.3 所示。

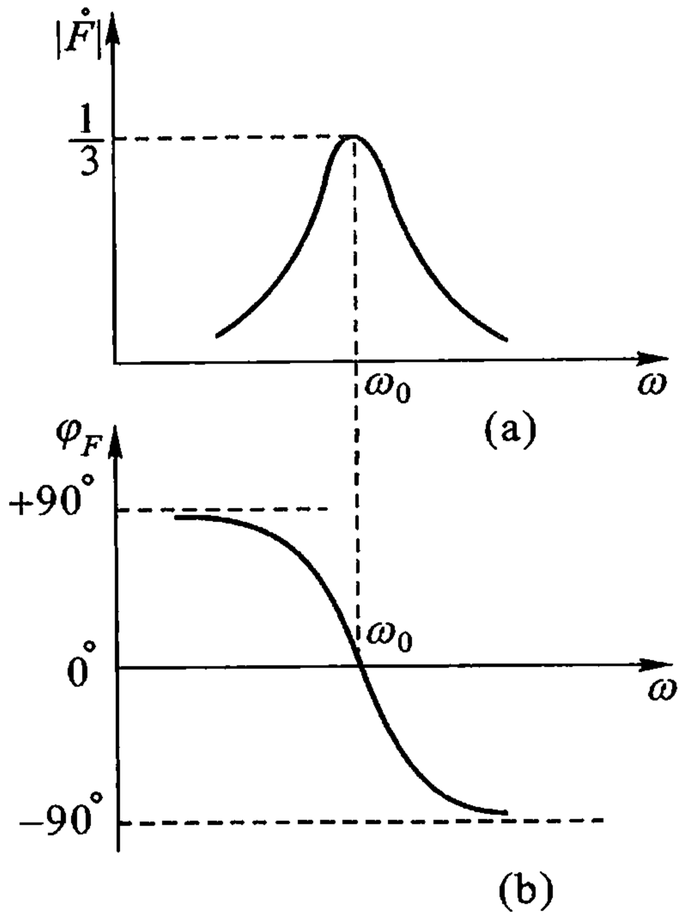


图 5.1.3　RC 串、并联网络的频率特性

（a）幅频特性　（b）相频特性

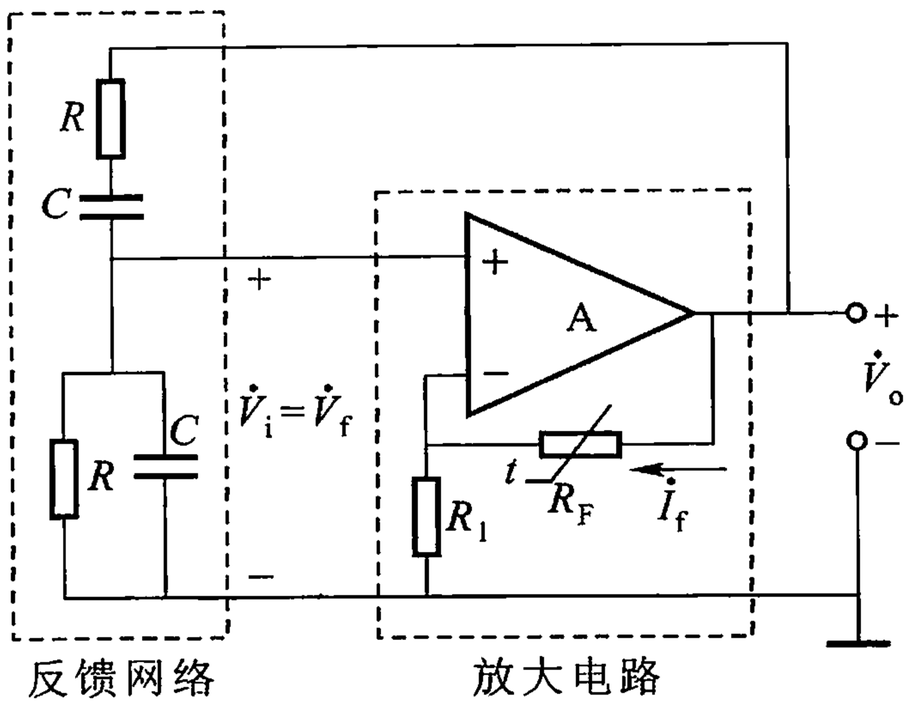


图 5.1.4　RC 串并式正弦波振荡电路

2. 电路组成

RC 串并式正弦波振荡电路如图 5.1.4 所示。它由集成运放组成的放大电路和反馈网络两部分组成。RC 串、并联反馈网络具有选频特性，因此，兼作选频网络。在运放构成的同相放大电路中，由 R_1 和热敏电阻 R_F 构成的负反馈支路，可实现对 $|\dot{A}\,\dot{F}|$ 的自动控制，从而使振荡电路的输出幅度保持稳定。

由于在 $f=f_0$ 时，RC 串、并联反馈网络 $\varphi_F=0$、$|\dot{F}|=1/3$。根据振荡电路的相位平衡条件，φ_A 应为 $2n\pi(n=0,1,2,\cdots)$，因此，要求放大电路的输出电压与输入电压同相，采用如图 5.1.4 所示的同相放大电路或分立元件组成的两级共射放大电路，均可满足相位平衡条件。为了满足起振的幅值条件 $|\dot{A}\,\dot{F}|>1$，放大电路的放大倍数应略大于 3。但 $|\dot{A}|$ 值又不能太大，否则振荡太强，将超出放大电路的线性区而产生严重的失真。由于电路中引入了较深的电压串联负反馈，使放大电路有很小的输出电阻和较大的输入电阻，因此，它们对反馈网络的影响可忽略不计。

3. 幅值条件和振荡频率

在 $f=f_0$ 时，$|\dot{F}|=1/3$，为满足起振的幅值条件，要求起振时同相放大电路

的电压放大倍数 $|\dot{A}|$ 应略大于 3，即 $|\dot{A}| = 1 + R_F/R_1$ 应略大于 3，因此，R_F 应略大于 $2R_1$。选择合适的 R_F 和 R_1 值，例如，由集成运放组成的同相放大电路，如取 $R_1 = 10\ \text{k}\Omega$，则 R_F 应略大于 $20\ \text{k}\Omega$。

振荡频率是由相位平衡条件决定的，在 $f = f_0$ 时，图 5.1.4 所示的振荡电路正好满足相位平衡条件 $\varphi_A + \varphi_F = 2n\pi$。因此，振荡频率为

$$f = f_0 = \frac{1}{2\pi RC} \tag{5.1.11}$$

4. 稳幅措施

一个 *RC* 正弦波振荡电路要做到既能可靠起振又能保证输出波形为不失真的正弦波，就必须有较好的稳幅措施。图 5.1.4 所示为采用热敏电阻稳幅的振荡电路，其负反馈支路中的 R_F，采用具有负温度系数的热敏电阻。当接通电源振荡电路开始工作时，由于输出电压幅度很小，负反馈支路电流也很小，R_F 的功耗最小，温度最低，相应的阻值较大，R_F 远大于 $2R_1$，因此，同相运放的放大倍数较高，满足 $|\dot{A}\,\dot{F}| > 1$，振荡电路容易起振；随着振荡幅度的增大，负反馈支路电流增大，R_F 的功耗增加，温度升高，阻值相应减小，使负反馈加深，放大倍数减小，阻止振荡幅度的继续增加，直至 $|\dot{A}\,\dot{F}| = 1$，使振荡电路进入平衡状态，这样就达到了稳幅的目的。

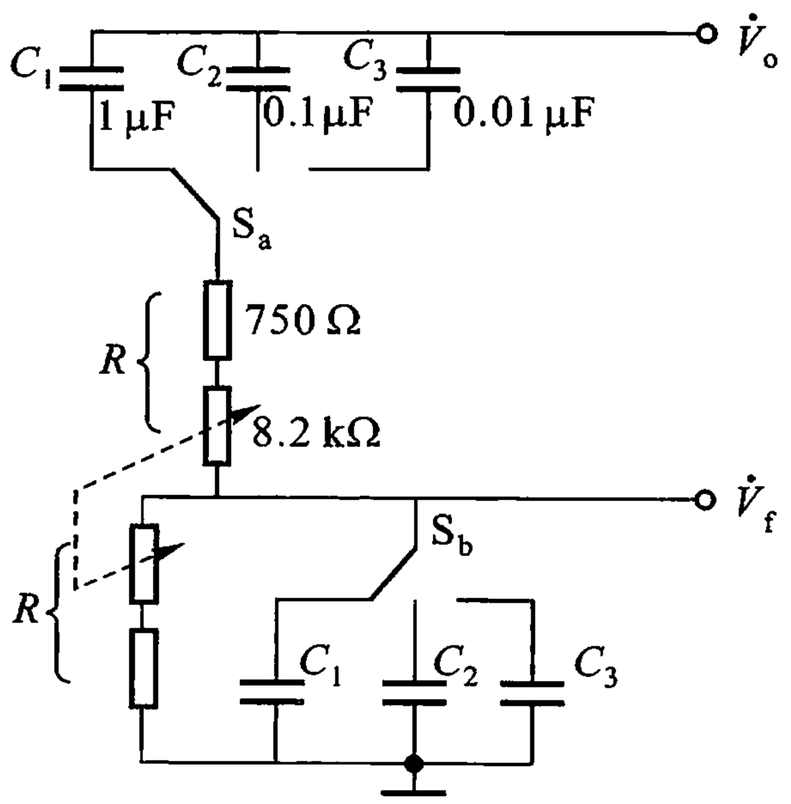


图 5.1.5　振荡频率连续可调的 *RC* 串并式选频网络

为了调节频率，可通过波段开关换接不同的电容以调频段，而采用同轴电位器改变电阻作为频率细调，如图 5.1.5 所示，按图中数据，振荡频率分三挡，约为 20 Hz ~ 20 kHz。

5.1.3　*LC* 正弦波振荡电路

选频网络 *LC* 并联回路组成的振荡电路都属 *LC* 振荡电路。它能产生几百千赫至几十兆赫的高频正弦信号。下面首先分析 *LC* 并联回路的选频特性，再分析常用的变压器反馈式振荡电路和三点式振荡电路。

1. *LC* 并联回路的选频特性

LC 并联回路如图 5.1.6 所示，其中，*R* 表示回路的等效损耗电阻。在由半

导体放大器件组成的 LC 振荡电路中，接于 LC 回路的信号源近似于恒流源，故图中信号源以电流源表示。

由图 5.1.6 可见，LC 并联回路的等效阻抗为

$$Z = \frac{-\mathrm{j}\frac{1}{\omega C}(R + \mathrm{j}\omega L)}{-\mathrm{j}\frac{1}{\omega C} + R + \mathrm{j}\omega L}$$

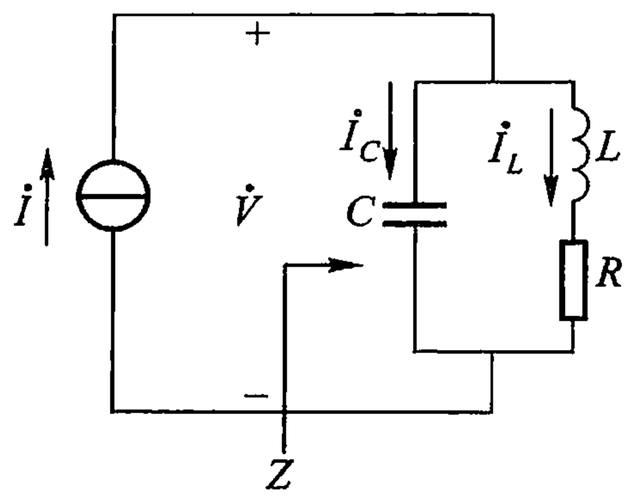


图 5.1.6　LC 并联回路

通常回路的损耗较小，上式分子中 $R \ll \omega L$，可略去 R；分母中 $R \ll \left(\omega L - \frac{1}{\omega C}\right)$ 的条件不成立，R 不能忽略。所以

$$Z = \frac{-\mathrm{j}\frac{1}{\omega C} \cdot \mathrm{j}\omega L}{R + \mathrm{j}\left(\omega L - \frac{1}{\omega C}\right)} = \frac{\frac{L}{C}}{R + \mathrm{j}\left(\omega L - \frac{1}{\omega C}\right)} \tag{5.1.12}$$

从这个关系式出发，下面讨论谐振时回路的特性以及回路的频率特性。

（1）谐振时 LC 并联回路的特性

① 谐振频率

LC 回路处于谐振状态的特点，是回路的总电流 $\dot{I}$ 和回路电压 $\dot{V}$ 同相，即回路的等效电抗为零。因此，式(5.1.12)表示的回路等效阻抗应为实数，即 $\mathrm{j}(\omega L - 1/\omega C) = 0$，由此得到 LC 并联回路的谐振角频率为①

$$\omega_0 = \frac{1}{\sqrt{LC}} \tag{5.1.13}$$

② 谐振时回路的等效阻抗称为谐振阻抗，其值最大，且为纯电阻，由式(5.1.12)可得

$$Z_0 = \frac{L}{CR} = Q\omega_0 L = Q\frac{1}{\omega_0 C} \tag{5.1.14}$$

式中

$$Q = \frac{\omega_0 L}{R} = \frac{1}{\omega_0 CR} = \frac{1}{R}\sqrt{\frac{L}{C}} \tag{5.1.15}$$

称为回路的“品质因数”。Q 值是衡量回路损耗大小的一个参数，通常 Q 值在几十到几百之间。

---

① 如果不忽略 R，仿效上述方法，可导出谐振频率为 $\omega_0 = \frac{1}{\sqrt{1 + 1/Q^2}} \cdot \frac{1}{\sqrt{LC}}$，可见只要 $Q > 10$，式(5.1.13)已有足够的精度。

③ 谐振时支路电流 I_C 和 I_L 最大，比回路的总电流 I 大 Q 倍。电路定律 $\dot{I} = \dot{I}_C + \dot{I}_L$ 在谐振时依然成立，由于 $\dot{I}_C$ 比 $\dot{V}$ 超前 90°，而 $\dot{I}_L$ 较 $\dot{V}$ 滞后近 90°，二者相位近似相反，因此，支路电流可以比总电流大得多。利用式(5.1.14)，可得

$$I_C = \frac{V}{\frac{1}{\omega_0 C}} = \frac{V}{\frac{Z_0}{Q}} = QI \tag{5.1.16}$$

$$I_L \approx \frac{V}{\omega_0 L} = \frac{V}{\frac{Z_0}{Q}} = QI \tag{5.1.17}$$

(2) LC 并联回路的频率特性

以 $\omega_0^2 = 1/LC$ 代入式(5.1.12)，得

$$Z = \frac{\frac{L}{CR}}{1 + j\frac{\omega L}{R}\left(1 - \frac{\omega_0^2}{\omega^2}\right)}$$

$$Z = \frac{Z_0}{1 + j\frac{\omega L}{R}\frac{(\omega + \omega_0)(\omega - \omega_0)}{\omega^2}} \tag{5.1.18}$$

如果仅限于讨论谐振频率 ω_0 附近的频率特性，则可认为 $\omega \approx \omega_0$，$\frac{\omega L}{R} \approx \frac{\omega_0 L}{R} = Q$，$\omega + \omega_0 \approx 2\omega_0$，再令 $\omega - \omega_0 = \Delta\omega$，则

$$Z \approx \frac{Z_0}{1 + jQ\frac{2\Delta\omega}{\omega_0}} \tag{5.1.19}$$

其幅频特性为

$$|Z| = \frac{Z_0}{\sqrt{1 + \left(Q\frac{2\Delta\omega}{\omega_0}\right)^2}} \tag{5.1.20}$$

相频特性为

$$\varphi_Z \approx -\arctan\left(Q\frac{2\Delta\omega}{\omega_0}\right) \tag{5.1.21}$$

式(5.1.21)中，$\frac{2\Delta\omega}{\omega_0}$为相对失谐量，表明信号角频率偏离谐振角频率 ω_0 的程度。

在不同 Q 值(R 不同)条件下，式(5.1.19)的频率特性如图 5.1.7 所示。

从幅频特性可见，当外加信号的角频率 ω 等于谐振角频率 ω_0，即 $2\Delta\omega/\omega_0 = 0$ 时，出现并联谐振，等效阻抗 $|Z|$ 达到最大值 L/RC。当 ω 偏离 ω_0 时，$|Z|$ 减

小。Q 值愈大，Z_0 值愈大，曲线愈尖锐，即选频特性愈好。

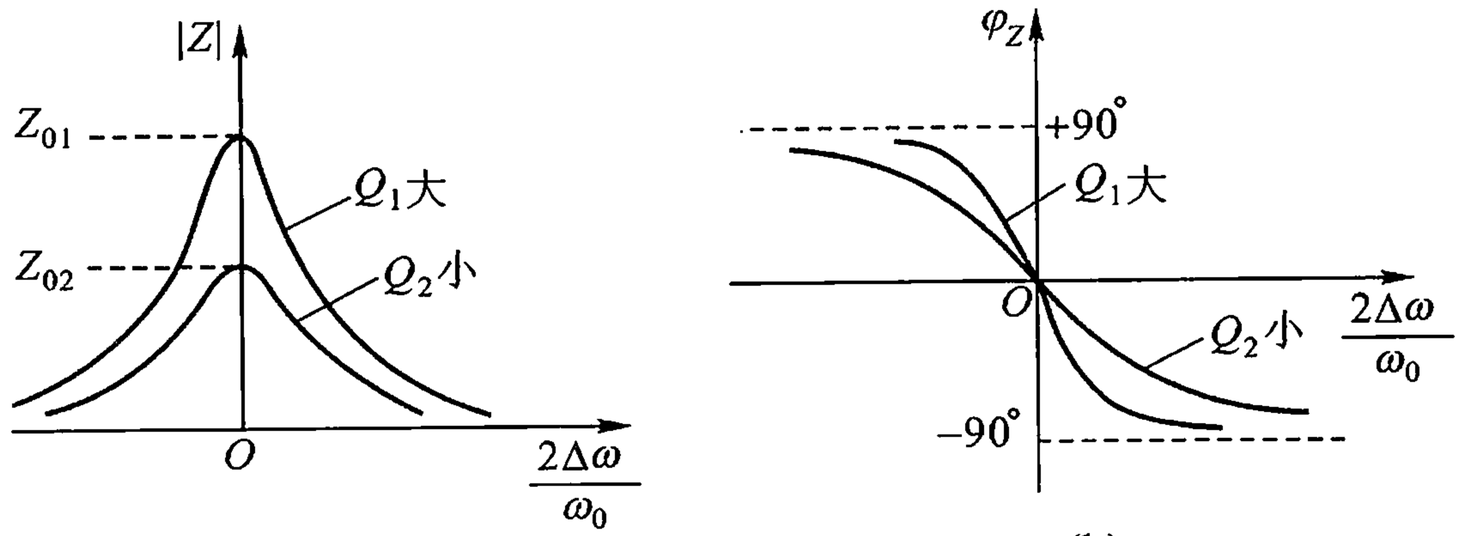


图 5.1.7　LC 并联回路的频率特性

（a）幅频特性　（b）相频特性

从相频特性可见，当 $\omega > \omega_0$ 时，相对失谐量 $2\Delta\omega/\omega_0$ 为正，$\varphi_Z < 0$，等效阻抗 Z 呈电容性；反之，$\omega < \omega_0$，Z 呈电感性。Q 值愈大，φ_Z 变化愈快，尤其是在 ω_0 附近，φ_Z 变化更为急剧。

2. 变压器反馈式 LC 振荡电路

图 5.1.8 所示为由晶体管放大电路组成的变压器反馈式 LC 振荡电路。图中 LC 并联选频网络作为晶体管的集电极负载，它与晶体管及直流偏置电路 R_{B1}、R_{B2} 和 R_E 共同组成具有选频特性的选频放大电路。C_E 是旁路电容，C_B 是耦合电容，对 $f = f_0$ 的振荡频率所呈现的阻抗均较小，可视为短路。

这个电路满足相位平衡条件。在谐振时，LC 回路呈纯电阻的性质，放大电路输出电压与输入电压反相，放大电路的相移 $\varphi_A = \pi$。反馈信号的相位可由变压器绕组 L 和 L_B 的同名端决定。若互为同名端，则相位相同；若互为异名端，则相位相反。根据图中所标的同名端，可知 $\dot{V}_f$ 与 $\dot{V}_o$ 反相，反馈网络的相移 $\varphi_F = \pi$。因此，$\varphi_A + \varphi_F = 2\pi$，电路满足相位平衡条件。再来分析起振的幅值条件。图 5.1.8 中晶体管组成共射极放大电路，只要适当选择元件参数可得到足够大的电压放大倍数 $\dot{A}$。改变 L 与 L_B 的匝数比，调节变压器原、副边之间的耦合程度，可使反馈信号的大小发生变化。因此，L 和 L_B 的匝数比 N/N_B 设计恰当，变压器原、副边绕组之间互感等参数合适，就可得到一定的反馈系数 $|\dot{F}|$，就能满足振荡电路 $|\dot{A}\,\dot{F}|$

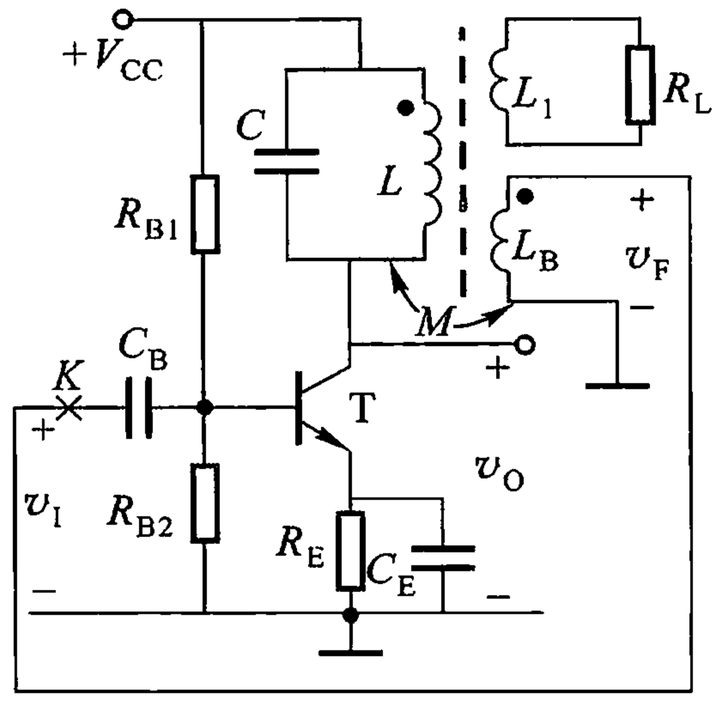


图 5.1.8　变压器反馈式 LC 振荡电路

>1 起振的幅值条件。自激振荡的两个条件同时满足，图 5.1.8 所示的变压器反馈式振荡电路就可以产生自激振荡。

通过放大电路的放大作用，*LC* 回路的能量比输送到放大电路输入端的能量大得多。如果所带负载较轻，通常 *LC* 回路的 *Q* 值又比较大，在这种条件下，就可不考虑外界因素对 *LC* 回路的影响，可近似认为振荡频率 ω 等于 *LC* 并联回路的谐振频率，即

$$\omega \approx \omega_0 = \frac{1}{\sqrt{L'C}} \tag{5.1.22}$$

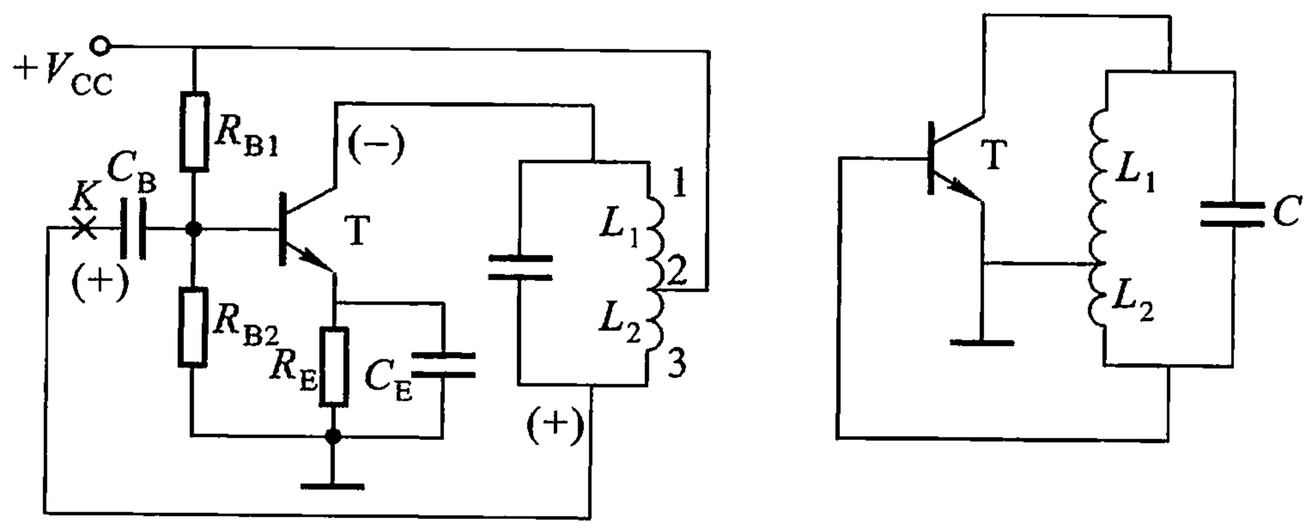
式(5.1.22)中，L'是谐振回路的等效电感，即应考虑其他绕组的影响。

3. 三端式 *LC* 振荡电路

LC 振荡电路除变压器反馈式振荡电路外，尚有另一种应用广泛的三端式振荡电路。所谓三端式振荡电路，就是 *LC* 谐振回路有 3 个端点分别与放大电路的 3 个极相接(指交流连接)的振荡电路。其中，有电感三端式振荡电路和电容三端式振荡电路。

(1) 电感三端式振荡电路

由晶体管构成放大电路的电感三端式振荡电路如图 5.1.9(a)所示。图中，R_{B1}、R_{B2}和 R_E构成直流偏置电路。C_E 为旁路电容，C_B 为耦合电容。它的 *LC* 并联选频网络是由具有中间抽头的电感 L_1、L_2 和电容 *C* 组成，线圈 L_2 为反馈网络。晶体管兼作稳幅环节。电源 V_{CC}和电容 C_E、C_B 对于交流信号可视为短路。在交流通路中，R_{B1}、R_{B2}、r_{be}三者是并联的，由于 R_{B1}、R_{B2}较大可以不考虑，因此，该振荡电路的交流通路如图 5.1.9(b)所示。对交流通路来说，电感线圈的 3 个端点直接和晶体管的 3 个极相接，因而称为电感三端式振荡电路。



(a)　　(b)

图 5.1.9　电感三端式振荡电路

(a) 电路　(b) 交流通路

电路是否满足相位平衡条件，可以用瞬时极性法来判别。假设从图 5.1.9

(a)中的输入端 K 点断开反馈,加入对地为正的频率为 f_0 的信号 $\dot{V}_i$,由于谐振时 LC 并联回路是纯电阻性的,所以 $\dot{V}_o$ 与 $\dot{V}_i$ 反相($\varphi_A = \pi$),故线圈的 1 端为负。图中 2 端接电源 V_{CC},对交流而言,2 端相当于接地,电位为零,故首端 1 与尾端 3 的相位相反,所以 3 端对地为正,即反馈信号对地为正,$\dot{V}_f$ 与 $\dot{V}_o$ 反相($\varphi_F = \pi$),而与 $\dot{V}_i$ 同相,形成正反馈,因此,$\varphi_A + \varphi_F = 2\pi$,满足相位平衡条件。

振荡电路的振荡频率,近似等于 LC 回路的谐振频率,即

$$f \approx \frac{1}{2\pi \sqrt{(L_1 + L_2 + 2M)C}} = \frac{1}{2\pi \sqrt{LC}} \tag{5.1.23}$$

式中,$L = L_1 + L_2 + 2M$ 为回路的总电感,M 为 L_1 与 L_2 的互感,L_2 是电感线圈的一段,通过它的两端将反馈电压送到输入端,并能保证实现正反馈,通过改变中间抽头的位置,就可调节反馈信号的大小。因此,只要 LC 并联回路的 Q 值和晶体管的 β 值不是太低,线圈中间抽头的位置适当,就可满足起振的幅值条件 $|\dot{A}\dot{F}| > 1$。

这种电路的特点是易于起振,频率调节方便,频率可调范围较宽,但由于反馈电压取自 L_2 两端,它对高次谐波阻抗较大,使高次谐波成分反馈到输入端较多,致使输出电压波形较差。

(2) 电容三端式振荡电路

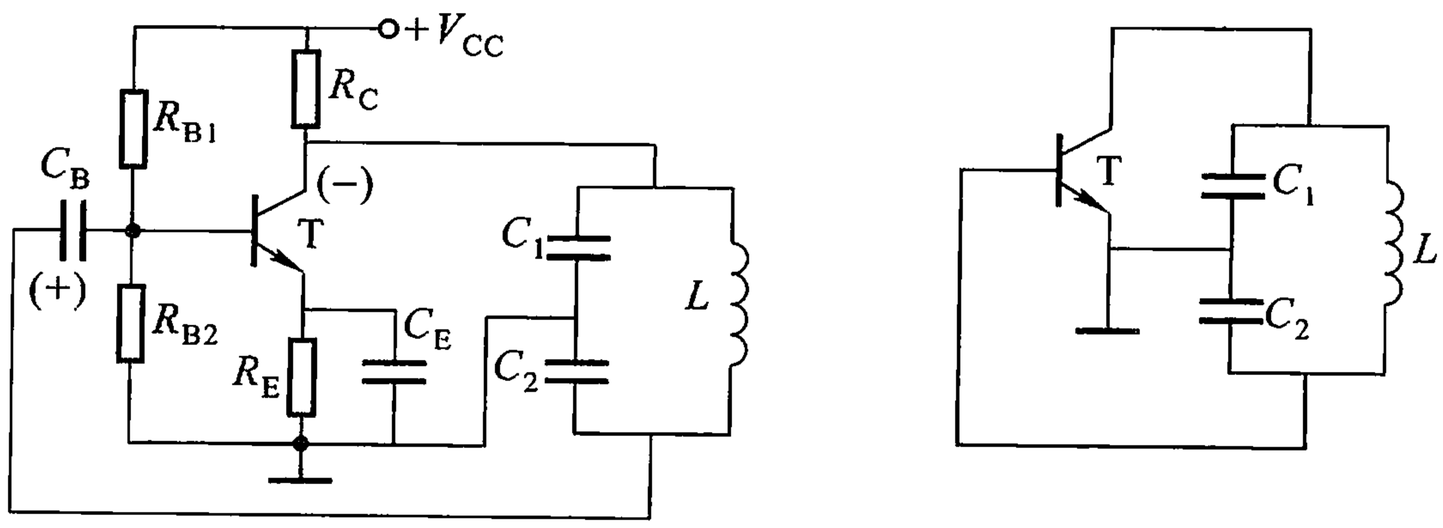
由晶体管构成放大电路的电容三端式振荡电路如图 5.1.10(a)所示,为了构成集电极回路的直流通路,使 C_1 的高频分量不被电源 V_{CC} 短路,故增加一个较大的电阻 $R_C\left(R_C >> \frac{1}{j\omega C_1}\right)$。它的 LC 并联选频网络是由 C_1 与 C_2 串联再与 L 并联组成的,C_2 兼作正反馈网络。对于交流来说,R_C 与 C_1 是并联的,由于 R_C 较大,所以这个电路的交流通路如图 5.1.10(b)所示。从交流通路来看,晶体管的 3 个极直接与电容的 3 个端点相接,因而称为电容三端式振荡电路。

从图 5.1.10(b)可见,电容 C_1 和 C_2 分别接在晶体管的 C - E、B - E 之间,因此,反馈电压 $\dot{V}_f$ 由 C_2 两端取出。从图中所标出的瞬时极性可以看出,该电路 $\dot{V}_i$ 与 $\dot{V}_f$ 的相位相同,满足相位平衡条件。

振荡电路的振荡频率,近似等于 LC 回路的谐振频率

$$f = \frac{1}{2\pi \sqrt{L\dfrac{C_1 C_2}{C_1 + C_2}}} = \frac{1}{2\pi \sqrt{LC}} \tag{5.1.24}$$

由此可知,反馈信号的大小与 C_2 和 C_1 的比值有关,因此,只要将晶体管的 β 值和 LC 回路的 Q 值选择适当,并恰当选取 C_2/C_1,就能满足起振的幅值条件。



(a)　　(b)

图 5.1.10　电容三端式振荡电路

(a) 电路　(b) 交流通路

5.1.4　晶体振荡电路

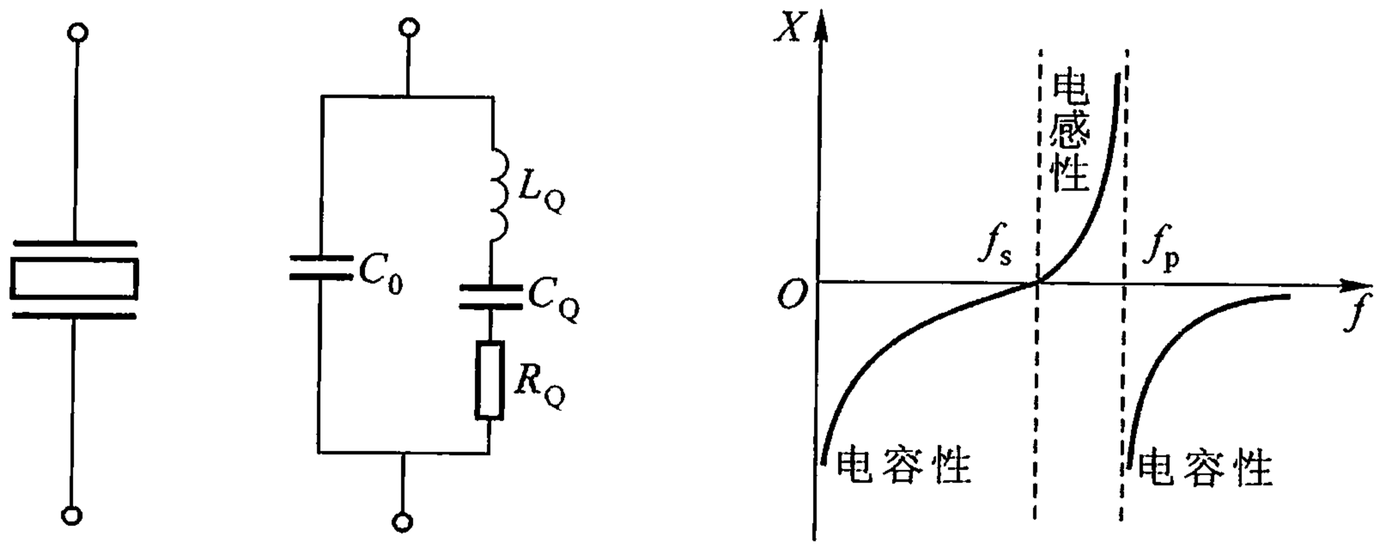
各种电子设备中的正弦波振荡电路不仅要求它的振荡幅度稳定，而且有时还要求它的振荡频率有较高的稳定度。振荡电路的频率稳定度用频率变化的相对值 $\Delta f/f_0$ 来表示。其中，f_0 为标称振荡频率，Δf 为实际振荡频率 f 与标称振荡频率 f_0 的差。用于测试设备的振荡电路，频率不稳定将给测试结果带来误差，特别是用作频率标准或时间标准的振荡电路，应具有更高的频率稳定度。*LC* 振荡电路的频率稳定度约为 $10^{-3} \sim 10^{-4}$，*RC* 振荡电路的频率稳定度则更低，都无法实现振荡频率稳定度的要求。要得到振荡频率稳定度高于 10^{-4} 的振荡电路则应采用晶体振荡电路。晶体振荡电路是利用石英晶体(石英晶体谐振器的简称)作为选频元件构成的电路。石英晶体的频率稳定度一般可达 $10^{-7} \sim 10^{-8}$，若采取特殊的稳频措施可高达 $10^{-12} \sim 10^{-13}$ 的量级。为了了解晶体振荡电路的工作原理，先介绍石英谐振器的基本特性和等效电路，再介绍晶体振荡电路。

1. 石英谐振器的基本特性和等效电路

石英晶体是一种各向异性的结晶体。从一块石英晶体上按一定的方向角切割下来的薄片，称为晶片。在晶片两面涂敷银层，装上金属板，做出引线并密封于金属或玻璃管壳中，便构成了石英谐振器，其符号如图 5.1.11(a)所示。

(1) 压电效应

石英晶体能用作谐振器，是以它具有“压电效应”为基础的。若在晶片的两侧施加机械力，则在晶片的相应方向上产生一定的电场；反之，若在晶片的两极



(a)　(b)　(c)

图 5.1.11　石英谐振器

(a) 符号　(b) 等效电路　(c) 电抗频率特性

板间加一电场,会使晶片产生机械变形,这种物理现象称为压电效应。如果在晶片的两极板上加交变电压,晶片就会产生机械振动;同时,晶片表面因机械振动又会产生交变电场。在一般情况下,晶片机械振动的振幅和交变电场的振幅是微小的,但振动频率很稳。当外加交变电压的频率等于晶片的固有频率时,机械振动及其产生的交变电场会显著增大,这种现象称为压电谐振。

(2) 等效电路

石英谐振器可等效成图 5.1.11(b)所示的电路。当晶片不振动时,它相当于一个平板电容 C_0,称为静态电容,其值只与晶片的几何尺寸、电极面积有关,一般为几皮法至几十皮法。图中,L_Q 为晶片振动时惯性的等效电感,其值约为 $10^{-3} \sim 10^{2}$ H,C_Q 为晶片振动时弹性的等效电容。C_Q 的值远小于 C_0,约为 $10^{-4} \sim 10^{-1}$ pF。晶片振动时内部的摩擦损耗用 R_Q 来代替,其值约为 100 Ω。由于晶片的等效电感 L_Q 与等效电容 C_Q 的比值(L_Q/C_Q)很大,而 R_Q 很小,故晶体的品质因数 $Q = \dfrac{1}{R_Q}\sqrt{\dfrac{L_Q}{C_Q}}$ 很高,可达 $10^4 \sim 10^6$。正是由于石英谐振器有很高的 Q 值,加上它本身固有的振动频率很稳定,所以用它作振荡电路,可获得很高的频率稳定度。

(3) 谐振频率

从石英晶体谐振器的等效电路可知,它有两个谐振频率,一个是串联谐振频率 f_s,它为 L_Q、C_Q、R_Q 支路谐振时的频率,即

$$f_s = \frac{1}{2\pi\sqrt{L_Q C_Q}} \tag{5.1.25}$$

另一个是并联谐振频率 f_p,当频率高于 f_s 时,L_Q、C_Q 支路呈感性,可与电容 C_0 发生并联谐振,并联谐振频率为

$$f_p = \frac{1}{2\pi\sqrt{L_Q \dfrac{C_Q C_0}{C_Q + C_0}}} = f_s\sqrt{1 + \frac{C_Q}{C_0}} \tag{5.1.26}$$

由于 $C_Q \ll C_0$，因此，两个频率非常接近。

从石英谐振器的等效电路可以求出它的电抗频率特性，如图 5.1.11(c)所示。在 f_s 与 f_p 之间，它呈电感性，在此区域以外，它呈电容性。

2. 晶体振荡电路

石英晶体简称晶体，包含晶体的振荡电路称为晶体振荡电路。按晶体在振荡电路中的作用，晶体振荡电路可分为两大类：一类是并联型的晶体振荡电路。当工作频率在 f_s 与 f_p 之间极窄的范围内，晶体等效为一个高 Q 值的电感参与组成振荡电路。另一类是串联型晶体振荡电路，晶体工作在串联谐振频率 f_s 处，利用谐振时阻抗最小、相移为零的特性来组成振荡电路。

图 5.1.12 是典型的并联型晶体振荡电路，晶体作为电感接于 LC 选频网络，使电路构成电容三端式改进型正弦振荡电路。电路的振荡频率为

$$f_0 \approx f_p$$

并联型晶体振荡电路的振荡频率 f_0 基本上由晶体的固有频率 f_p 决定。由于 f_p 很稳定，所以频率稳定度很高。

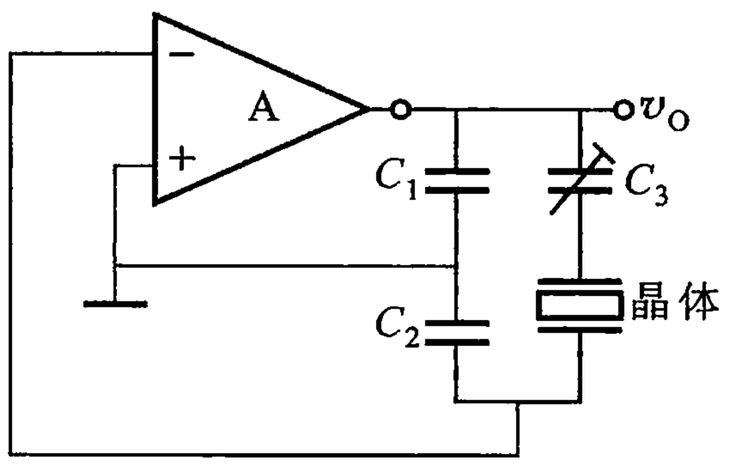


图 5.1.12　并联型晶体振荡电路

5.2　电压比较器

电压比较器(通常称为比较器)是一种用来比较输入信号电压大小的电路。比较器的输出不是高电平就是低电平。比较器中的集成运放处于开环或正反馈状态，在绝大多数情况下输出与输入不成线性关系。比较器是波形变换与非正弦波发生电路中的一个基本部分，它在测量技术、自动控制、波形发生电路与波形变换等许多电路中都有广泛的应用。比较器种类很多，这里主要讨论单限比较器和滞迟比较器。

5.2.1　单限比较器

只有一个门限电压的比较器称为单限比较器。刚好使比较器的输出电压从

一个电平跳变到另一个电平时对应的输入电压值，称为门限电压或称为阈值电压，也称触发电平，简称为阈值。在特殊情况下，门限电压等于参考电压。单限比较器的基本电路如图 5.2.1(a)所示。输入信号电压 v_I 通过 R 接反相端，构成反相输入接法。图中，比较器的门限电压就是参考电压 V_{REF}，将 v_I 与 V_{REF}进行

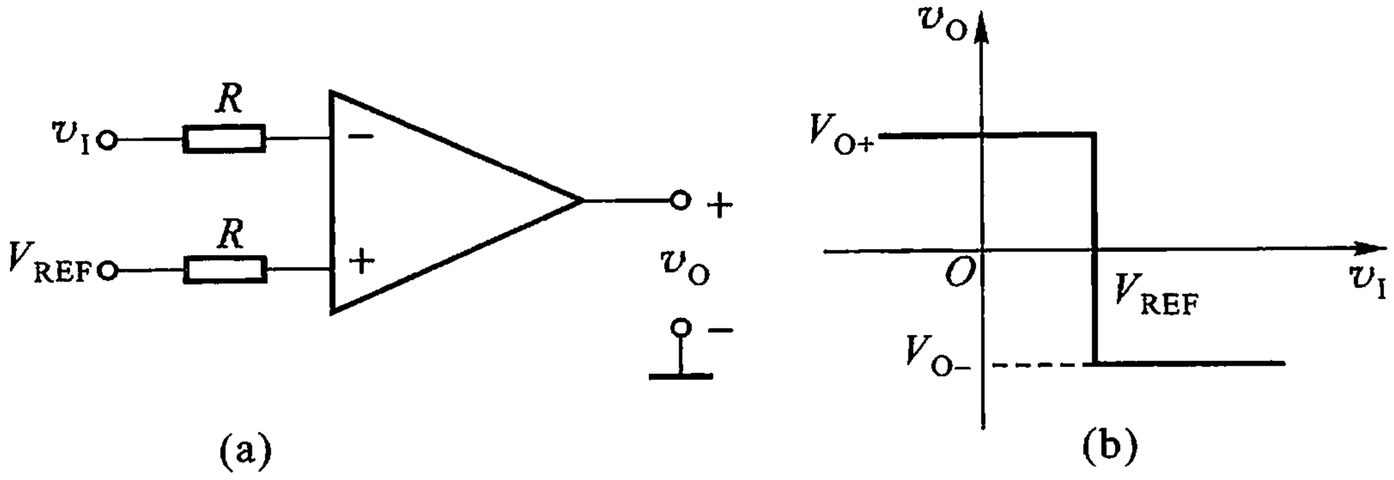


图 5.2.1　单限比较器

(a) 电路　(b) 传输特性

比较。运放工作在开环差分输入状态，具有很高的开环电压放大倍数，在理想情况下，$v_I = v_N$，$V_{REF} = v_P$。当 $v_I < V_{REF}$，运放处于正向饱和状态，$v_O = V_{O+}$。当 v_I 增加到略大于 V_{REF}时，输出电压将跳变到负向饱和，$v_O = V_{O-}$。当 v_I 由大变小，减小到略小于 V_{REF}时，输出电压将由负向饱和电压 V_{O-} 跳变到正向饱和电压 V_{O+}，其传输特性如图 5.2.1(b)所示。

如果比较器的门限电压 $V_{REF} = 0$，输入信号电压 v_I 与零电位进行比较，则输入信号电压 v_I 每次过零时，输出电压都产生相应的跳变，这种比较器称为过零比较器。

5.2.2　滞回比较器

上面介绍的单限比较器是输入信号达到某一门限电压时，输出状态立即转换。在实际工作中，如果比较器的输入信号在门限电压附近，由于干扰和噪声的影响，输出电压将会反复地由一种状态转换到另一种状态，造成输出状态不稳定。为此可以采用一种具有滞回特性的比较器，即滞回比较器，如图 5.2.2 所示。

滞回比较器的阈值与过去的输出状态有关，滞回传输特性可从输出与输入之间连成正反馈而得到。因此，滞回比较器具有正反馈回路，电路中还有输

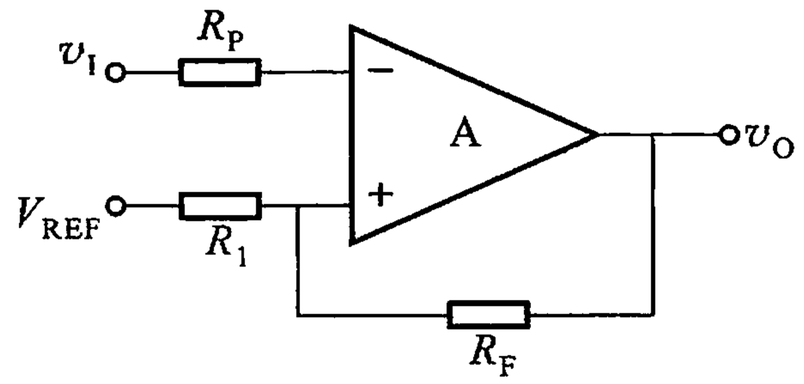


图 5.2.2　滞回比较器的电路

入电压和参考电压。输入电压可加到反相端，也可加到同相端，输入电压加到反相端的滞回比较器称为反相输入滞回比较器，加到同相端则称为同相滞回比较器。当输入信号加到反相端时，则参考电压必从同相端引入。图 5.2.2 所示电路是反相输入滞回比较器，图中 R_1、R_F 为正反馈电路。

使比较器的输出从一个电平跳变到另一个电平的临界条件，是集成运放两个输入端的电位相等，即

$$v_N = v_P \tag{5.2.1}$$

而在 $v_N = v_P$ 时，可用线性运算放大电路的分析方法来进行分析。除输出电压发生跳变过程之外，滞回比较器中的集成运放工作在非线性区域，线性分析方法不再适用。为了确定图 5.2.2 所示电路的阈值，用叠加定理计算同相输入端的电压为

$$v_P = \frac{R_1}{R_1 + R_F} v_O + \frac{R_F}{R_1 + R_F} V_{REF} \tag{5.2.2}$$

式中，v_O 的值是输出高电平 V_{O+} 或输出低电平 V_{O-}。

当输入信号电压 v_I 小于同相端电压 v_P 时，输出为正向最大值高电平 V_{O+}，当 v_I 增加到等于 v_P 时，输出将由正向最大值下降，输出电压经 R_1、R_F 正反馈加到同相输入端，从而加速了输出电压的跳变过程。通常把输出从正向最大值 V_{O+} 跳变到负向最大值 V_{O-} 时所对应的 V_I 值定义为上门限电压 V_1，根据式(5.2.2)，可得

$$V_1 = \frac{R_1}{R_1 + R_F} V_{O+} + \frac{R_F}{R_1 + R_F} V_{REF} \tag{5.2.3}$$

在 v_I 小于上门限电平 V_1 时，输出电压一直保持高电平 V_{O+} 不变。当 v_I 逐渐增大经过 V_1 时，输出电压 V_{O+} 迅速跳变到 V_{O-}，只要 $v_I > V_1$，v_O 保持负向最大值 V_{O-} 不变，其传输特性如图5.2.3(a)所示。当 $v_I > V_1$ 时，v_O 保持低电平 V_{O-} 不变。当 v_I 由大逐渐减小，减小到等于 v_P 时，输出将由低电平上升，输出电压经 R_1、R_F 正反馈加到同相输入端，使 v_O 从 V_{O-} 迅速跳变到正向最大值 V_{O+}，将输出电压从负向最大值 V_{O-} 跳变到正向最大值 V_{O+} 时所对应的 v_I 值定义为下门限电平 V_2，根据式(5.2.2)，可得

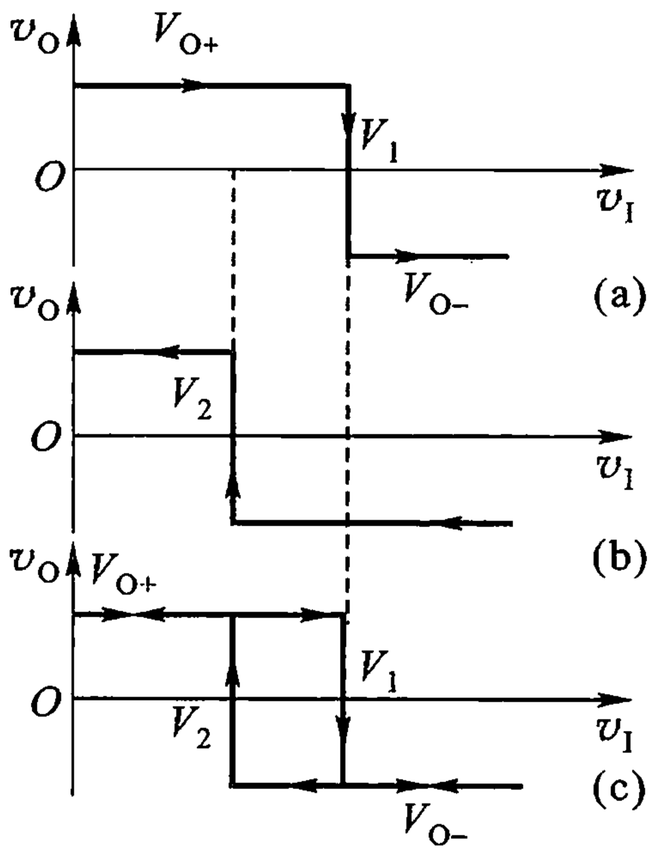


图 5.2.3　滞回比较器的传输特性
(a) v_I 由零增加时的传输特性　(b) v_I 由大于 V_1 减小时的传输特性　(c) 合成的传输特性

$$V_2 = \frac{R_1}{R_1 + R_F} V_{O-} + \frac{R_F}{R_1 + R_F} V_{REF} \tag{5.2.4}$$

在 v_I 大于阈值 V_2 时，输出电压 v_O 仍保持低电平 V_{O-}，当 v_I 逐渐减小经过 V_2 时，输出电压 V_{O-} 跳变为 V_{O+}，只要 $v_I < V_2$，输出电压 v_O 保持高电平 V_{O+} 不变，其传输特性如图 5.2.3(b)所示。

把图 5.2.3(a)和图 5.2.3(b)所示的传输特性合在一起就构成了滞回比较器的传输特性，如图 5.2.3(c)所示。由图可见，滞回比较器有上门限电压 V_1 和下门限电压 V_2，它们的差值 V_H 称为回差电压，简称回差。由式(5.2.3)和式(5.2.4)，可得回差为

$$V_H = V_1 - V_2 = \frac{R_1}{R_1 + R_F}(V_{O+} - V_{O-}) \tag{5.2.5}$$

因此，得到了滞回比较器的 3 个主要参数 V_1、V_2 和 V_H。从以上分析可知，改变参考电压 V_{REF}，可同时调节两个阈值 V_1、V_2 的大小，且不影响回差值。而改变 R_F、R_1 和输出电压的正负幅度，可调整回差值的大小。由于 V_H 的存在，当电路中有干扰电压时，只要适当调整 R_F、R_1 的比值，使干扰信号的峰－峰值落在回差范围内，都不会引起电路作不必要的翻转。显然，滞回比较器有一定的抗干扰能力。

滞回比较器又称施密特(Schmitt)触发器，它的用途很多，图 5.2.4 所示为两个应用的例子。其中，图 5.2.4(a)可以甄别超过指定电平脉冲的脉冲个数；图 5.2.4(b)可以实现整形，即把前、后沿很差的脉冲变换为矩形波。

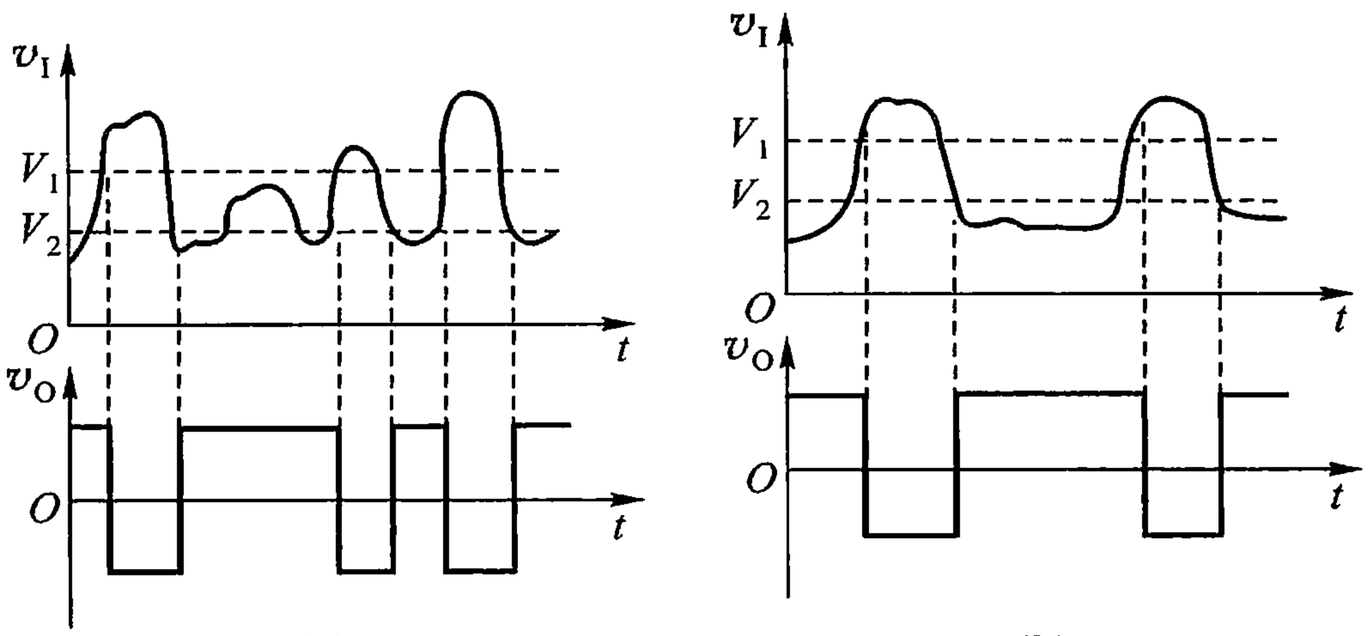


图 5.2.4 滞回比较器应用二例(输出为负脉冲)

(a) 甄别超过指定电平的脉冲个数 (b) 整形(将前、后沿很差的脉冲变换为矩形脉冲)

上面介绍了 2 种比较器，这些电路可由专用集成比较器组成，也可由通用集成运放构成。由于运放的输出电压是不精确的，而且随电源电压等外界因素改变，这个问题可通过输出钳位解决。为了提高转换速度和比较精度，应选用上升

速率和放大倍数 - 带宽积两个指标都高的通用运放，并在应用中减小甚至不用相位校正电容，以便充分发挥运放本身的带宽来提高转换速度。

5.3 非正弦波发生电路

非正弦波发生电路在脉冲和数字系统中被广泛应用。本节讨论的非正弦波发生电路主要是矩形波发生电路、三角波发生电路和锯齿波发生电路。它们是波形发生电路中的重要内容。

5.3.1 矩形波发生电路

矩形波发生电路是一种能够直接产生矩形脉冲的电路。由于这种波形包含着极为丰富的谐波，因此，这种电路又称“多谐振荡电路”。矩形波有两种，一种是输出电压处于高电平的时间 T_1 和处于低电平的时间 T_2 相等，另一种是 $T_1 \neq T_2$。$T_1 = T_2$ 的矩形波叫方波。能直接产生方波脉冲的电路称为方波发生电路。这里首先讨论方波发生电路，然后再介绍一种宽度可调的矩形波发生电路。

1. 方波发生电路

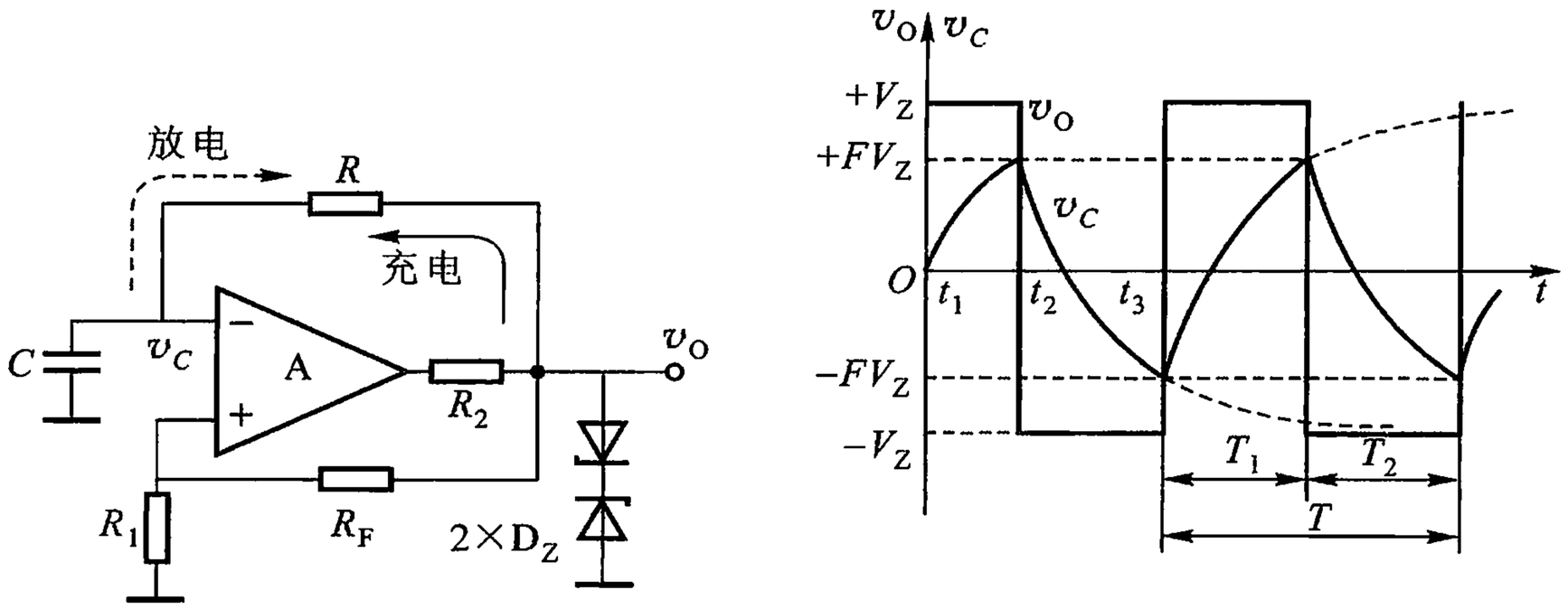
(1) 电路组成

方波发生电路的基本电路由带有正反馈的滞回比较器和 RC 组成的反馈电路构成，如图 5.3.1(a)所示。电路中滞回比较器起开关作用，只要开关周期地动作，就可以自动连续产生方波。而 RC 电路起反馈和延迟作用。在电路中引入的 RC 反馈网络，它能把输出电压恰当地反馈到滞回比较器的输入端，使比较器的输出改变状态。改变 RC 的大小可改变方波的周期，从而获得所需要的振荡频率。

(2) 工作原理

在图 5.3.1(a)中由于滞回比较器输出电压发生跳变的临界条件是运算放大电路两个输入端的电位相等，即 $v_N = v_P$，因此，可认为输入端不取电流，则同相端的电压 $v_P = \dfrac{R_1}{R_1 + R_F} v_O = Fv_O$，$F$ 为正反馈系数。显然，v_O 为高电平时，$v_P = +FV_Z$，v_O 为低电平时，$v_P = -FV_Z$。

判断这个电路能否起振的条件是：接通电源后，比较器的输出电压应迅速为高电平或低电平，再经过一定的延迟时间后，又能使比较器输出改变状态。在 $t = t_1$ 时接通电源，由于电容两端电压不能突变，$v_C = 0$，此时出现在电路中很小的瞬态扰动或集成运放的不对称等原因，使输出电压 v_O 不会完全为零，如 v_O 出现一正向



(a)　　(b)

图 5.3.1　方波发生电路

(a) 电路　(b) 波形图

很小的扰动电压，则通过 R_F、R_1 的正反馈作用，使得 v_P 增加，由于同相输入，所以 v_O 也增加，再经过 R_F、R_1 的正反馈，使 v_P 继续增加，这样 v_O 又继续增加，即

$$v_P \uparrow \xrightarrow{\text{同相输入}} v_O \uparrow$$
$$\text{正反馈}$$

于是使 v_O 在瞬间达到正向最大值 $+V_Z$。相应的同相端电压 $v_P = +FV_Z$，但电容两端电压 v_C 尚未建立。此后，输出电压 $+V_Z$ 通过 R 向 C 充电，v_C 指数增长，充电电流的方向如图 5.3.1(a)所示。到 $t = t_2$ 时，$v_C = v_N$ 增加到略大于 $v_P = +FV_Z$，输出电压立即跳变到 $-V_Z$，如图 5.3.1(b)所示。此时电容放电①，v_C 按指数规律下降。到 $t = t_3$ 时，v_C 下降到略小于 $-FV_Z$，电路的状态再次翻转，v_O 由 $-V_Z$跳变到 $+V_Z$，随后电容再次充电。如此周而复始，自激振荡便建立起来，得到连续的方波输出。

(3) 振荡频率

由图 5.3.1(b)所示波形可知，RC 反馈电路在 V_Z 作用下，电容电压 v_C 的值由 $-FV_Z$ 充电到 $+FV_Z$ 的时间 T_1，加上在 $-FV_Z$ 作用下，v_C 由 $+FV_Z$ 放电到 $-FV_Z$的时间为 T_2，就是方波的周期 T。时间常数 $\tau = RC$。为了方便，对于充电过程，设 $t = t_3$ 时刻 v_C 的初始值 $v_C(t_3^+) = -FV_Z$，稳态值 $v_C(\infty) = V_Z$，根据式(附 5.1.6)的暂态过程公式，电容电压的变化规律可表示为

$$v_C(t) = V_Z + (-FV_Z - V_Z)e^{-t/RC} \tag{5.3.1}$$

当 $t = T_1$ 时，$v_C(T_1) = FV_Z$，代入上式，则

① 这里所说的放电实际上是指电容先放电，至 $v_C = 0$ 后再反向充电。为了简便，把 $v_C = -V_Z$ 时 v_C 逐渐下降的过程称为放电，而把 $v_O = +V_Z$ 时 v_C 逐渐上升的过程称为充电。

$$FV_Z = V_Z - V_Z(1+F)e^{-T_1/RC}$$

解之,得

$$T_1 = RC\ln\frac{1+F}{1-F} = RC\ln\left(1+\frac{2R_1}{R_F}\right) \tag{5.3.2}$$

因充电和放电的时间常数相等,故波形是对称的,其周期 $T = T_1 + T_2 = 2T_1$,故方波周期

$$T = 2RC\ln\left(1+\frac{2R_1}{R_F}\right) \tag{5.3.3}$$

振荡频率

$$f = \frac{1}{2RC\ln\left(1+\frac{2R_1}{R_F}\right)} \tag{5.3.4}$$

由此可见,改变 RC 值或比值 R_1/R_F,都能调整方波的频率,但以改变 R 较为方便,方波的幅度可通过选择 D_Z 的稳压值 V_Z 来调整。两者的调整,互不影响。

输出方波前后沿的陡度取决于运放的转换速率,为了获得前后沿较陡的方波,应选用转换速率较高的运放。如果采用一般的运放,这个电路在频率 10 Hz ~ 10 kHz的范围内,都能很好地工作。

2. 占空比可调的矩形波发生电路

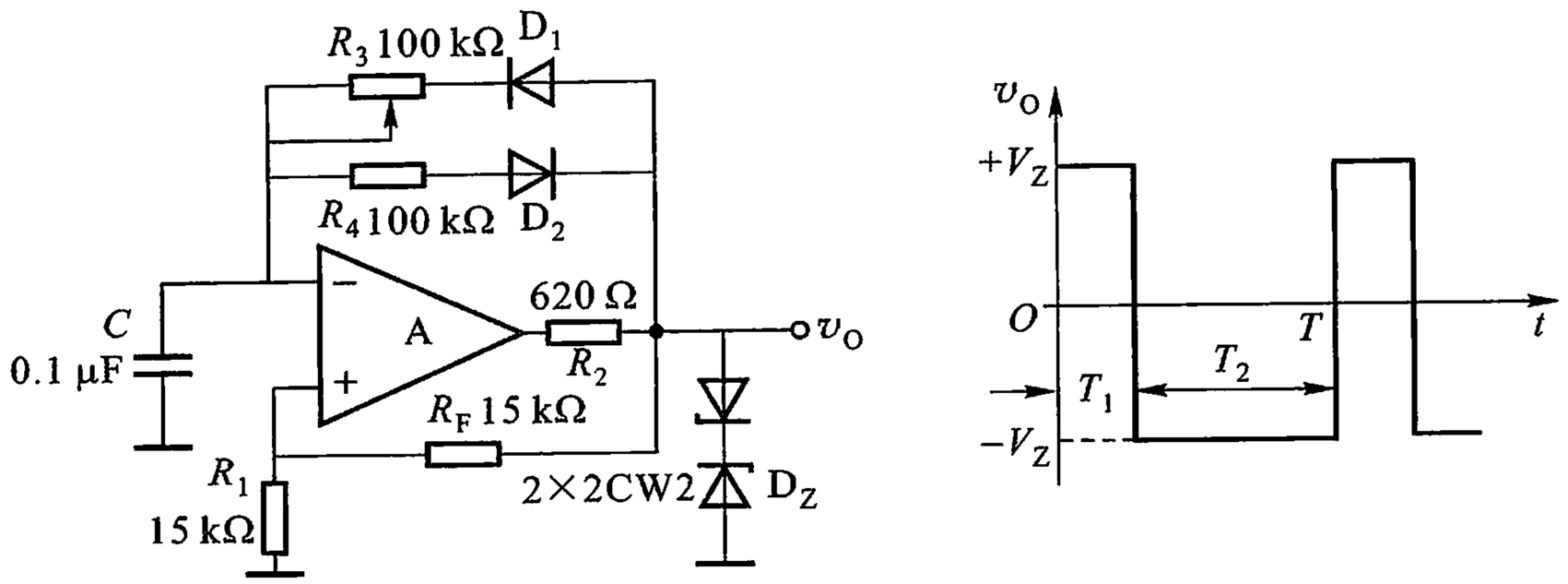
图 5.3.1(a)所示电路只能产生对称方波,电容的充电时间常数和放电时间常数相等。如果在图 5.3.1(a)所示电路中增加一些元件,使电容的充电时间常数不等于放电时间常数就可构成占空比可调的矩形波发生电路。所谓占空比就是矩形的高电平时间 T_H 与周期 T 之比。显然方波的占空比为 50%。图 5.3.2(a)所示为占空比可调的矩形波发生电路图。它与方波发生电路工作原理相同,只是将电容的充电和放电回路分开,调整 R_3 就可得到占空比不为 50% 的矩形波,输出波形如图(b)所示。

当输出电压为正时,D_1 导通、D_2 截止,输出电压 $+V_Z$ 通过 R_3 给 C 充电,忽略二极管的正向电阻,则充电时间常数为 R_3C。当输出电压为负时,则 D_1 截止、D_2 导通,电容经 R_4 向输出端放电,放电时间常数为 R_4C。仿照式(5.3.2)的推导方法,不难得到输出脉冲的持续时间 T_1 和休止时间 T_2,它们分别为

$$T_1 = R_3C\ln\left(1+\frac{2R_1}{R_F}\right) \tag{5.3.5}$$

$$T_2 = R_4C\ln\left(1+\frac{2R_1}{R_F}\right) \tag{5.3.6}$$

振荡频率



(a)　　(b)

图 5.3.2　占空比可调的矩形波发生电路

（a）电路　（b）波形

$$f = \frac{1}{T_1 + T_2} = \frac{1}{(R_3 + R_4)C\ln\left(1 + \frac{2R_1}{R_F}\right)} \tag{5.3.7}$$

占空比

$$\frac{T_1}{T} = \frac{T_1}{T_1 + T_2} = \frac{R_3}{R_3 + R_4} \tag{5.3.8}$$

由此可见，改变 R_3 可以调整脉冲宽度，但由于受运放上升速率的限制，不能得到太窄的矩形脉冲。

例 5.3.1　电路及其参数如图 5.3.2(a)所示，设 R_3 调到25 kΩ。求输出矩形脉冲的宽度、持续时间、占空比和频率。

解　因稳压管 D_Z 的稳定电压 $V_Z = 9$ V，$V_F \approx 0.7$ V，故输出脉冲的峰－峰值

$$V_{OP-P} = 2(V_Z + V_F) \approx 2V_Z = 18 \text{ V}$$

高电平的时间即持续时间

$$T_1 = R_3 C\ln\left(1 + \frac{2R_1}{R_F}\right) = 2.75 \text{ ms}$$

低电平的时间即休止时间

$$T_2 = R_4 C\ln\left(1 + \frac{2R_1}{R_F}\right) = 11 \text{ ms}$$

占空比

$$\frac{T_1}{T} = \frac{T_1}{T_1 + T_2} = \frac{2.75}{13.75} = 0.2$$

振荡频率

$$f = \frac{1}{T_1 + T_2} = \frac{1}{13.75 \times 10^{-3} \text{ s}} = 72.7 \text{ Hz}$$

5.3.2　三角波和锯齿波发生电路

图 5.3.1 所示的方波发生电路中，可从电容两端输出近似三角波电压，但它是按指数规律变化的，波形的线性较差。而对于三角波和锯齿波，线性程度是一项很重要的指标。

1. 三角波发生电路

（1）电路组成

典型的三角波发生电路如图 5.3.3(a)所示，它是由滞回比较器、积分器和 A_1 与 A_2 之间的闭环反馈组成。图中，A_1 组成的带有正反馈的滞回比较器起开关作用，A_2 组成的积分器起延迟作用和积分作用；A_1 与 A_2 之间的闭环反馈是把 v_O 恰当地反馈给 A_1 的同相输入端，使比较器改变输出状态。A_1 输出方波，而 A_1 的输出又是 A_2 的输入，则 A_2 组成的积分器可将比较器输出的方波电压变换成线性度高的三角波输出。因电路中引入了级间闭环反馈，把 A_2 的输出送给 A_1 的同相输入端，图中 A_1 的同相端电压 v_P 由 v_{O1} 和 v_O 共同决定。可见，改变积分器中 R 的阻值和 C 的容量，不仅能改变 v_O 上升和下降的斜率，而且能改变振荡频率。

（2）工作原理

判断这个电路能否起振，关键是要看接通电源后，能否使 A_1 的输出电压迅速为高电平或低电平，经过积分输出后能否使 A_1 输出改变状态。若能满足以上条件，则能起振，否则不能起振。下面具体讨论其工作原理。

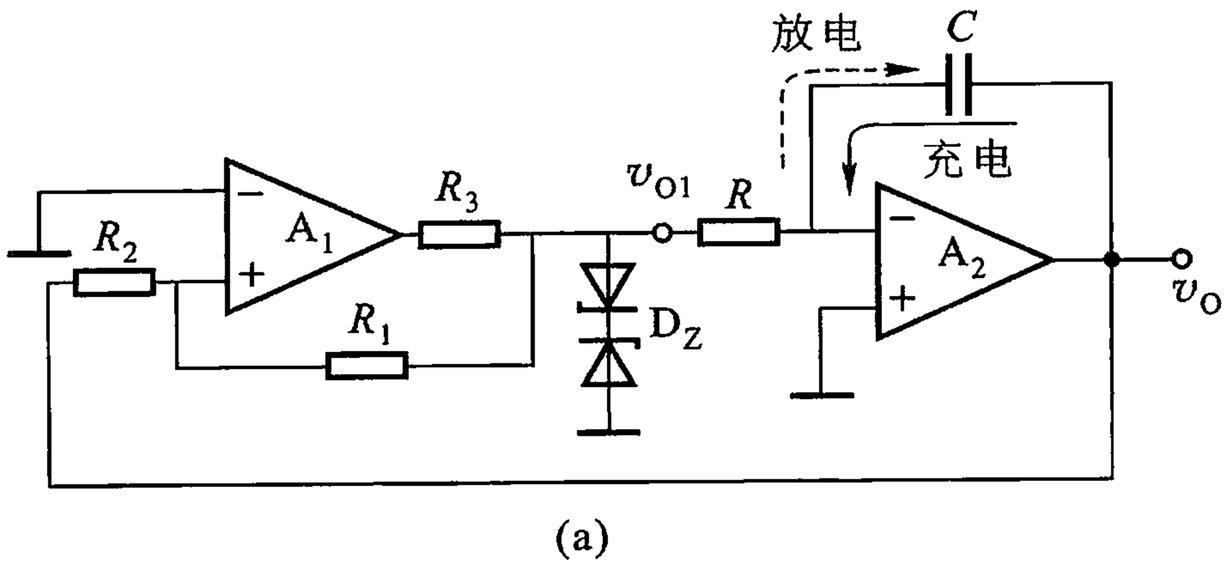
在 $t = t_1$ 时接通电源，因出现在电路中很小的瞬态扰动或集成运放的不对称等原因，使得 v_{O1} 不可能为零，这时电容两端电压不能突变，$v_O = 0$。设 v_{O1} 出现很小的负向电压，v_{O1} 经过 R_1 构成的正反馈回路加到 A_1 的同相输入端 v_P，使

$$v_P \downarrow \xrightarrow{\text{同相输入}} v_{O1} \downarrow \xrightarrow{\text{正反馈}} v_P \downarrow$$

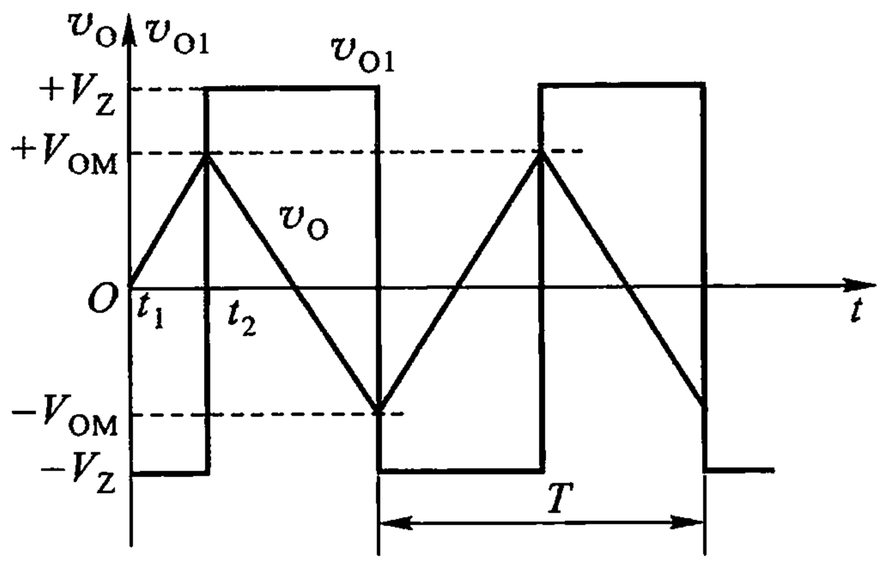
于是 v_{O1} 在瞬间达到负向最大值 $-V_Z$。当 $v_{O1} = -V_Z$ 时，由积分电路输出与输入的关系，可得

$$v_O(t) = -\frac{1}{RC}\int_{t_1}^{t_2}(-V_Z)\,dt = \frac{V_Z}{RC}(t_2 - t_1) + v_O(0) \qquad (5.3.9)$$

显然，有恒定的电流 V_Z/R 对 C 充电，v_O 由零按斜率 $V_Z/(RC)$ 线性上升，当 v_O 上升到一定程度，使 A_1 的 v_P 增加到略大于 v_N，即 v_P 略大于零时，A_1 的输出将改变状态，v_{O1} 由 $-V_Z$ 跳变到 $+V_Z$。此后电容放电，由于充放电时间常数相同，放电电流按斜率 $V_Z/(RC)$ 线性下降，当 v_O 由 $+V_Z$ 下降到一定程度，使 A_1 的 v_P 下降到略小于零，A_1 的输出再次改变状态，v_{O1} 由 $+V_Z$ 跳变到 $-V_Z$。如此循环往复，形成一系列方波和三角波，如图5.3.3(b)所示。



(a)



(b)

图 5.3.3　三角波发生电路

(a) 电路　(b) 波形

(3) 输出幅度和振荡周期

根据比较器 A_1 输出电压发生跳变的临界条件是集成运放的两个输入端电位相等，即 $v_N = v_P = 0$，用叠加定理可求得 A_1 同相端电压

$$v_P = \frac{R_1}{R_1 + R_2} v_O + \frac{R_2}{R_1 + R_2} v_{O1} = 0 \tag{5.3.10}$$

由图 5.3.3(b)所示的波形可知，在 A_1 的输出状态翻转时 $v_{O1} = -V_Z$，$v_O = V_{OM}$，代入式(5.3.10)，即可求得比较器翻转时三角波的峰值电压

$$V_{OM} = \frac{R_2}{R_1} V_Z \tag{5.3.11}$$

因充电和放电的时间常数相等，故波形对称，因此，三角波的峰－峰值电压

$$V_{OP-P} = 2 \frac{R_2}{R_1} V_Z \tag{5.3.12}$$

由图 5.3.3(b)可知，t_1 到 t_2 是积分电路的输出电压由零上升到 V_{OM}所需要的时间，就是振荡周期的 1/4，即在 $T/4$ 时间内 v_O 的变化量为 V_{OM}。由积分电路输出与输入的关系，可得

$$-\frac{1}{RC} \int_{t_1}^{t_2} (-V_Z) \mathrm{d}t = V_{OM}$$

$$-\frac{1}{RC}\int_0^{T/4}(-V_Z)\,\mathrm{d}t = V_{OM}$$

$$\frac{V_Z}{4RC}T = V_{OM}$$

即

$$T = 4RC\frac{V_{OM}}{V_Z}$$

将式(5.3.11)代入上式,得

振荡周期

$$T = 4\frac{R_2}{R_1}RC \tag{5.3.13}$$

振荡频率

$$f = \frac{1}{T} = \frac{R_1}{4R_2RC} \tag{5.3.14}$$

不难看出,改变比值 R_2/R_1,可以改变三角波的幅值,但同时影响三角波的频率;改变积分器的时间常数 RC,可以改变频率,但不影响幅度。通常断续改变 C 作为频段调节,连续改变 R 作为频率细调。但 R 值不能太大或太小。R 值过大,则积分器的输入电流 V_Z/R 太小,当它小到可以和运放的基极电流比拟时,输入基极电流会影响三角波的线性;R 值过小,则积分电容的电流会超出前级的负载能力。

振荡频率在几赫到几千赫的范围内,三角波的线性是很好的。频率再高则应选用高速运放,而在超低频运用时,则受到积分器漂移的限制。

2. 锯齿波发生电路

在示波器、电视机和雷达等电子设备中,都需要一种随时间线性变化的锯齿形电压或电流,以作扫描或变换之用。因此,有研究锯齿波发生电路的必要。

就电路结构和工作原理而言,锯齿波发生电路和三角波发生电路基本上是一样的。只是在图 5.3.3(a)的基础上,在积分电路的输入回路中,增加了由二极管控制的输入回路,利用二极管的单向导电性,使积分电路的充电时间常数与放电时间常数不同,便构成了锯齿波发生电路,其电路和波形如图 5.3.4 所示。

由图可见,当比较器 A_1 的输出为 $-V_Z$ 时,二极管 D 截止,积分时间常数为 RC,电容被充电,v_O 线性上升,形成锯齿波的正程;当 A_1 输出为 $+V_Z$ 时,二极管 D 导通,积分时间常数为 $(R_A /\!/ R)C$,而 $R_A \ll R$,电容迅速放电,v_O 急剧下降,形成暂短的回程,于是得到了下降陡峭的锯齿波。

由式(5.3.11)和式(5.3.12)可知,锯齿波的峰 - 峰值

$$V_{OP-P} = 2\frac{R_2}{R_1}V_Z \tag{5.3.15}$$

锯齿波的周期

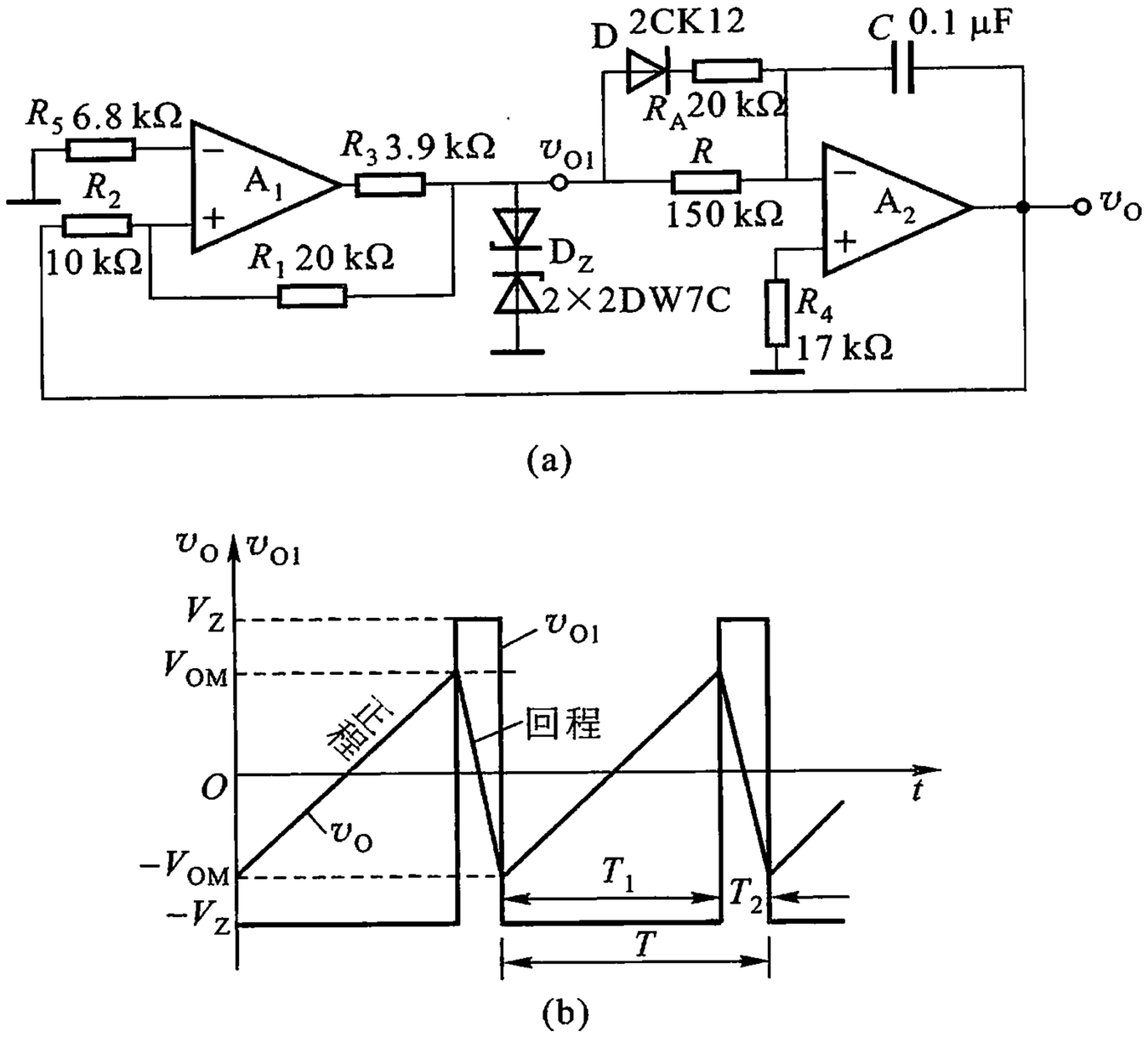


图 5.3.4　锯齿波发生电路

（a）电路　（b）波形

$$T = 2RC\frac{R_2}{R_1} + 2(R_A /\!/ R)C\frac{R_2}{R_1} \tag{5.3.16}$$

通常希望锯齿波的回程时间 T_2 小些才好。因此，周期的调整要靠改变正程时间 T_1，即通过调整 R 或 C 来实现。改变比值 R_2/R_1 可调整锯齿波的幅度。

附录 5.1　RC 电路的暂态特性

1. RC 电路暂态过程的分析

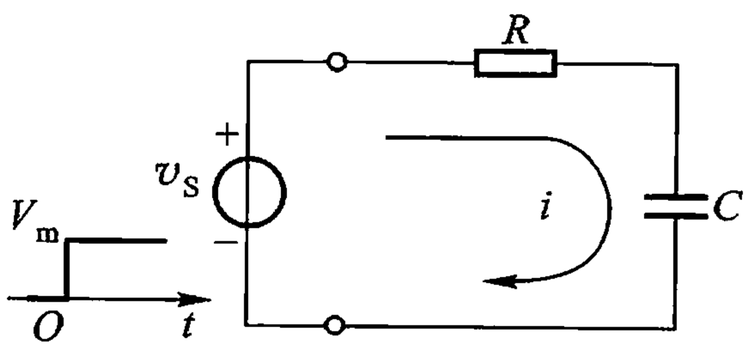
（1）暂态过程中电容的充、放电规律

暂态过程中电容的充、放电规律在电磁学中，读者已有初步的接触，在此首先从物理概念出发，对这些规律作定性的回顾和概括。

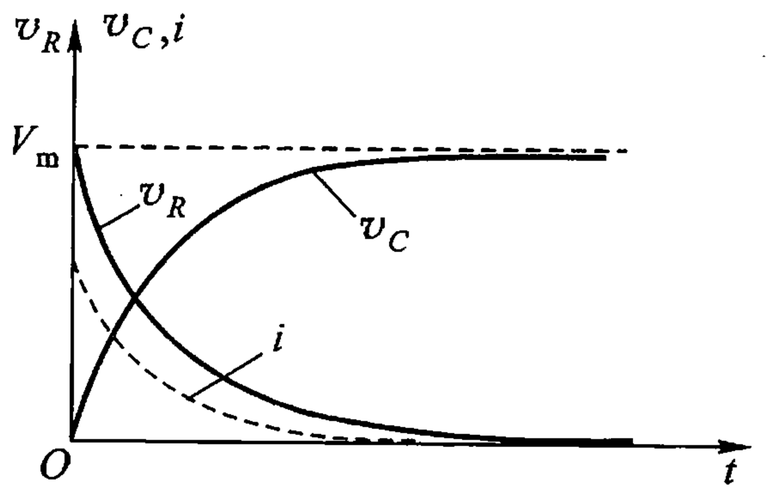
惰性电路受激励信号的冲击后，由原来的稳态经历一段时间过渡到新的稳态，这一变化过程，又称过渡过程。暂态过程在电子线路中是经常遇到的。

在图附 5.1.1 所示的 RC 电路中，激励源 v_S 为阶跃电压，它在 $t=0$ 时以无限短的时间从 0 跳到 V_m。显然，在跳变的前瞬（$t=0^-$），$v_S=0$，而在跳变的后瞬（$t=0^+$），$v_S=V_m$。在 v_S 跳变前，v_S 恒为 0，输入端相当于短路，电路中的电流、电

压均为 0,电路处于一种稳定状态,称为初始状态。对这种情况,电路处于零初始状态。在 v_S 跳变后,v_S 恒为 V_m,激励源通过电阻向电容充电,但是电容两端电压 v_C 只能逐步建立而不能突变,原因在于电容电压 v_C(等于 Q/C)是靠极板上的电荷 Q 的积累而建立的,实际电源不可能供出无限大的充电电流,以使电容瞬间充满电荷,故电容电压 v_C 不能突变。因此,v_S 跳变后一瞬的电容电压 $v_C(0^+)$,必等于跳变前瞬的电容电压 $v_C(0^-)$,即 $v_C(0^+) = v_C(0^-)$,由于电路原处于零态,故在跳变的后瞬,v_C 仍然为 0,这时充电电流 $i = (V_m - v_C)/R = V_m/R$ 为最大,$v_R = iR$ 也为最大。此后,v_C 按指数规律增加,i 和 v_R 按指数规律减小,如图附 5.1.2 所示,增加和减小的速度是由电路的时间常数 $\tau = RC$ 决定的,τ 愈大,v_C 和 v_R 的变化愈慢。经过一定的时间以后,v_C 趋近于 V_m,i 和 v_R 接近于 0,电压基本上不再变化,电路进入新的稳态,暂态过程结束。



图附 5.1.1　*RC* 电路



图附 5.1.2　*RC* 电路对正跳变阶跃电压的响应

电路进入稳态以后,如果 v_S 再由 V_m 跳变到 0,输入端相当于短路,电容放电。放电的规律与充电相同,但 v_R 的极性、i 的方向与充电时相反。

综上所述,*RC* 电路中电容的充、放电有下述重要规律:

① *RC* 电路在阶跃电压的激励下,电路中电流和电压是按指数规律变化的,变化速度由电路的时间常数 τ 决定;

② 电容电压不可能突变;

③ 暂态过程结束后,电容充电或放电完毕,流过电容的电流为 0,电容起了“隔直”作用,相当于“开路”;

④ 在充、放电开始时,电容电压来不及改变,对于跳变信号它没有压降,这时电容相当于“短路”。

(2) 暂态过程公式

从图附 5.1.1 这样一个特例出发,来推导暂态过程公式。其电路方程为

$$v_S(t) = i(t)R + v_C(t)$$

电流 $i(t)$ 也是流过电容的电流,因此

$$i(t) = C\frac{\mathrm{d}v_C(t)}{\mathrm{d}t}$$

于是可得

$$RC\frac{\mathrm{d}v_C(t)}{\mathrm{d}t} + v_C(t) = v_S(t)$$

现在研究 $t=0^+$ 时刻以后，激励电压 $v_S(t)$ 为常数的情况，即令

$$v_S(t) = V_m$$

则

$$\tau\frac{\mathrm{d}v_C(t)}{\mathrm{d}t} + v_C(t) = V_m$$

或

$$\frac{\mathrm{d}v_C(t)}{\mathrm{d}t} + \frac{1}{\tau}v_C(t) = \frac{1}{\tau}V_m \qquad (附\ 5.1.1)$$

式中，$\tau = RC$，为 RC 电路的时间常数。上式为一阶非齐次线性微分方程，它的全解包括特解和通解两个部分。先求对应的齐次方程的通解

$$\frac{\mathrm{d}v_C(t)}{\mathrm{d}t} + \frac{1}{\tau}v_C(t) = 0 \qquad (附\ 5.1.2)$$

经求解得

$$v_C(t) = Ae^{-t/\tau}$$

式中，A 为待定常数，它决定于电路的初始条件，再根据公式求出非齐次方程（附 5.1.1）的特解为

$$v_C(t) = V_m$$

因此，方程（附 5.1.1）的全解为

$$v_C(t) = Ae^{-t/\tau} + V_m \qquad (附\ 5.1.3)$$

将 $t=0^+$ 时，$v_C(t)=v_C(0^+)$ 的初始条件代入上式，可得

$$v_C(0^+) = A + V_m$$

则

$$A = v_C(0^+) - V_m$$

当 $t=\infty$ 时，有

$$v_C(\infty) = V_m$$

代入上式，得

$$A = v_C(0^+) - v_C(\infty) \qquad (附\ 5.1.4)$$

将式（附 5.1.4）和 $v_C(\infty)=V_m$ 代入式（附 5.1.3），可得式（附5.1.1）的全解，即

$$v_C(t) = v_C(\infty) + [v_C(0^+) - v_C(\infty)]e^{-t/\tau} \qquad (附\ 5.1.5)$$

上式具有普遍意义，为此将 v_C 换成 x，则为

$$x(t) = x(\infty) + [x(0^+) - x(\infty)]e^{-t/\tau} \qquad (附\ 5.1.6)$$

上式称为暂态过程公式，式中的初始值 $x(0^+)$、趋向值即稳态值 $x(\infty)$ 和时间常数 τ，称为暂态过程公式的三要素。只要从电路中找出这三个要素的值，把它们代入式(附 5.1.6)，便可直接写出暂态过程中电压和电流的表示式，而不必再去列电路方程和求解。这种方法称为三要素法。

必须指出，由一个惰性元件(电容或电感)和一个电阻组成的电路，或由可合并成一个惰性元件和一个电阻的电路，且在阶跃激励的情况下，这一暂态过程公式才是适应的。

确定 RC 电路的三要素，可按下列规则进行：求初始值 $x(0^+)$ 时，未充电的电容可看作短路，而已充电的电容，则可用一个未充电的电容串联一个电压源 $v_C(0)$ 来代替；求稳态值 $x(\infty)$ 时，电容可看作开路；求时间常数时，应将电路中的电压源短路或将电流源开路，均保留电源内阻，然后将电路中的各个电阻和电容归并为一个总的电阻 R 和一个总的电容 C，R 和 C 的乘积就是时间常数 τ。

(3) 暂态过程持续时间和暂态响应前沿时间

现在回到图附 5.1.1 所示的 RC 电路中，求出电路中 $v_C(t)$ 和 $v_R(t)$ 的表达式，并分析其对时间的变化规律。

首先确定电路的三要素。对于这一 RC 电路，时间常数 $\tau = RC$。在阶跃信号跳变的后瞬($t = 0^+$)，由于电容无初始电荷，可视为短路，即 $v_C(0^+) = v_C(0^-) = 0$，而 $v_R(0^+) = V_m$。当 $t \to \infty$ 电路重新达到稳态时，电容相当于开路，因此，$v_C(\infty) = V_m$，而 $v_R(\infty) = 0$。分别将上述所求的三要素代入式(附 5.1.6)，即得

$$v_C(t) = V_m(1 - e^{-t/\tau}) \qquad (附\ 5.1.7)$$

$$v_R(t) = V_m e^{-t/\tau} \qquad (附\ 5.1.8)$$

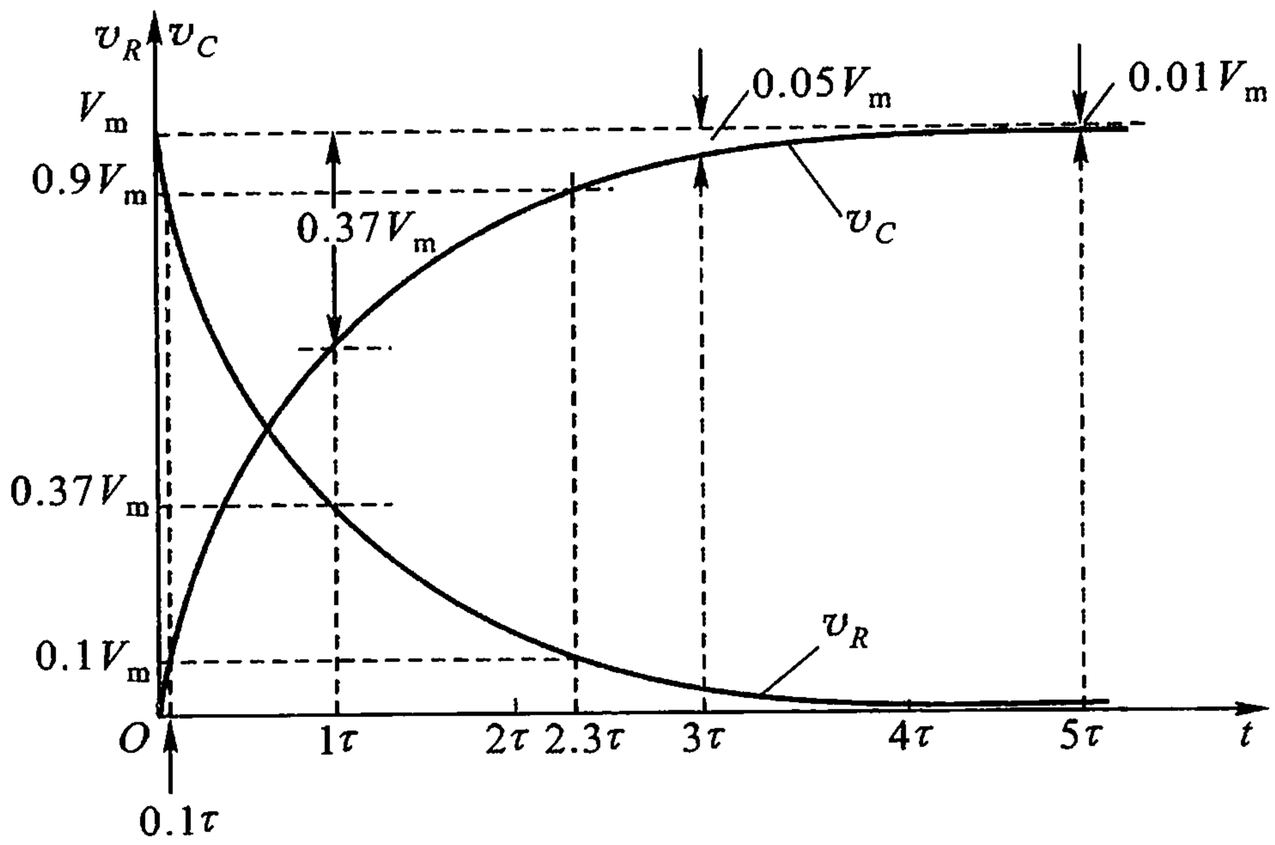
以上二式表明，无论是 $v_C(t)$ 还是 $v_R(t)$，均含指数函数 $e^{-t/\tau}$ 项，随着时间的增长，函数 $e^{-t/\tau}$ 的值单调下降，其数值见表附 5.1.1，$v_C(t)$ 和 $v_R(t)$ 的图形如图附 5.1.3 所示。

由此可见，时间常数 τ 反映了电路中暂态过程进行的速度，时间常数愈大，暂态过程的时间愈长。当 $t = \tau$ 时，$e^{-t/\tau} = e^{-1} = 0.37$。因此，时间常数 τ 可看作暂态过程由起始值到稳态值进行了 63% 所需的时间。

表附 5.1.1　t 为不同值时函数 $e^{-t/\tau}$ 的值

t	0.105τ	1τ	2τ	2.3τ	3τ	4τ	5τ
$e^{-t/\tau}$	0.90	0.37	0.14	0.10	0.05	0.02	0.01

在阶跃信号跳变以后，开始 v_C 小，所以充电电流大，这时 v_C 的增大和 v_R 的减小都比较快，到后来充电电流愈来愈小，v_C 的增长愈来愈慢。从理论上说，需



图附 5.1.3　*RC* 电路(图附 5.1.1)对阶跃激励的电压响应

经历无限长的时间,电路才能达到稳态。由图附 5.1.3 可见,实际上经过(3 ~ 5)τ 的时间后,电容已充电到稳态值 V_m 的 0.95 ~ 0.99,可认为暂态过程基本结束。因此,通常以(3 ~ 5)τ 定义为暂态过程的持续时间。

根据脉冲参数的定义,暂态响应的前沿时间 t_r 应为电容电压 v_C 由 $0.1V_m$ 上升到 $0.9V_m$(v_R 则由 $0.9V_m$ 下降到 $0.1V_m$)所需的时间。因此,由图附 5.1.3 可得

$$t_r = t_{0.9V_m} - t_{0.1V_m} \approx 2.3\tau - 0.1\tau = 2.2\tau \qquad \text{(附 5.1.9)}$$

如果要作出暂态过程电压变化曲线,只要知道了时间常数 τ,根据表附 5.1.1,算出 $t = \tau$、2τ、…时的几个特定的电压值,然后在图上描点,就可以把电压曲线比较准确地描绘出来。

例附 5.1.1　在图附 5.1.4 的电路中,设在时刻 $t = 0$ 接通开关 S,电容的初始电压 $v_C(0^-) = 0$,试画出 $v_R(t)$ 的波形。

解　接通开关 S,相当于在时刻 $t = 0$ 给电路加上一个幅度为 V 的阶跃信号。

求起始值 $v_R(0^+)$ 时,电容 C 可视为短路,故

$$v_R(0^+) = V = 10\ \text{V}$$

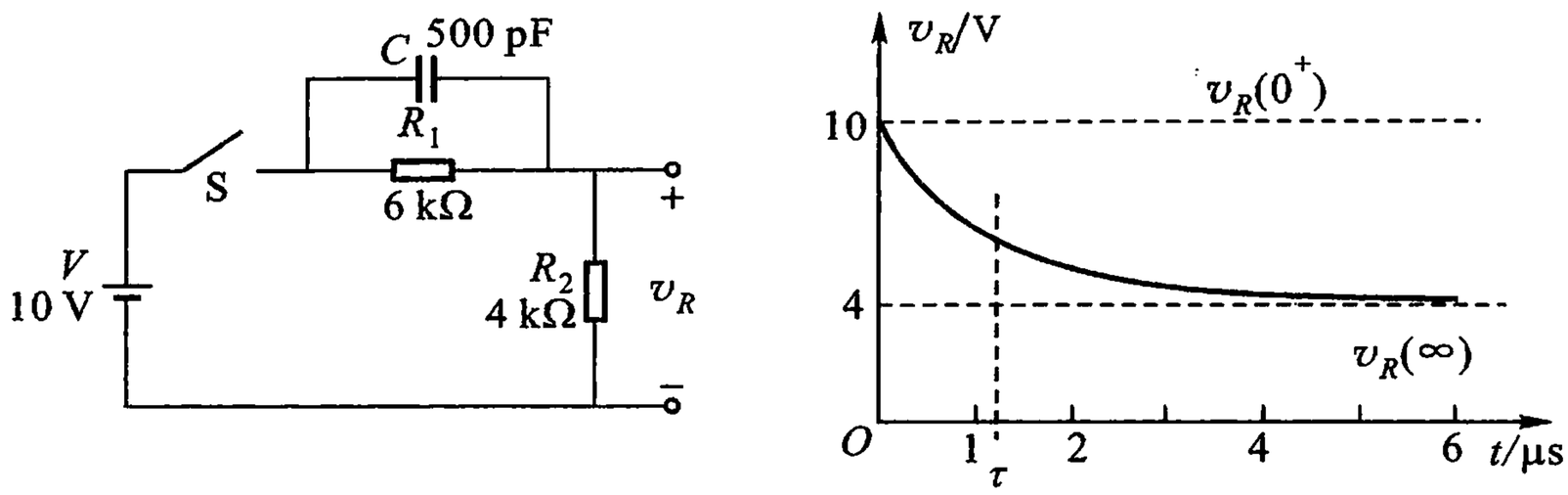
求稳态值 $v_R(\infty)$ 时,电容充电结束,相当于开路,故

$$v_R(\infty) = \frac{R_2}{R_1 + R_2}V = \frac{4}{6 + 4} \times 10\ \text{V} = 4\ \text{V}$$

求时间常数 τ 时,令激励电压源短路,则总电阻为 $R = R_1 /\!/ R_2$,则

$$\tau = RC = \frac{R_1 R_2}{R_1 + R_2}C$$

$$= 1.2 \times 10^{-6}\ \text{s} = 1.2\ \mu\text{s}$$



(a)　　(b)

图附 5.1.4　例附 5.1.1 的电路和 v_R 的波形

(a) 电路图　(b) v_R 的波形

由式(附 5.1.6),得

$$v_R(t) = v_R(\infty) + [v_R(0^+) - v_R(\infty)]e^{-t/\tau}$$

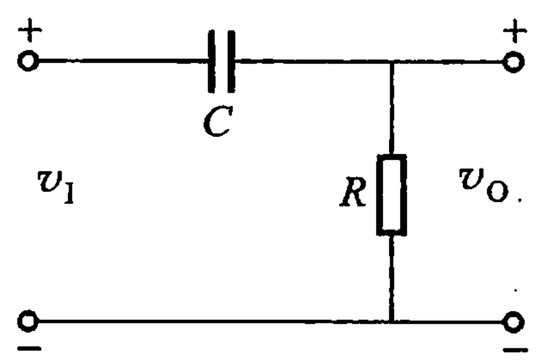
$$= (4 + 6e^{-\frac{25}{3}\times 10^5 t})\ \text{V}$$

由此关系式,即可画出如图附 5.1.4(b)所示的波形图。

2. 微分电路

微分电路是电子线路中一种简单的波形变换电路,它可将矩形脉冲变换为正、负极性相间的尖顶脉冲,v_O 与 v_I 有近似微分关系。

图附 5.1.5 所示的 RC 电路,输出电压是从电阻 R 两端取得的,如果电路的时间常数 τ 远小于输入矩形脉冲的宽度 t_W,即 $\tau \ll t_W$(通常取 $\tau < \frac{1}{5}t_W$),便成了微分电路。现在来分析当输入电压为矩形脉冲时的输出电压波形。



图附 5.1.5　微分电路

在 $t = 0^+$ 时,输入电压由 0 跳变到 V_m,由于电容电压 v_C 不能突变,$v_C(0^+) = v_C(0^-) = 0$,所以 v_I 的跳变全部降落在 R 上,使 v_O 产生一个同样大小的跳变,即 $v_O(0^+) = V_m$。此后电容开始充电,v_C 按指数律上升,v_O 按指数律下降,由于 $\tau \ll t_W$,在 $t = t_W$ 时,v_C 已升高到 V_m,v_O 已下降到 0,形成了正的尖脉冲,如图附 5.1.6(b)所示,它的表达式为

$$v_O(t) = V_m e^{-t/\tau} \qquad \text{(附 5.1.10)}$$

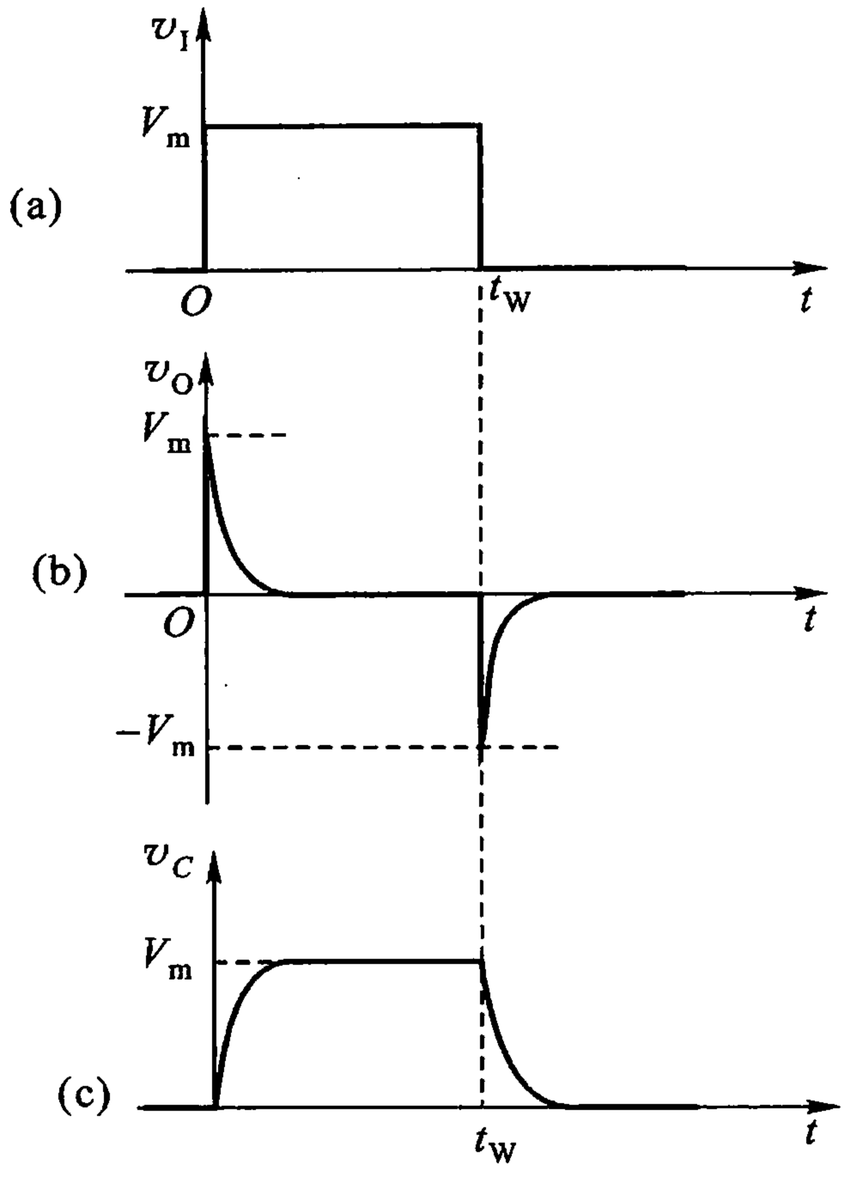
式中,$0^+ \leqslant t \leqslant t_W^-$。在 $t = t_W$ 时,v_I 由 V_m 突降为 0,由于 v_C 不能突变,$v_C(t_W^+) = v_C(t_W^-) = V_m$,因此,$v_O$ 将从 0 跳变到 $-V_m$,同时电容开始放电,其电流方向与充电时相反,随着放电的进行,v_O 很快回升到 0,形成一个负尖脉冲。显然,在 $t =$

t_W^+ 以后，负尖脉冲的表达式为

$$v_O(t) = -v_C(t_W^+)e^{-(t-t_W)/\tau}$$

$$= -V_m e^{-(t-t_W)/\tau}$$

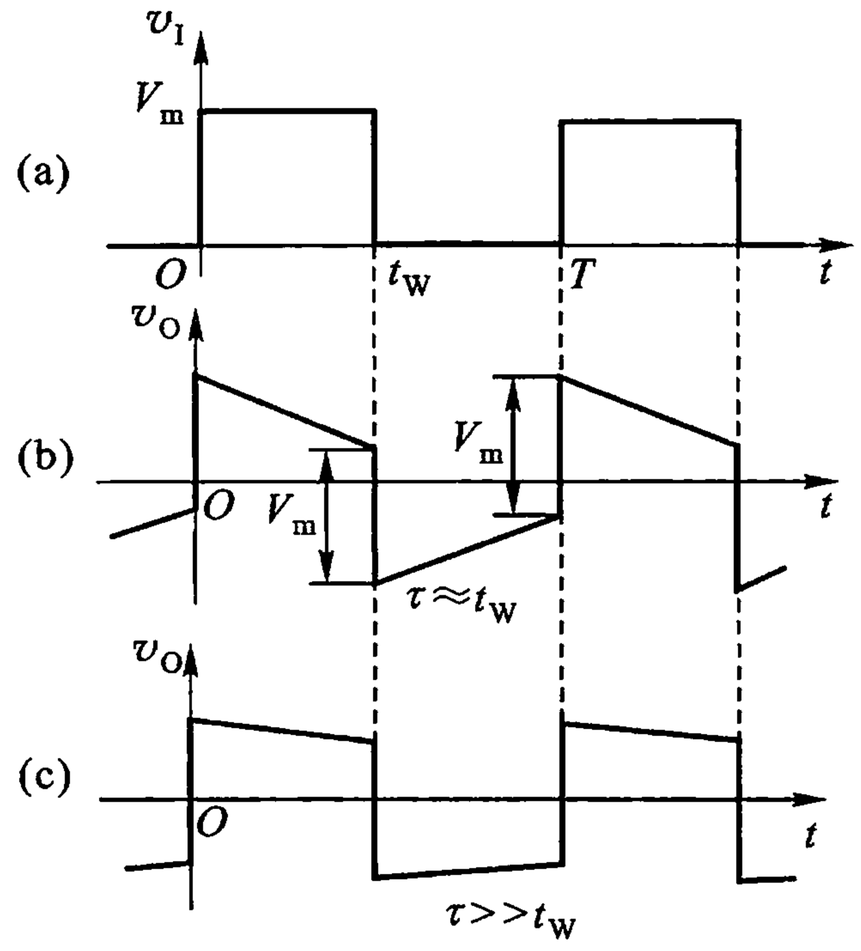
图附 5.1.6 所示为输出尖脉冲的波形，还画出了相应的 v_C 波形。在这些波形中，任意时刻都应满足电路方程 $v_I = v_O + v_C$ 的关系。



图附 5.1.6　微分电路的波形

（a）输入矩形脉冲　（b）输出尖脉冲

（c）电容的电压



图附 5.1.7　*RC* 耦合电路的稳态输出波形

（a）v_I 波形　（b）$\tau \approx t_W$ 时 v_O 的波形

（c）$\tau >> t_W$ 时 v_O 的波形

上述表明，*RC* 微分电路的输出电压必须从电阻 *R* 两端取得，同时必须满足条件 $\tau << t_W$，一般取 $\tau < 0.2t_W$，这就是微分电路必须具有的两个条件。对于图附 5.1.5 所示电路，如果 $\tau >> t_W$ 时，在输入电压 v_I 为周期性矩形波作用下，其稳态输出电压接近于一矩形波，与 v_I 的波形比较，少了一个直流分量，如图附 5.1.7所示。在输入信号接入电路若干个周期以后，电容逐渐建立起直流电压，输入信号的直流分量便降落在电容上，电容起了隔直的作用。在 *R* 两端的输出则为交流分量。这样的 *RC* 电路是一种耦合电路，它具有不失真地传输交流信号的功能。在输出波形中，由于只有交流分量，因此，v_O 在一周期内的平均值为零，即在一周期内波形在横轴上部的面积等于下部的面积。

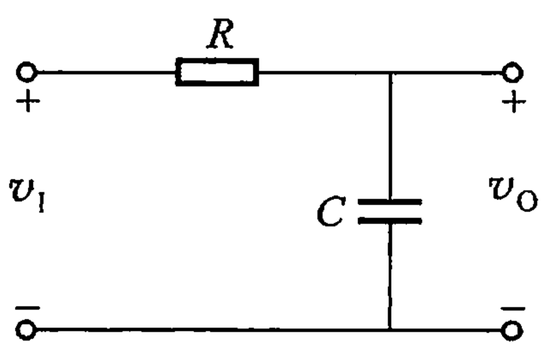
显然，作为耦合电路的条件是：从电阻 *R* 两端输出，同时必须满足条件 $\tau >> t_W$。在实际中，通常选取 $\tau > 5t_W$，已能满意地使输出波形再现输入波形了。

上述分析表明，若电路的时间常数 τ 与矩形脉冲宽度 t_W 的比例不同，尽管是同一形式的 *RC* 电路，它既可以是微分电路，又可以是耦合电路，输出波形可以有很大的差别。

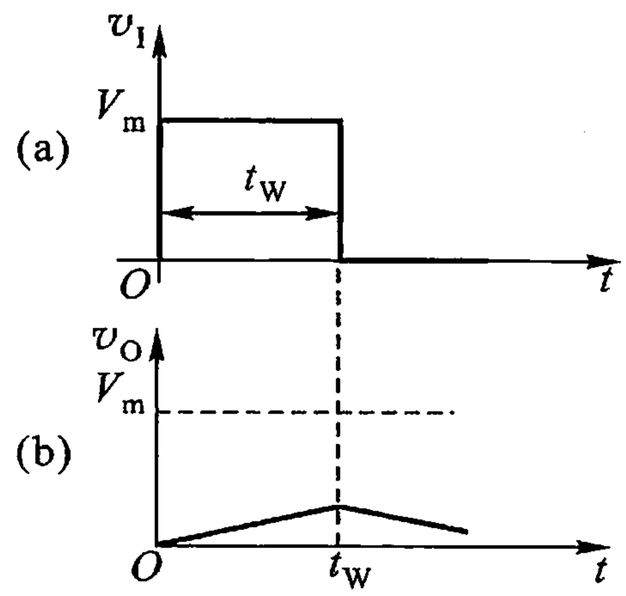
3. 积分电路

RC 电路如图附 5.1.8 所示，输出电压 v_O 是从电容两端取得的，当满足 $\tau >> t_W$ 时，输出电压 v_O 与输入电压 v_I 有近似积分关系，这种电路便成了积分电路。

在 $t=0$ 时，v_I 跳变到 V_m，电容开始充电，v_O 按时间常数 τ 的指数律上升。但由于 τ 较大，在 $0 \sim t_W$ 范围内，v_O 的变化仅是整个指数曲线的一小段，近似于线性上升。到 $t=t_W$ 时，v_O 远远未达到稳态值 V_m，v_I 已跳变到零，此后电容缓慢放电，v_O 下降，如图附 5.1.9 所示。因此，积分电路能将矩形波变换为三角波或锯齿波。



图附 5.1.8　积分电路



图附 5.1.9　积分电路的波形
（a）输入波形　（b）输出波形

因为 $\tau >> t_W$，在输入矩形脉冲的持续期内，v_O 上升不多，这表明 $v_O << v_R$，于是

$$v_I = v_O + v_R \approx v_R = iR$$

则

$$i = \frac{v_I}{R}$$

因此，输出电压为

$$v_O = \frac{1}{C}\int i\mathrm{d}t \approx \frac{1}{RC}\int v_I \mathrm{d}t \qquad (附\ 5.1.11)$$

可见，输出电压 v_O 与输入电压 v_I 有近似积分关系，因此，称为积分电路。

小结

本章介绍了正弦波振荡电路、比较器和非正弦波发生电路，现分别小结

如下：

1. 正弦波振荡电路

（1）一个正弦波振荡电路一般应由放大电路、正反馈网络、选频网络和稳幅环节4个部分组成。

（2）振荡的平衡条件是$\dot{A}\dot{F}=1$，这个条件又可分为振幅平衡条件$|\dot{A}\dot{F}|=1$和相位平衡条件$\varphi_A+\varphi_F=2n\pi$，起振的幅值条件是$|\dot{A}\dot{F}|>1$。

（3）振荡频率是由相位平衡条件决定的。在常用的RC串并联式正弦波振荡电路中，它的振荡频率是$f_0=\dfrac{1}{2\pi RC}$；LC正弦波振荡电路有变压器反馈式，电感三端式和电容三端式等几种，它们的振荡频率由谐振回路决定，即

$$f_0=\frac{1}{2\pi\sqrt{LC}}$$

（4）判断正弦波振荡电路能否振荡的一般方法和步骤是：

① 观察电路是否具有放大、反馈、选频、稳幅等正弦波振荡电路的基本组成部分。

② 检查它的放大电路是否满足放大条件，运放的输入端是否有直流通路，有无放大作用。

③ 分析是否满足相位平衡条件。方法是：断开回路，引进“输入”，分析反馈信号与输入信号是否同相，即$\varphi_A+\varphi_F=2n\pi$。

④ 再检查是否满足幅值平衡条件。

2. 比较器

① 比较器是用来比较输入信号电压大小的电路。它的输入电压是模拟量，输出电压通常只有高电平和低电平两个稳定状态。

② 比较器中运放的工作状态：在稳态即输出为高电平或低电平时，运放工作在饱和状态；在输出电压发生跳变的过程中，运放才是工作在线性放大区。

③ 阈值，又称门限电压值。它是使输出电压发生跳变的输入电压值。单限比较器只有一个门限电压值，滞回比较器有两个门限电压值。

3. 非正弦波发生电路

（1）矩形波发生电路由3个部分组成

具有开关特性的器件，本节这种器件均用带有正反馈的滞回比较器；反馈网络，它能把输出电压恰当地反馈给具有开关特性的器件，使开关器件的输出改变状态；延迟环节，为了实现时间的延迟和所需要的振荡频率，常用RC电路来实现。在三角波或锯齿波发生电路中除上述3个部分外还应加积分环节。

（2）判断非正弦波信号发生电路的起振条件

接通电源后，开关器件的输出电压应迅速为高电平或低电平，再经过一定的延迟时间后，又能使比较器输出改变状态。

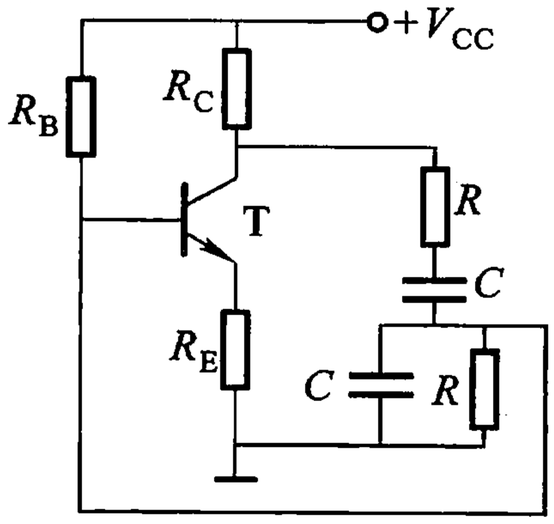
（3）非正弦波发生电路的工作是以滞回比较器为基础的，分析电路时要注意比较器输出电压跳变的临界条件和 *RC* 电路的瞬态过程，由此来确定非正弦波的振荡周期。

习题与思考题

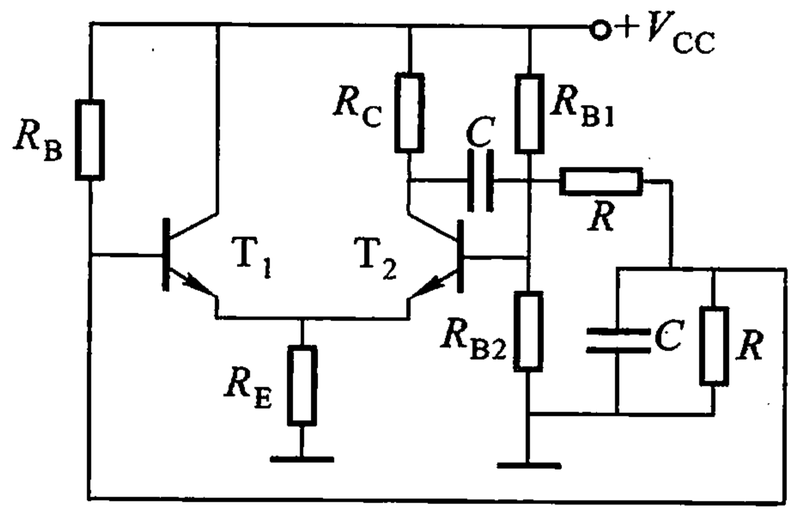
5.1　什么是振荡电路？它与放大电路最本质的区别是什么？

5.2　正弦波振荡电路由哪几个部分组成？在正弦波振荡电路中若无稳幅环节，输出将会出现什么现象？

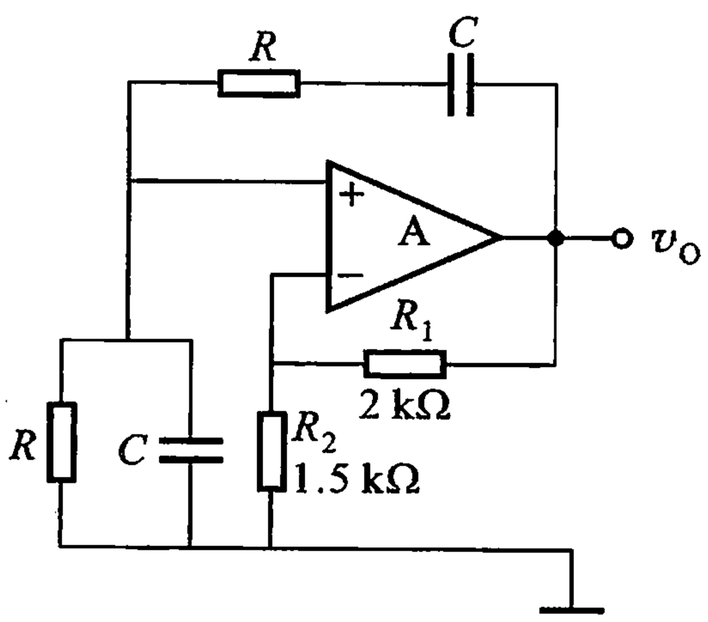
5.3　*RC* 串并式正弦波振荡电路的电路如图 P5.3 所示，试指出哪个电路能产生自激振荡，哪个不能，并说明理由。



(a)



(b)



(c)

图 P5.3

5.4　*RC* 串并式正弦波振荡电路如图 P5.4 所示。

（1）试分析这一电路中的正、负反馈网络分别由哪些元件组成；

（2）写出同相输入端到输出端的电压传输系数；

（3）写出输出端到同相输入端的反馈系数；

(4) 写出振荡电路振荡频率的表达式；

(5) 根据起振的幅值条件，试求 R_1 的值；

(6) 为了稳定振幅，又使输出波形不失真，对反馈电阻 R_1 有什么要求？

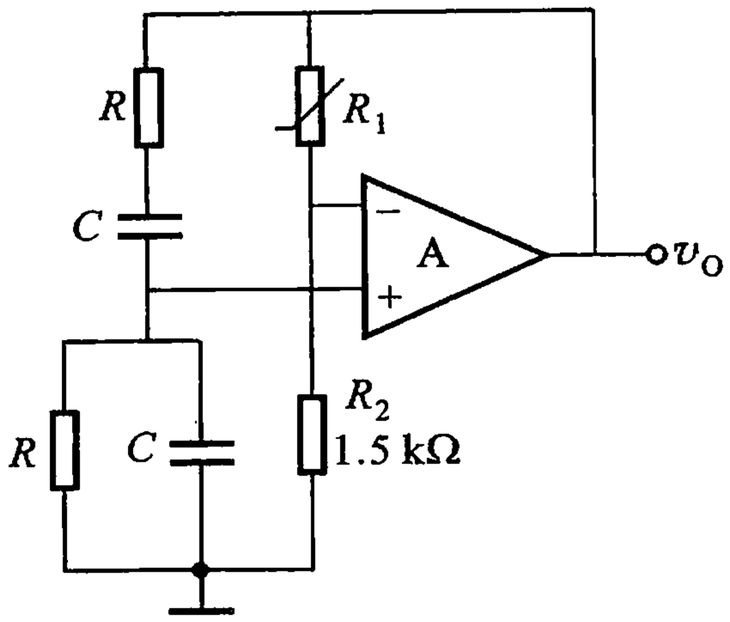


图 P5.4

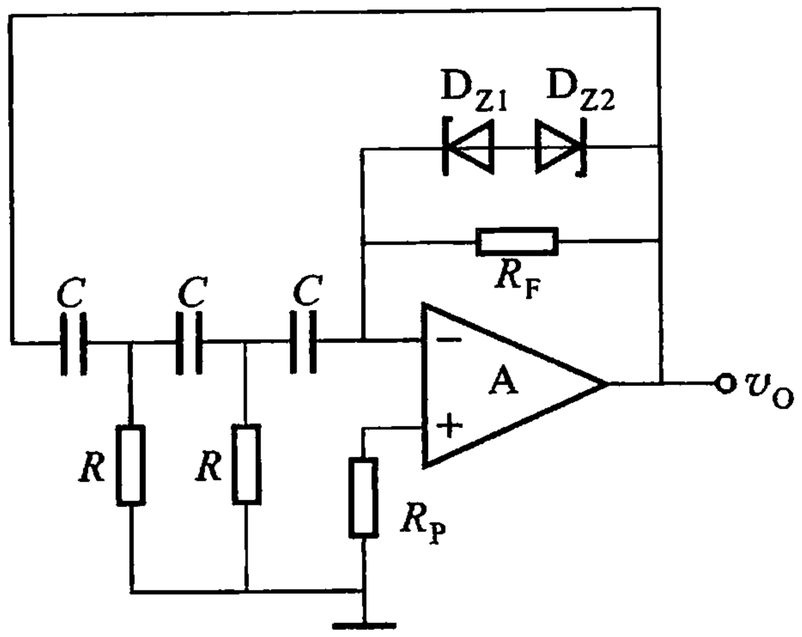
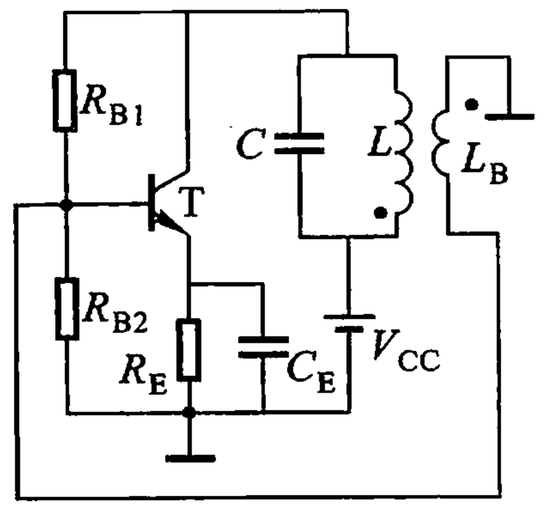


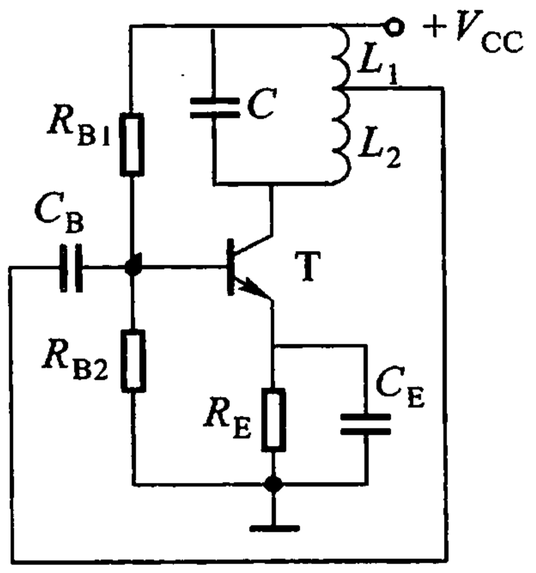
图 P5.5

5.5 图 P5.5 所示为 *RC* 相移式正弦波振荡电路。这个电路的反馈网络、稳幅环节分别由哪些元件组成？试分析这一电路产生正弦振荡的原理。

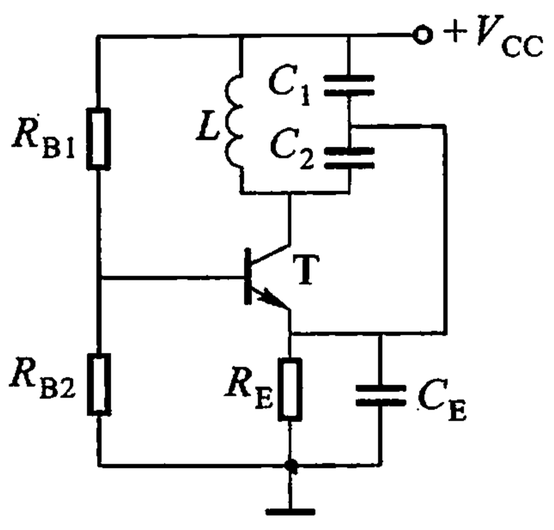
5.6 *LC* 正弦波振荡电路如图 P5.6 所示。试判断它们是否可能振荡，若不能振荡，试修改电路。



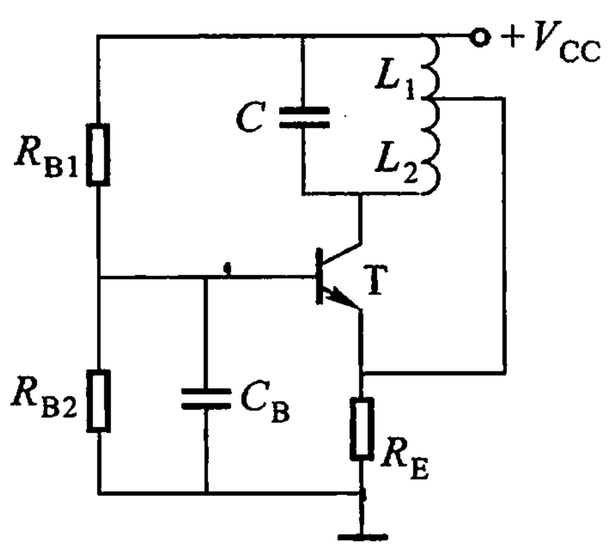
(a)



(b)



(c)



(d)

图 P5.6

5.7　*LC* 正弦波振荡电路如图 P5.7 所示，试分别算出回路电容和频率的变化范围。

5.8　电路如图 P5.8 所示。

（1）应将石英晶体接在哪两点它才有可能产生正弦波振荡？

（2）接好石英晶体后，试画出交流通路，并分析其振荡原理。

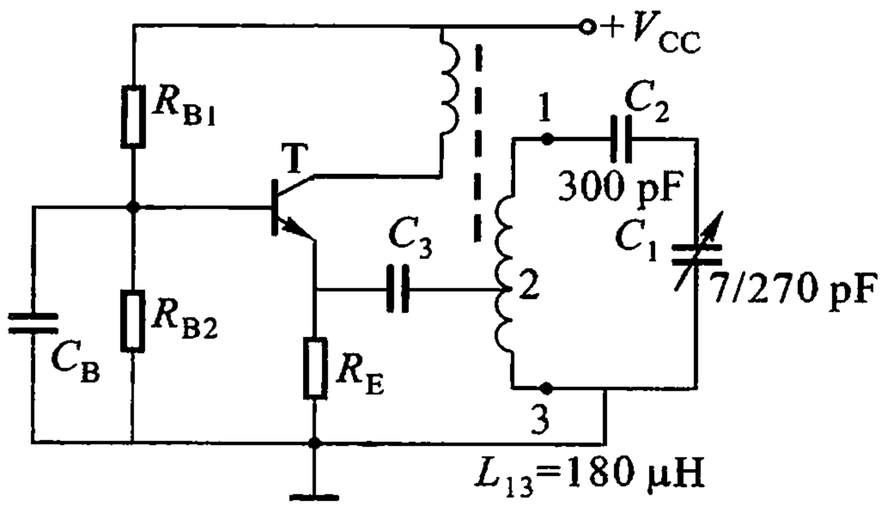


图 P5.7

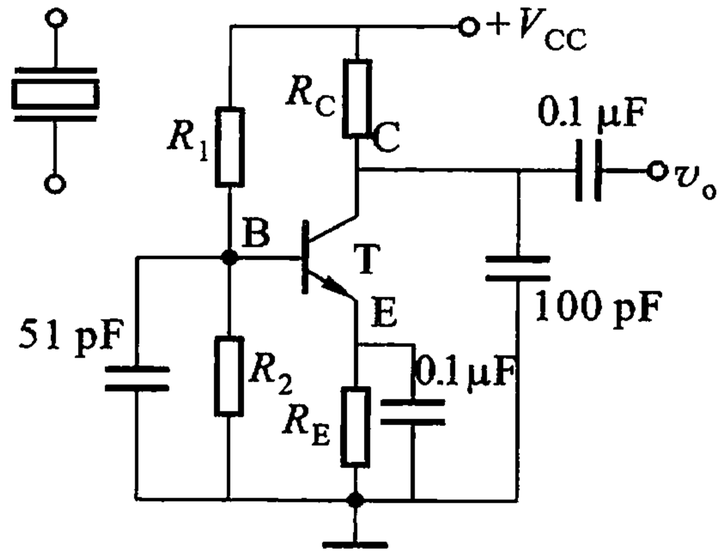


图 P5.8

5.9　在图 P5.9 所示电路中，设集成运放 A_1、A_2、A_3 均为理想运放，稳压管正向导通电压可以忽略。

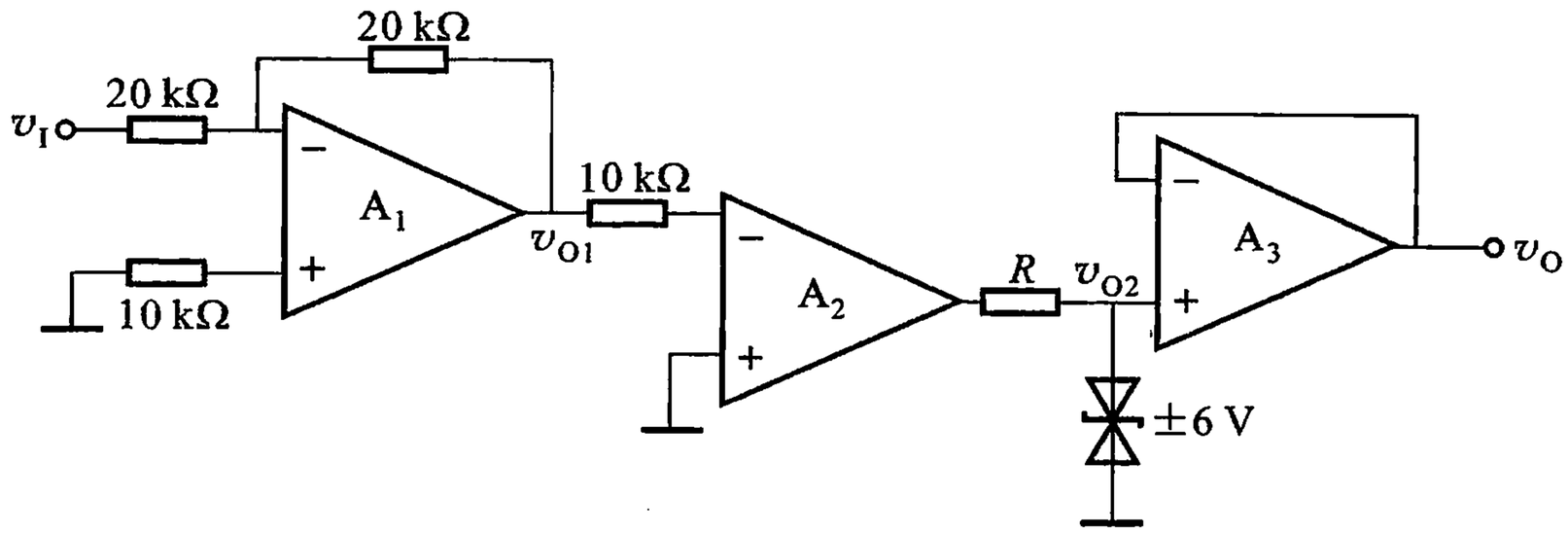


图 P5.9

（1）A_1、A_2 和 A_3 各组成什么应用电路；

（2）若输入信号 $v_i = 5\sin \omega t$ V，试分别绘出相应的 v_{O1}、v_{O2} 和 v_O 的波形；

（3）试简述 A_1、A_2 和 A_3 各工作在线性区还是非线性区？

5.10　比较器如图 P5.10 所示。设 A 是一个理想运算放大电路，D_Z 是稳压二极管，$V_Z = 6$ V，$V_D = 0.7$ V。设 $R_1 = R_2$。在下列 3 种情况下：

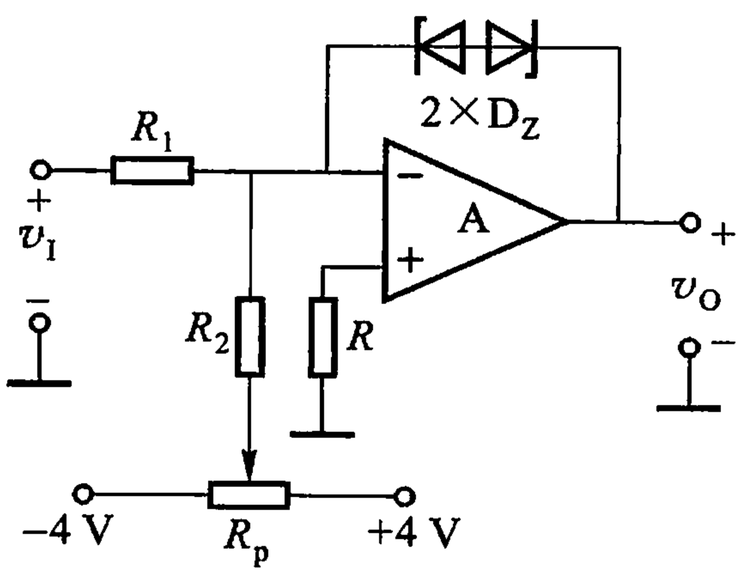


图 P5.10

(1) 电位器 R_p 的活动臂在中心位置;

(2) 电位器 R_p 的活动臂在最左边位置;

(3) 电位器 R_p 的活动臂在最右边位置。

要求:①作出输出电压 v_O 与输入电压 v_I 之间的关系曲线;

②设输入电压 $v_I = 10\sin \omega t$ V,试作出 v_O 的波形。

5.11 同相输入滞回比较器如图 P5.11 所示。

(1) 推导滞回特性的 3 个参数 V_1、V_2 和 V_H;

(2) 绘出传输特性,并注上数值;

(3) 若输入电压为 $v_I = 8\sin \omega t$ V,试绘出 v_O 的波形。

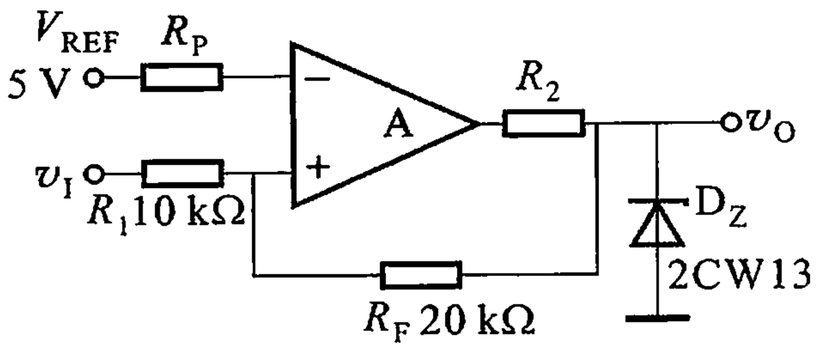


图 P5.11

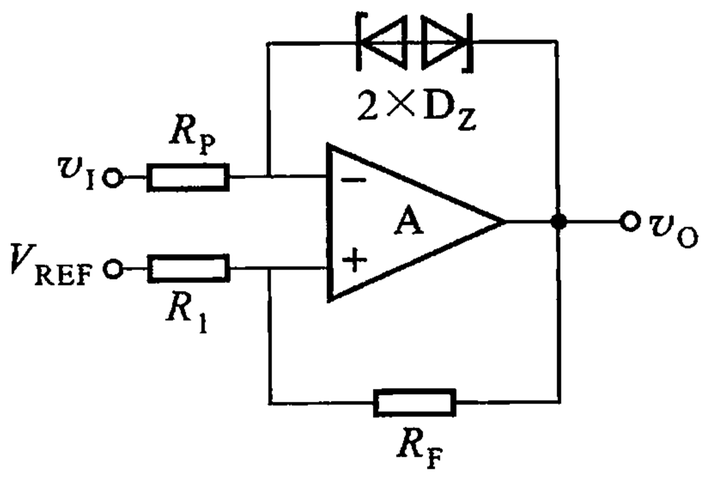


图 P5.12

5.12 电路如图 P5.12 所示,试分析其工作原理,求出参数 V_1、V_2 和 V_H。

5.13 方波发生电路如图 P5.13 所示。设 $R_1 = R_F = 5$ kΩ,要求 $f = 5$ kHz,$V_m = 16$ V。

(1) 选择稳压二极管 D_Z;

(2) 计算电路中的元件;

(3) R 和 C 的值除受 f 的限制外,还受哪些因素的制约?

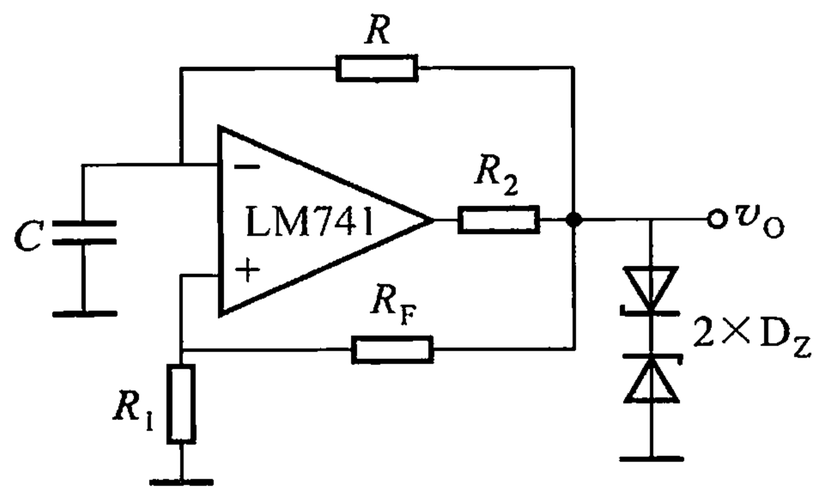


图 P5.13

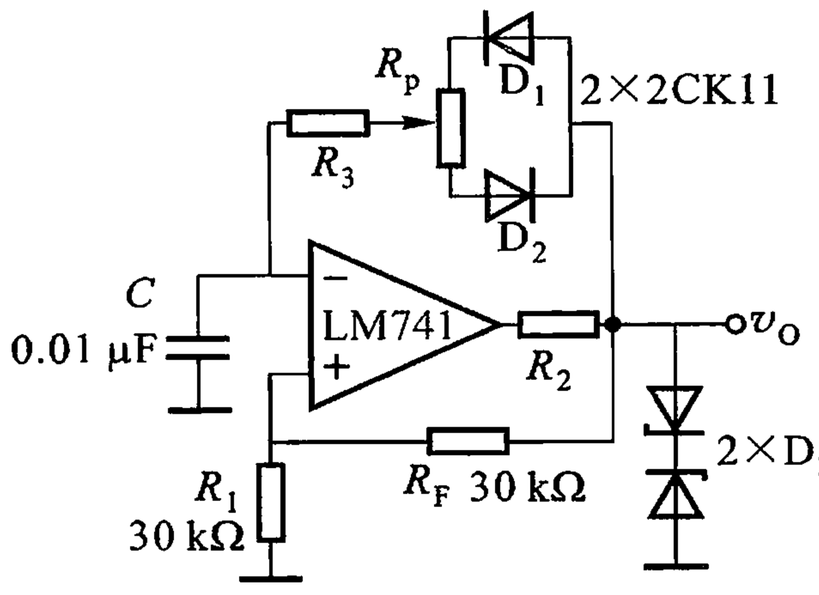


图 P5.14

5.14 图 P5.14 所示为一矩形波发生电路,这个电路在调整占空比时其频

率可保持不变。要求 $f=1\ \text{kHz}$，$V_m=20\ \text{V}$，占空比 T_1/T 可从 10% 调到 90%，试选择稳压二极管并计算 R_3 和 R_p 的阻值。

5.15　简单的锯齿波发生电路如图 P5.15 所示。试分析其工作原理，并绘出 v_O 和 v_C 的波形。

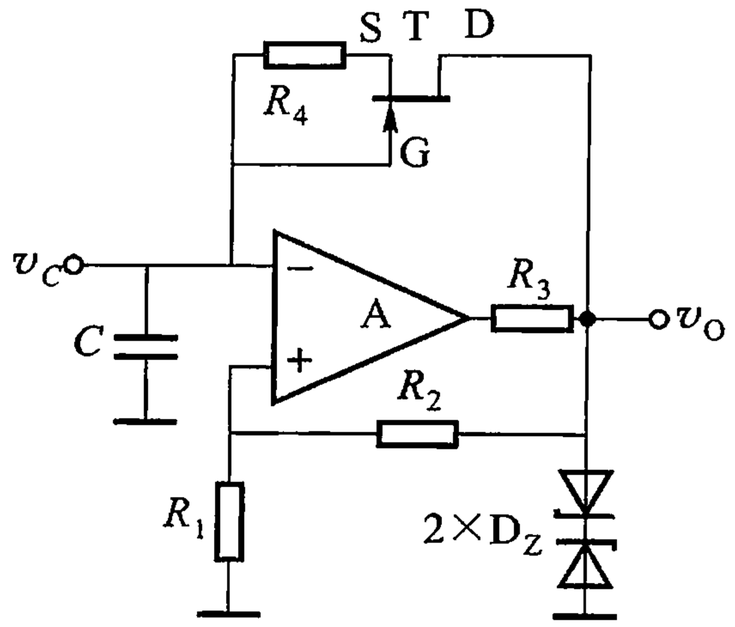


图 P5.15

5.16　锯齿波发生电路如图 5.3.4(a)所示。现把 A_1 反相端通过 R_5 改接参考电压 V_{REF}，调节 V_{REF}，可使锯齿波上、下移动。试分析电路的工作原理；计算锯齿波的最大值 V_{max}（不再等于 V_{OM}）、最小值 V_{min}（不等于 $-V_{OM}$）；绘出波形图。

第 6 章　直流稳压电源

引　言

电子电路的运行，都需要直流电源供电，电子电路为了工作稳定和精确，通常要求直流电源的电压非常稳定，因而要用到直流稳压电源。

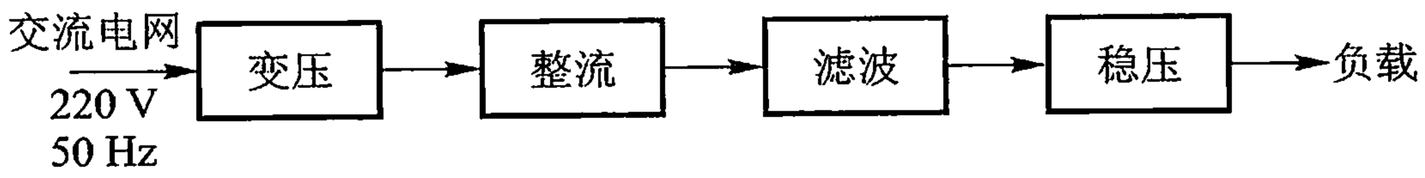


图 6.0.1　直流稳压电源的组成

直流稳压电源通常由变压、整流、滤波和稳压 4 个部分组成，如图 6.0.1 所示。由于交流电网的电压较高，所以变压环节是一个降压变压器。一个量值合适的交流电压，经整流后输出一个脉动的直流电压，再经滤波后得到一个基本平滑的直流电压。但是滤波器输出的电压，会随电网电压、负载和温度等因素的变化而改变，还需要一个稳压环节，负载才能得到一个平滑而又稳定的直流电压。

本章将对上述直流稳压电源的 4 个部分进行简明的阐述。

6.1　小功率整流滤波电路

电子线路都需要稳定的直流电源。直流电源通常是利用二极管等单向导电作用，将 220 V 50 Hz 交流电变为单向流动的脉动直流电而获得，这一过程称为整流。然后经过电源滤波滤去脉动成分，使它成为平滑的直流电。本节将介绍单相桥式整流电路和电源滤波电路的工作原理和主要参数。

6.1.1　单相桥式整流电路

单相桥式整流电路由变压器和 4 个同型号的二极管接成电桥形式组成，如图 6.1.1 所示。

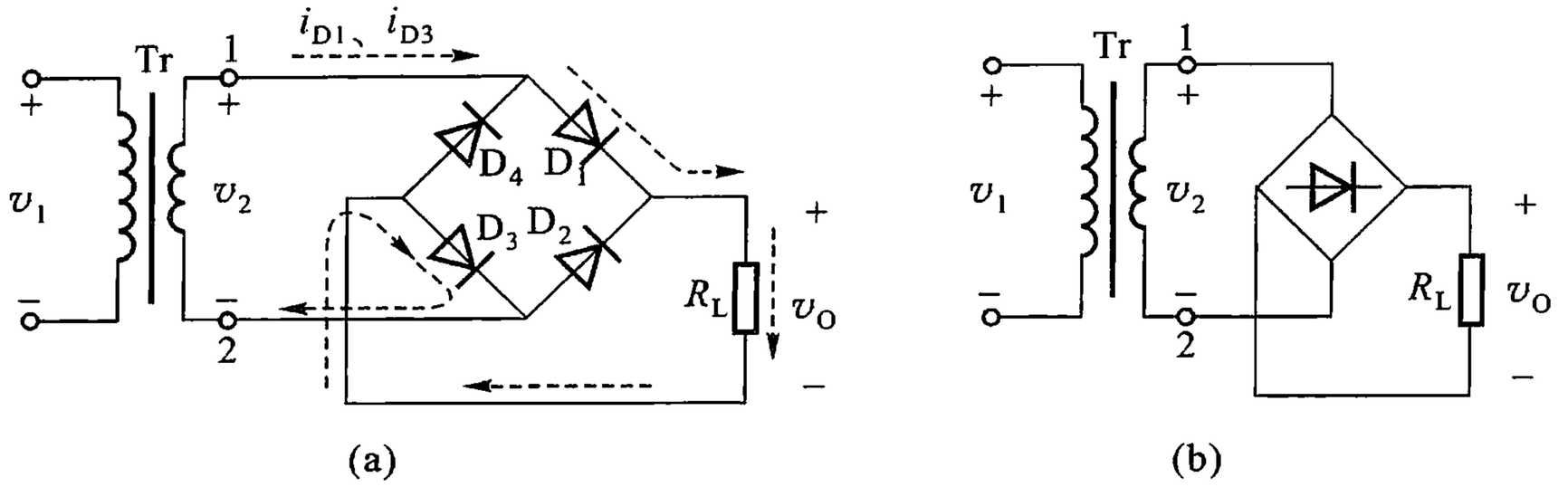


图 6.1.1　单相桥式整流电路

（a）电路　（b）简化画法

1. 工作原理

图中 Tr 为变压器，其作用是将电网上的交流电压 v_1 变为整流电路要求的交流电压 v_2，R_L 是要求直流供电的负载电阻。为计算方便，把二极管作理想元件处理，即认为它的正向导通电阻为零，反向截止电阻为无穷大。

整流过程如下：当 v_2 为正半周时，即 1 端为正，2 端为负，这时 D_1、D_3 导通，D_2、D_4 截止，电流的通路是 $1 \rightarrow D_1 \rightarrow R_L \rightarrow D_3 \rightarrow 2$，如图中虚线箭头所示，当 v_2 为负半周时，D_2、D_4 导通，D_1、D_3 截止，电流的通路是 $2 \rightarrow D_2 \rightarrow R_L \rightarrow D_4 \rightarrow 1$。由此可见，无论 v_2 处于正半周还是负半周，都有电流分别流过两对二极管，并以相同方向流过负载 R_L。输入输出对应波形如图 6.1.2 所示。

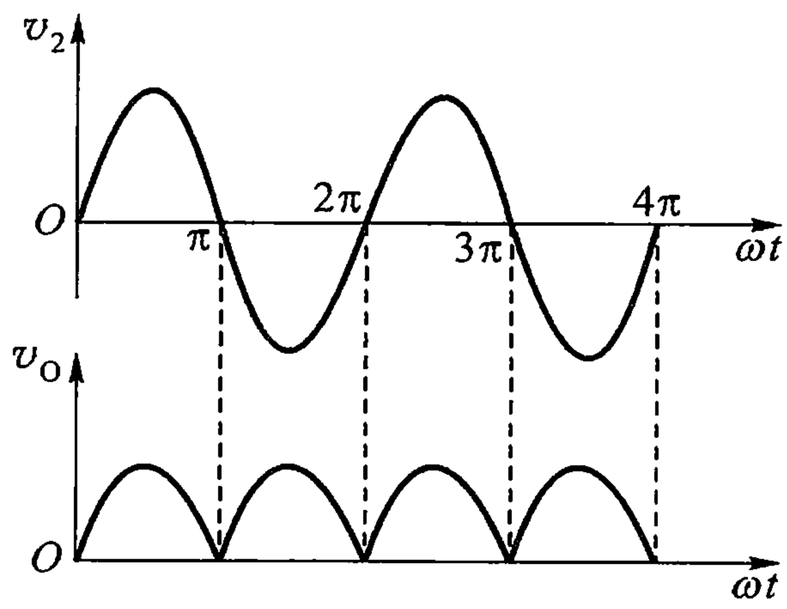


图 6.1.2　单相桥式整流电路输入、输出对应波形

2. 负载电阻上直流电压的计算

用傅里叶级数将图中 v_O 的波形进行展开，可得

$$v_O = V_{2m}\left(\frac{2}{\pi} - \frac{4}{3\pi}\cos 2\omega t - \frac{4}{15\pi}\cos 4\omega t - \frac{4}{35\pi}\cos 6\omega t - \cdots\right) \quad (6.1.1)$$

式(6.1.1)的直流分量为

$$V_O = \frac{2}{\pi}V_{2m} = \frac{2\sqrt{2}V_2}{\pi} = 0.9V_2 \quad (6.1.2)$$

3. 脉动系数

全波整流的脉动系数 S 定义为最低次谐波的幅值 V_{Lm} 与直流分量 V_O 之比。这里最低次谐波为二次谐波，其幅值为 $4\sqrt{2}V_2/3\pi$，由此可得脉动系数为

$$S = \frac{4\sqrt{2}V_2/3\pi}{0.9V_2} = 0.67 \tag{6.1.3}$$

4. 整流管的选择

在桥式整流电路中，二极管 D_1、D_3 和 D_2、D_4 轮流导通，分别与负载串联，因此流过每个二极管的平均电流为 I_O 的一半，即

$$I_D = \frac{1}{2}I_O = \frac{0.9V_2}{2R_L} = 0.45\frac{V_2}{R_L} \tag{6.1.4}$$

二极管所承受的最大反向电压可以从图 6.1.1 中看出。在 v_2 正半周时，D_1、D_3 导通，这时 v_2 直接加在 D_2 和 D_4 上，因此，D_2、D_4 所承受的最大反向峰值电压 V_{RM} 为 v_2 的峰值，即

$$V_{RM} = V_{2m} = \sqrt{2}V_2 \tag{6.1.5}$$

同理，v_2 负半周时，D_1、D_3 所承受的最大反向电压也是 $\sqrt{2}V_2$。

所以，选择桥式整流电路中的整流二极管时，应使管子的最大正向电流 I_{FM} 和最高反向峰值电压 V_{RM} 满足：$I_{FM} > \frac{1}{2}I_O$，$V_{RM} > \sqrt{2}V_2$。

6.1.2　电源滤波电路

整流电路输出的单向脉动电压，交流分量（又称纹波）较大，往往不能满足实际需要，必须用滤波电路滤去交流分量，得到平滑的直流电压。在小功率直流电源中，常用的滤波电路有电容滤波，Γ 型滤波和 π 型滤波，其结构如图 6.1.3 所示。

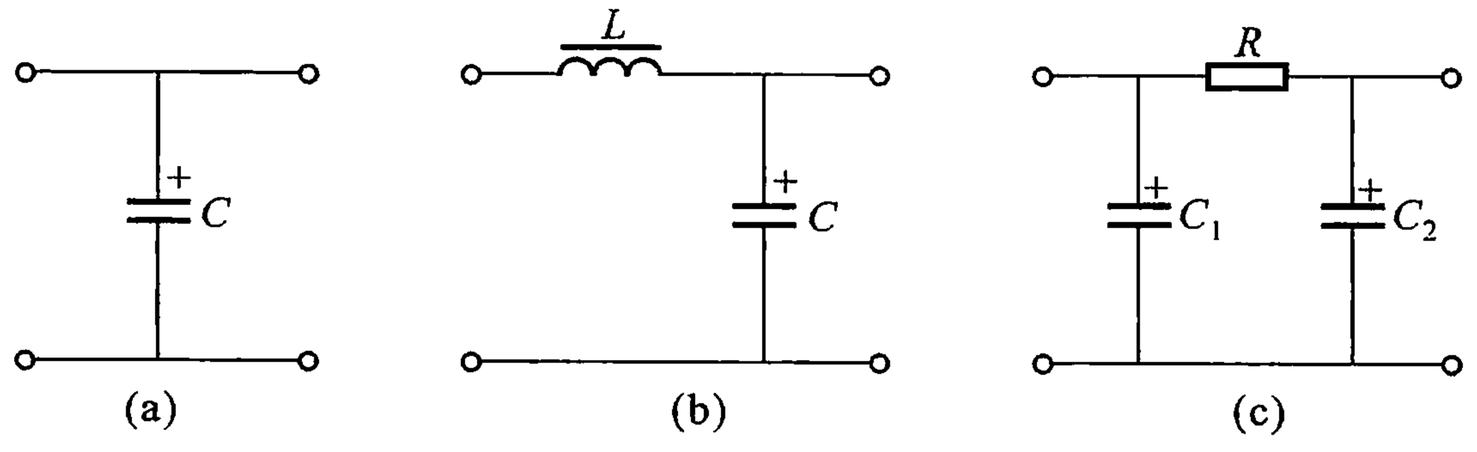


图 6.1.3　滤波电路的基本形式

（a）电容滤波　（b）Γ 型滤波　（c）π 型滤波

1. 电容滤波电路

图 6.1.4 是单相桥式整流电容滤波电路，在输出端和负载 R_L 之间并联一个大容量的电容 C 之后，电路的工作状态将发生显著变化。输出电压和通过二极管的电流波形完全不同于纯电阻负载时的情况。

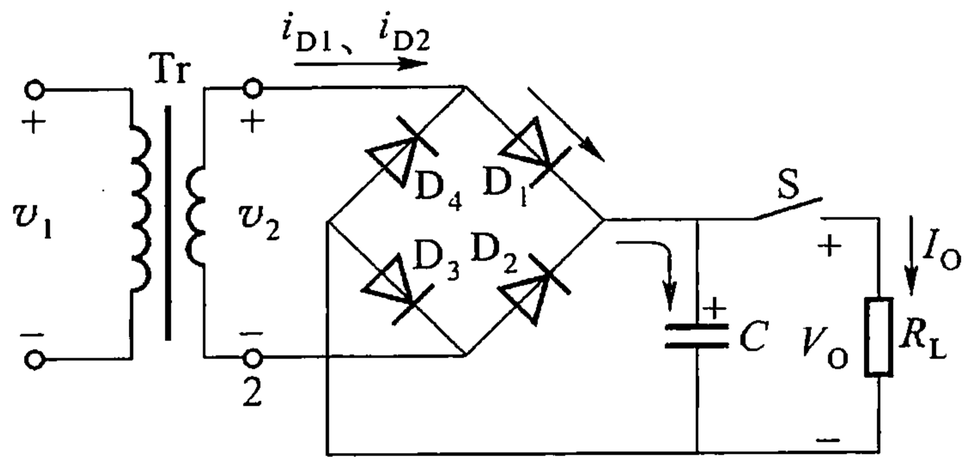


图 6.1.4　单相桥式整流电容滤波电路

（1）工作原理

负载 R_L 未被接入（开关 S 断开）时的情况：设电容 C 两端的初始电压为零，接入交流电压后，当 v_2 为正半周时，则 D_2、D_4 截止，v_2 通过 D_1、D_3 向电容 C 充电；当 v_2 为负半周，则 D_1、D_3 截止，v_2 通过 D_2、D_4 向电容 C 充电。由于整流电阻 R_{OD}（包括二极管的正向电阻和变压器次级的直流电阻）很小，故充电时间常数 $\tau_c = R_{OD}C$ 也很小，v_C 随 v_2 迅速升高到$\sqrt{2}V_2$。由于空载时电容器无放电回路，因此，输出电压（即电容两端电压）v_C 将保持在$\sqrt{2}V_2$，输出一个恒定的直流电压。

接入负载 R_L（开关 S 合上）的情况：设此时 v_2 正从零开始上升，只要 $v_2 < v_C = \sqrt{2}V_2$，二极管就会反偏截止，电容器 C 经 R_L 放电。放电时间常数 $\tau_d = R_L C$ 很大，故 v_C 按指数规律缓慢下降，输出电压 $v_O = v_C$。当 $v_2 > v_C$ 时，二极管 D_1、D_3 导通，v_2 经 D_1、D_3 一方面向负载 R_L 提供电流，另一方面向电容器 C 充电，接入负载后充电时间常数 $\tau_c = (R_L // R_{OD})C \approx R_{OD}C$ 很小，使 v_C 能够随着交流电压 v_2 升高到接近最大值$\sqrt{2}V_2$。然后，v_2 又按正弦规律下降，只要 $v_2 < v_C$，二极管就会反偏截止，电容器 C 经过 R_L 放电。电容器 C 如此循环往复地充电和放电，负载两端便可得到如图 6.1.5 所示的近似锯齿波的电压 $v_O = v_C$，使纹波系数显著减小。图中阴影部分为电路中电流在整流电阻 R_{OD} 上的压降。

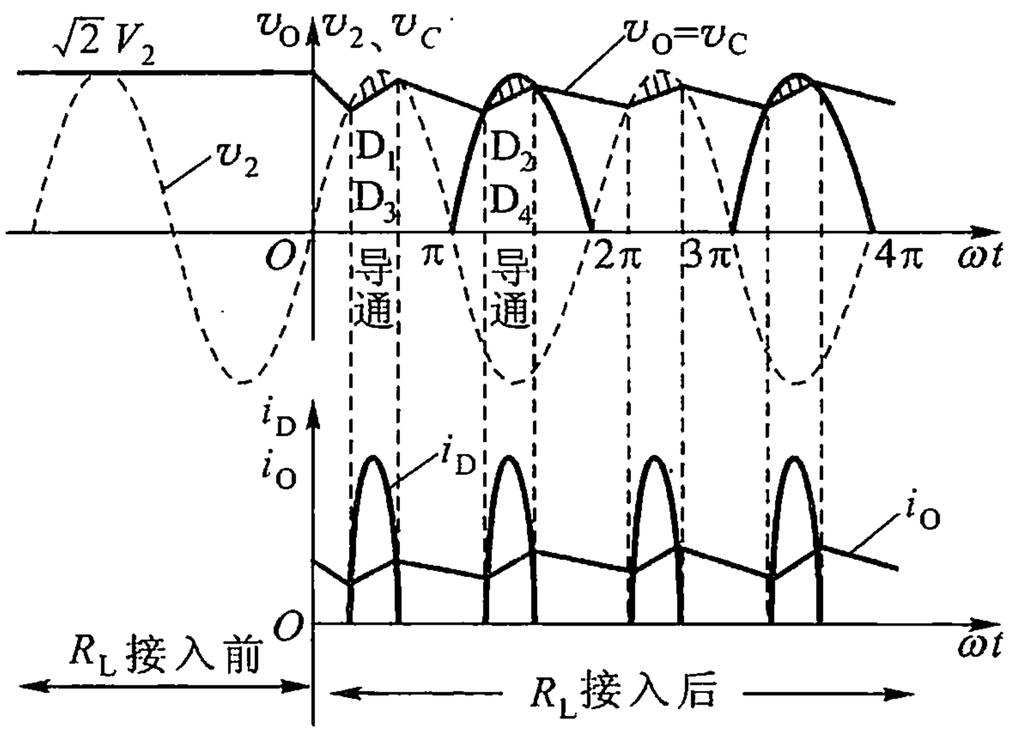


图 6.1.5　桥式整流电容滤波工作波形图

（2）电容滤波的特点

① 二极管的导电角 $\alpha < \pi$，流过二极管的电流为不连续幅度很大的电流脉冲，它比输出电流 I_O 大许多倍。

② 负载平均电压 V_O 升

高，纹波减小。并且 $R_L C$ 越大，电容放电越慢，负载电压中的纹波成分越小，平均电压 V_O 越高。V_O 的大小与 $R_L C$ 的关系如图 6.1.6 所示。为了得到比较平滑的输出电压，一般取

$$R_L C \geqslant (3 \sim 5)\frac{T}{2} \tag{6.1.6}$$

式中，T 为交流电源的周期。

③ 随着负载电流 I_O 的增加，输出电压 V_O 将减小，脉动系数 S 增加。I_O 与 S 的关系，不难从图 6.1.6 理解：I_O 增加，说明 R_L 减小，亦即放电时间常数减小，V_O 中纹波增加。V_O 与 I_O 的关系称为整流电源的输出特性，纯电阻负载与电容滤波输出特性的比较，如图 6.1.7 所示。C 值一定，当 $R_L = \infty$，即空载时，$V_O = \sqrt{2}V_2$；当 R_L 很小时，由于时间常数很小，致使电容滤波作用不大。V_O 的下降以纯电阻负载时的情况（$0.9V_2$）为极限。当整流器内阻不太大和 $R_L C$ 满足式(6.1.6)时，V_O 与 V_2 的关系为

$$V_O = (1.1 \sim 1.2)V_2 \tag{6.1.7}$$

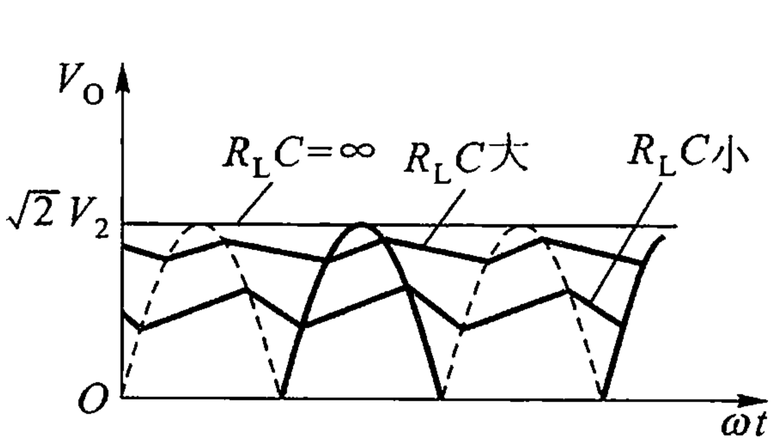


图 6.1.6　电容滤波电路放电时间常数对输出电压的影响

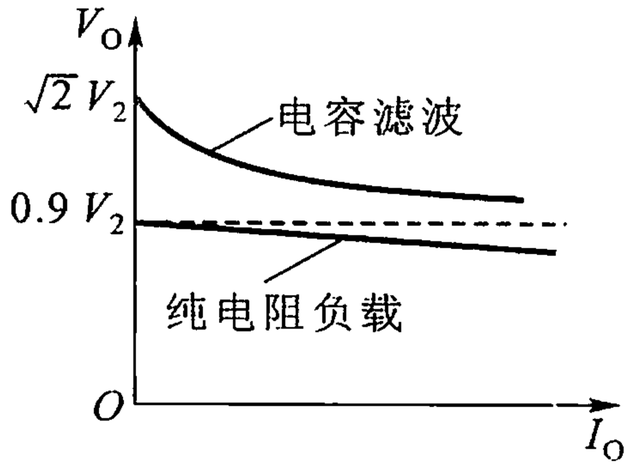


图 6.1.7　纯电阻负载与电容滤波输出特性的比较

（3）滤波电容的估算

由式(6.1.6)，可得

$$C \geqslant \frac{(3 \sim 5)}{2R_L}T \tag{6.1.8}$$

应注意的是，如果电容量太大，将增加电容器的体积和成本，此时电容的漏电电阻对滤波效果将造成不利影响。通常，C 取电容值为几十微法到几千微法、耐压大于 $2\sqrt{2}V_2$ 的电解电容。

2. π 型 *RC* 滤波电路

由上述讨论可知，当 R_L 比较小时，即使滤波电容容量很大，脉动系数仍比较大。为进一步减小脉动系数，通常采用如图6.1.8所示 π 型 RC 滤波电路。π 型滤波电路可看成是一节电容滤波电路和一节 Γ 型 RC 滤波电路的串联。图中，

v'_O为桥式整流电容滤波电路的输出电压，它为直流电压 V'_O和最低次谐波电压 v_1之和。由于 C_1 的作用，v'_O已经比较平滑，再经一节 R 和 $1/(\omega C_2)$组成的分压器，可进一步降低输出端纹波电压。因此，选取元件时，应满足 $1/(\omega C_2) << R_L$ 及 $1/(\omega C_2) << R$。R 和 C_2 的值愈大，滤波效果愈好，但 R 不能太大，否则，会使直流电压损失太多。

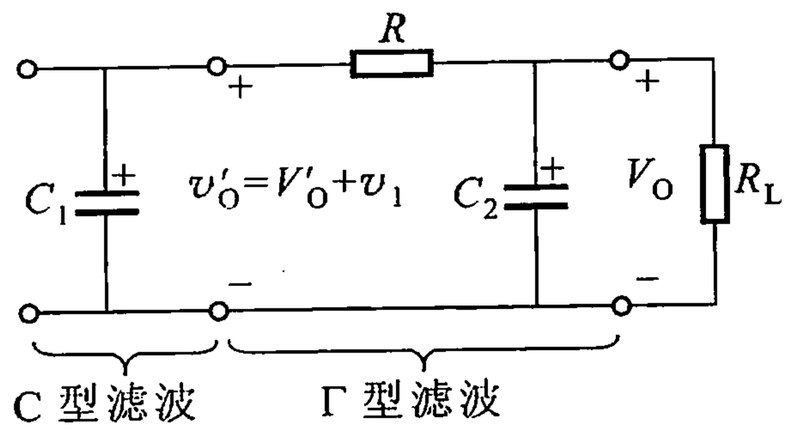


图 6.1.8　π 型 RC 滤波器

估算 π 型滤波电路参数时，应首先确定 R 的值，R 可由允许的直流电压损失（$V'_O - V_O$）除以流过 R 的电流 I_O 求得，其中，V_O 是输出 v_O 中的直流电压。C_2 的选取应满足

$$\frac{1}{\omega_L C_2} \leqslant \left(\frac{1}{5} \sim \frac{1}{10}\right) R \tag{6.1.9}$$

式中，ω_L 为输出电压中最低次谐波的角频率，C_2 可按电容滤波电路的原则计算。实用中一般取 $C_1 = C_2$。

π 型 RC 滤波电路，因 R 上存在直流压降，I_O 增大时，V_O 下降更快。因此，π 型 RC 滤波电路适用于 I_O 较小（几十毫安以下）的场合。选取 R 时，除阻值合适外，还应注意电阻所能承受的耗散功率。

6.2　串联型集成稳压电路

整流滤波电路虽然能够将交流电变成平滑的直流电，但是当交流电网电压或负载变化时，其输出直流电压仍将是不稳定的。因此，大多数电子设备还需在滤波电路之后设置稳压电路，使输出电压保持基本恒定。

6.2.1　串联型集成稳压电路的工作原理

图 6.2.1 所示为串联反馈式稳压电路的基本结构图。

图中 V_I 为整流滤波电路的输出电压，T 为调整管，A 为比较放大电路，V_{REF} 为基准电压，R_1 与 R_2 组成的分压器为取样电路，用来反映输出电压的变化。

稳压器的主回路是起调整作用的三极管 T 与负载 R_L 串联，故称为串联型稳压器。V_O 为稳压器的输出电压，且 $V_O = V_I - V_{CE}$，输出电压的变化量由取样电路取出，经放大后去控制调整管 T 的 C - E 极间的电压降，从而使 V_O 基本稳定不变。稳压原理简述如下：当输入电压 V_I 增加或负载电阻 R_L 增加时，将引起输出

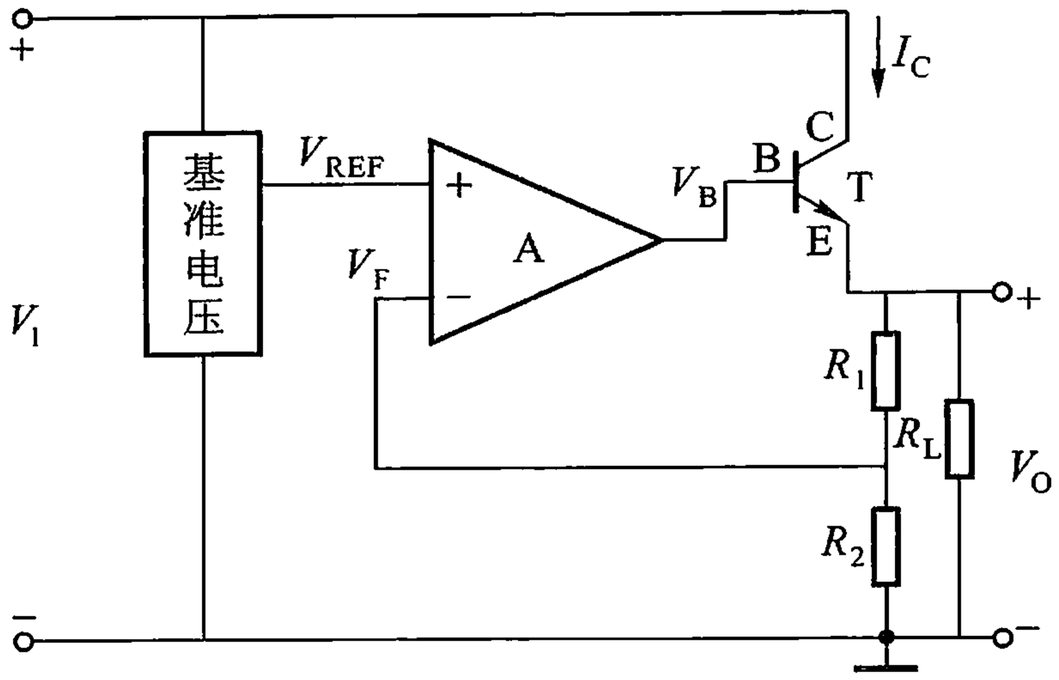


图 6.2.1　串联反馈式稳压电路的基本结构

电压 V_O 增加，随之反馈电压 $V_F = R_2 V_O/(R_1 + R_2) = F_V V_O$ 也增加（F_V 为反馈系数）。V_F 与基准电压 V_{REF} 相比较，其差值电压经过比较放大电路放大后使 V_B 减小，I_C 减小，调整管 T 的 C－E 极间电压 V_{CE} 增大，使 V_O 下降，从而维持 V_O 基本恒定。这一过程可简单地表示为

$$V_I \uparrow (\text{或 } I_O \downarrow) \rightarrow V_O \uparrow \rightarrow V_F \uparrow \rightarrow V_{BE} \downarrow \rightarrow V_O \downarrow \leftarrow V_{CE} \uparrow \leftarrow I_C \downarrow$$

同理，当 V_I 降低或负载电阻减小使 V_O 减小时，亦将使输出电压 V_O 基本保持不变。

由图 6.2.1 可见，这是一个电压串联负反馈电路，调整管 T 接成射极跟随器，在深度负反馈条件下，$V_{REF} \approx V_F$，而 $V_F = V_O R_2/(R_1 + R_2) = F_V V_O$，所以

$$V_O \approx \frac{1}{F_V} V_{REF} = \frac{R_1 + R_2}{R_2} V_{REF} = \left(1 + \frac{R_1}{R_2}\right) V_{REF} \tag{6.2.1}$$

上式表明，输出电压 V_O 与基准电压 V_{REF} 成正比，与反馈系数 F_V 成反比。改变 F_V（即 R_1 与 R_2 的比值）便可调节输出电压 V_O 的大小。

必须指出，调整管的调整作用是依靠 V_F 和 V_{REF} 之间的偏差来实现的，如果 V_O 绝对不变，则调整管的 V_{CE} 也绝对不变，电路就失去了调整作用。所以，稳压电路只能使输出电压 V_O 基本稳定，而不是绝对稳定。

6.2.2　集成稳压电路的主要参数

集成稳压电路的主要参数包括特性参数和质量参数两部分。

1. 特性参数。包括输出电流及输出电压调节范围等。

（1）输出电流 I_O（最大负载电流）。输出电流的大小决定于调整管的最大允许功耗 P_{CM} 和最大允许电流 I_{CM}，即

$$I_O(V_{Imax} - V_{Omin}) \leqslant P_{CM},\ I_O \leqslant I_{CM}$$

式中，V_{Imax}和 V_{Omin}分别是稳压器的最大输入电压和最小输出电压。

（2）输出电压 V_O。它取决于基准电压的大小和取样比，由式(6.2.1)决定。

2. 质量参数。是反映稳压电路性能优劣的参数，包括稳压系数、输出电阻、温度系数和纹波抑制比等。

由稳压器工作原理可知，输出电压 V_O 随输入电压 V_I 及输出电流 I_O 而变化，也随环境温度 T 而变化，即

$$V_O = f(V_I、I_O、T) \tag{6.2.2}$$

则有

$$\Delta V_O = \frac{\partial V_O}{\partial V_I}\Delta V_I + \frac{\partial V_O}{\partial I_O}\Delta I_O + \frac{\partial V_O}{\partial T}\Delta T \tag{6.2.3}$$

上式中，3 个系数分别定义如下：

（1）输入调整因数

$$S_V = \left.\frac{\Delta V_O}{\Delta V_I}\right|_{\substack{\Delta I_O = 0 \\ \Delta T = 0}} \tag{6.2.4}$$

（2）输出电阻，即稳压器的动态电阻

$$R_o = \left.\frac{\Delta V_O}{\Delta I_O}\right|_{\substack{\Delta V_I = 0 \\ \Delta T = 0}} \tag{6.2.5}$$

（3）温度系数

$$S_T = \left.\frac{\Delta V_O}{\Delta T}\right|_{\substack{\Delta V_I = 0 \\ \Delta I_O = 0}} \tag{6.2.6}$$

（4）稳压系数 γ

实际上，常以输出电压的相对变化量与输入电压的相对变化量之比来描述输出电压的稳定程度，称为稳压系数 γ，即

$$\gamma = \left.\frac{\Delta V_O / V_O}{\Delta V_I / V_I}\right|_{\substack{\Delta I_O = 0 \\ \Delta T = 0}} \tag{6.2.7}$$

上述参数 S_T、R_o 和 γ 愈小，输出电压愈稳定，它们的具体数值与电路形式和电路参数有关。一般 R_o 约为 1 ~ 10 Ω，γ 约为 10^{-2} ~ 10^{-4}。

（5）纹波抑制比 S_R

为输入纹波电压峰值与输出纹波电压峰值之比，常用对数表示，即

$$S_R = 20\lg\frac{V_{im}}{V_{OM}}(\mathrm{dB}) \tag{6.2.8}$$

应当指出，稳压系数 γ 较小的稳压电路，它的输出纹波抑制比一般也较高。

6.2.3 串联型集成稳压器简介

集成稳压电路是利用半导体集成工艺把基准电压、取样电路、比较放大电路、调整电路等集成制作在一小硅片上，具有体积小成本低、性能良好、使用方便等优点。目前在电子线路中获得广泛应用。

串联型集成稳压器的工作原理与图 6.2.1 所示基本相同。在线路结构方面采用了很多基本模拟电路的方法，例如，为解决大电阻集成的困难而采用电流源给晶体管提供偏置，为使放大部分获得较大的增益而采用有源负载等。

在串联调整式稳压电路中，以输出电压固定的三端式集成稳压器使用最为方便，它只有输入、输出和公共引出端。故称为三端式稳压器。例如 W7800 系列电路，整个电路由启动电路、基准电路、比较放大电路、调整管、取样电路和保护电路组成。

集成稳压器的内部电路十分复杂，由于只侧重使用稳压器，对它的电路作深入的分析不甚必要，故不详述。

6.3 串联型集成稳压器的应用

6.3.1 三端固定输出电压集成稳压器

W7800 系列为三端固定正输出电压集成稳压器；W7900 系列为三端固定负输出电压集成稳压器，它们能提供的最大输出电流均为 1.5 A。

图 6.3.1 所示为典型的固定输出稳压电路，图中 V_I 为整流滤波后的电压，V_O 为稳压器输出电压。正常工作时，输入、输出压差为 2 ~ 3 V。C_i 和 C_o 用来防

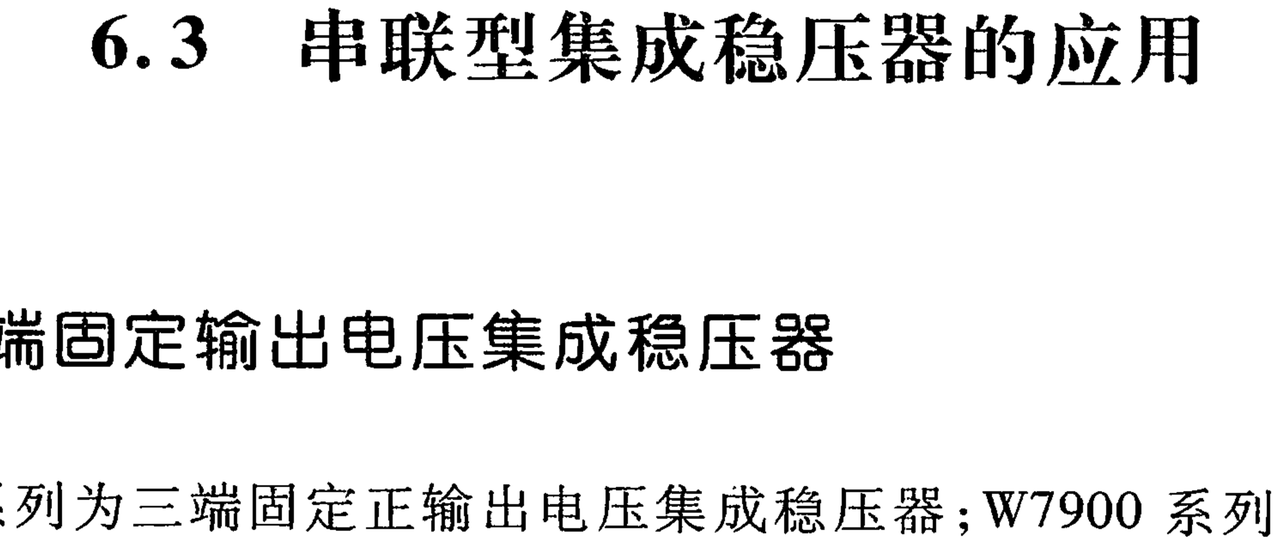


图 6.3.1 三端式固定输出电压稳压电路

（a）固定正输出电压稳压电路 （b）固定负输出电压稳压电路

止电路自激振荡、减少高频噪声和改善负载的瞬态响应。但当输出电压较高，电容 C_o 较大时，必须在输入端与输出端之间跨接一只保护二极管 D。否则，一旦输入端短路时，C_o 上存储的电荷将通过稳压器内部调整管的发射结和集电结泄放而将发射结击穿。接上二极管 D 后，C_o 可通过 D 放电。

W7800 和 W7900 系列三端集成稳压器相互配合，可以同时输出正、负固定电压，电路接法如图6.3.2所示。

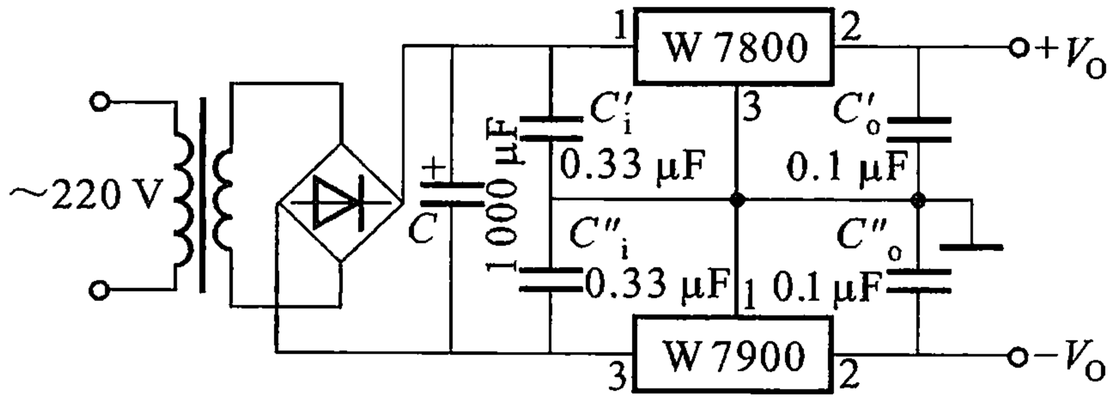


图 6.3.2　正、负固定输出电压稳压电路

当需要进一步增大输出电流时，可采用外接功率管的方法。如图 6.3.3 所示。外接功率管 T 和 7800 内部的 NPN 调整管组成互补复合管，使输出电流 I_O 增加（$I_O = I_C + I_{O1}$）。电阻 R_1、R_2 和二极管 D 用于对外接功率管进行保护。

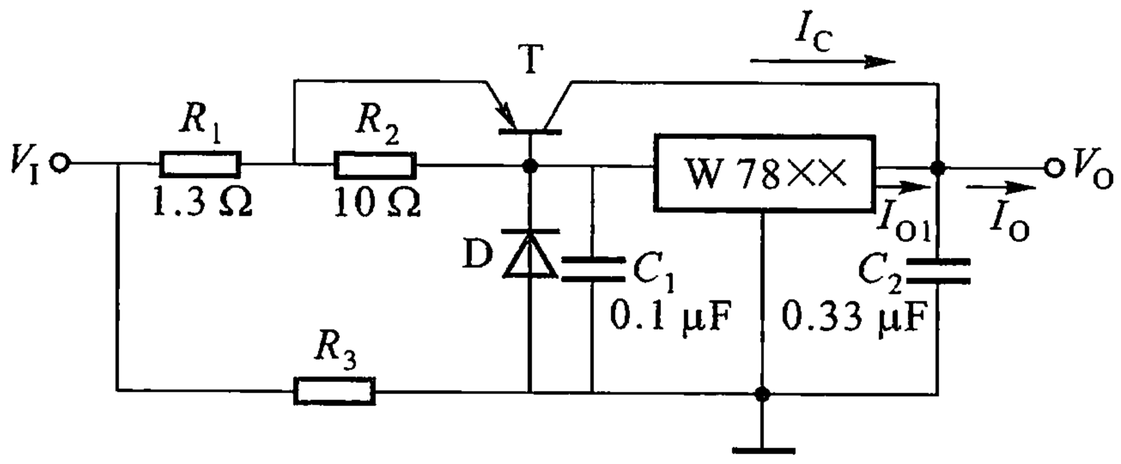


图 6.3.3　扩展输出电流电路

6.3.2　三端可调输出电压集成稳压器

在图 6.3.4 中，取样电路和比较放大电路 A 用来调节输出电压 V_O。若以 V_{23} 表示三端稳压器的标称输出电压，考虑到 R_1 和 R_3 的压降应近似相等，则有

$$V_O = V_{23}\left(\frac{R_3}{R_3 + R_4}\right)\left(1 + \frac{R_2}{R_1}\right)$$

改变电位器 R_p 的滑动端，即可调节输出电压。

W117/217/317 系列为可调式三端正电压输出集成稳压器，W137/237/337

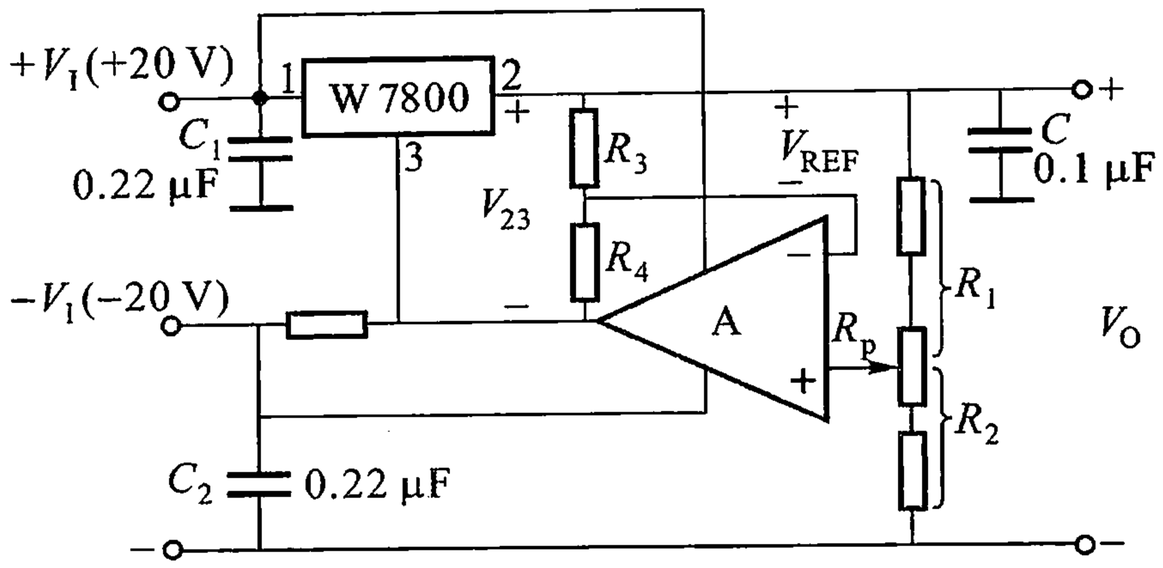


图 6.3.4　输出电压可调稳压电路

系列为可调式三端负电压输出集成稳压器。可调范围为 1.25 ~ 37 V,W317 与 W337 系列功能完全相同。图6.3.5所示为 W317 系列的典型稳压电路。其中,R_1 与 R_{p1}组成电压输出调节电路,输出电压 V_O 的表达式为

$$V_O \approx 1.25(1 + R_{p1}/R_1)$$

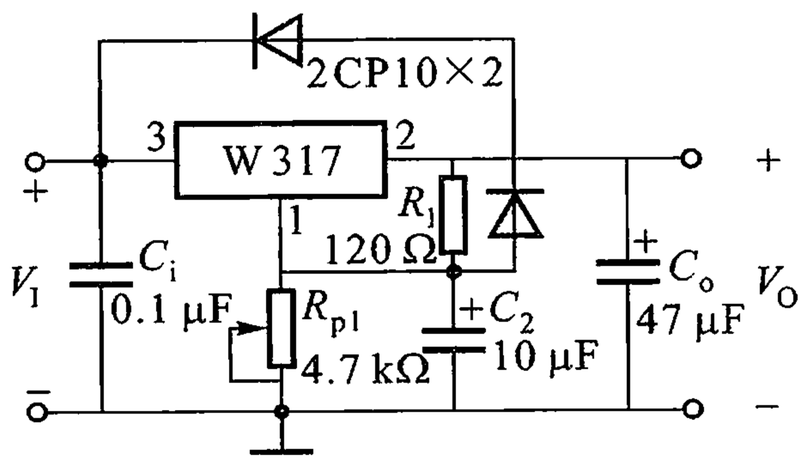


图 6.3.5　W317 三端可调稳压电路

小结

电子电路中所用的经济实用的直流电源,通常是将电网的交流电经变压、整流、滤波和稳压获得。

1. 由于交流电网的电压为 220 V、50 Hz 的交流电,而常用的直流电源电压较低,常为 5 ~ 30 V,所以直流电源中所用的降压变压器有各种不同的成品规格,可供选用。

2. 小功率电源,常用桥式整流以减小纹波,对整流二极管的选择,主要是根据整流电流和最高反向电压两个参数。

3. 电流较小(几个毫安)的滤波电路,可选择 *RC* 型滤波电路,电流较大的电源,常选用电容滤波,电容的容量和可承受的最大电压两个参数,必须符合要求。

4. 对串联型直流稳压电路的原理，应有基本的了解，以便更好地选择和使用集成稳压器。集成三端稳压器有各种规格的产品，使用非常方便，可根据需要，确定三端稳压器应有参数值，加以选用。

习题与思考题

6.1　单相桥式整流电容滤波电路如图 6.1.4 所示，变压器输入交流电压为 220 V、50 Hz。要求输出直流电压 $V_O = 45$ V，直流电流 $I_O = 200$ mA，试选择电路元件。

6.2　桥式整流 π 型滤波电路如图 P6.2 所示，要求 $V_O = 6$ V，$I_O = 50$ mA。

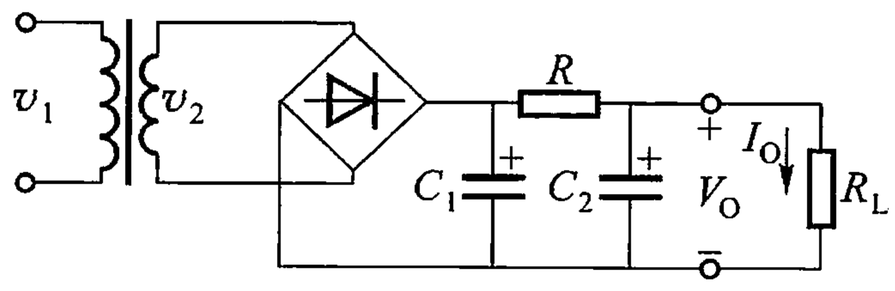


图 P6.2

（1）设允许降在 R 上的直流电压为 2 V，试选择整流二极管并计算 C_1、C_2、R 及 V_2、I_2；

（2）按已确定的电路参数，求当输出端开路（$R_L = \infty$）时，V_O 将升至多高？

6.3　串联反馈式稳压电路如图 P6.3 所示。设晶体管 $V_{BE} = 0.7$ V。

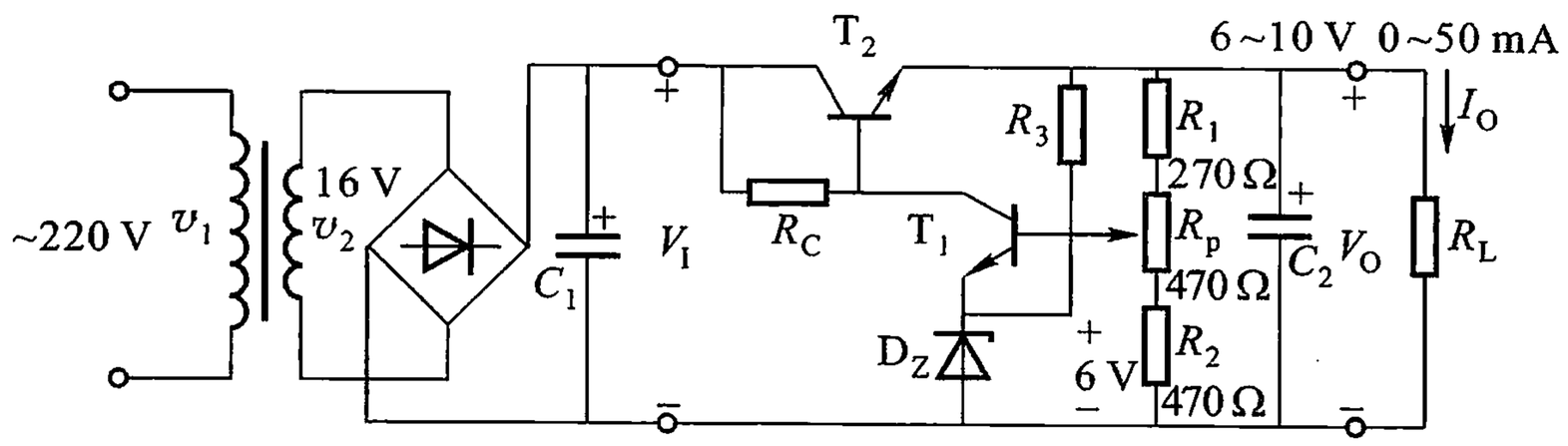


图 P6.3

（1）求输出电压的调节范围（计算时 I_{B1} 可忽略）；

（2）当电位器调至中点时，估算 V_I、V_O、V_{B1}、V_{C1}、V_{E1} 的值；

（3）当电网电压升高时，试说明上列各点电位的变化趋势（增加或减小）。并说明输出电压稳定的理由；

（4）满载时（$I_{Omax} = 170$ mA），V_2（有效值）= 16 V，电网电压波动 ±10%；求调整管 T_2 的最大管耗 P_{CM}。

6.4 电路如图 P6.4 中(a)和(b)所示,已知电流 $I_W = 5$ mA。

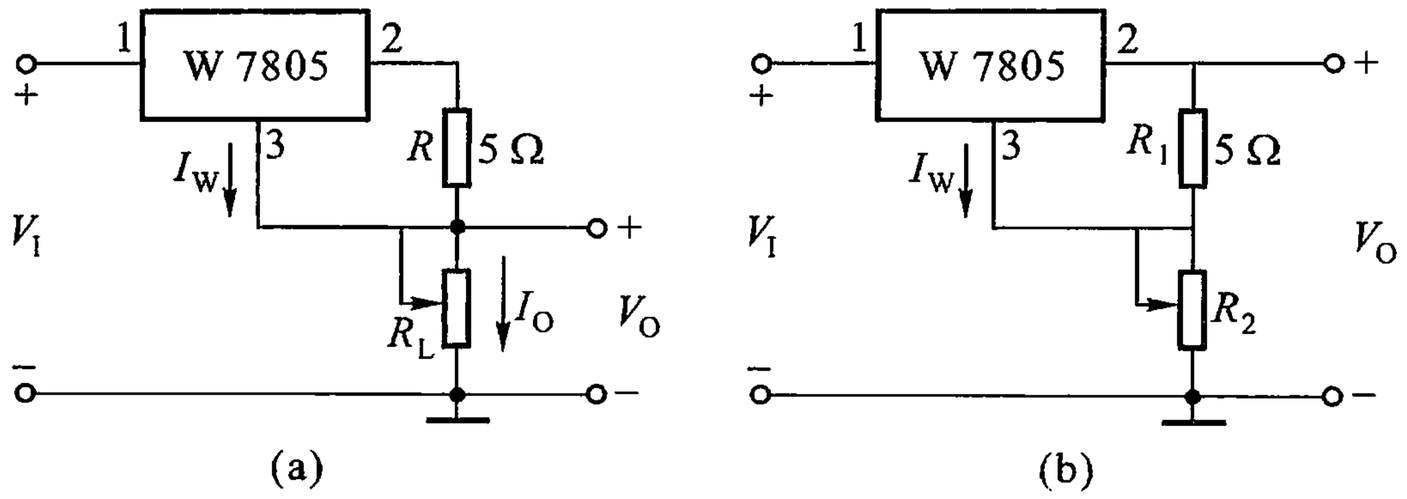


图 P6.4

(1) 写出图(a)中 I_O 的表达式,并计算出 I_O 的值;

(2) 写出图(b)中 V_O 的表达式,并计算出当 $R_2 = 5\ \Omega$ 时 V_O 的值;

(3) 指出这两个电路分别具有什么功能。

6.5 用 W7809 构成的高输入集成稳压器如图 P6.5 所示。已知 $V_I = 16$ V,正常工作时 W7809 输入、输出电压差为 2 V。试确定 D_Z 的型号及稳压值(设 T 为硅管)。

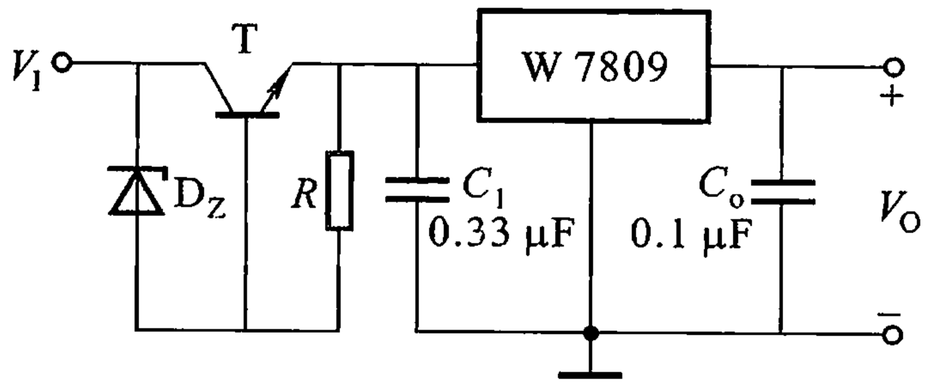


图 P6.5

第 7 章　数字电路基础

引　言

电子电路可分为模拟电路和数字电路两大类。从本章起讨论数字电路。数字电路在分析和设计方面的主要工具是逻辑代数，构成数字电路的基本单元是门电路。本章在介绍数制、二进制码和逻辑函数的基础上，阐述逻辑代数的公式、规则和卡诺图以及逻辑函数的变换与化简方法，然后系统地讨论门电路。因为门电路中的电子器件工作在开关状态，所以先讨论晶体管的开关特性，再重点介绍目前使用最广的 TTL 门电路和 MOS 门电路。

7.1　数字电路概述

7.1.1　数字电路的特点

在时间上和幅度上离散的信号称为数字信号，而处理数字信号的电路则称为数字电路。所谓处理数字信号，就是传输、控制或变换数字信号。数字电路的工作信号是不连续变化的信号，所以数字电路中的电子器件通常工作在饱和区或截止区，即工作在开关状态，而在放大区只是其过渡状态。数字电路中的信号通常只有高电平和低电平两种状态，这两种状态在二进制系统中可用数码 **1** 和 **0** 来表示。

由于数字信号的高电平 V_H 和低电平 V_L 表示的都是一定的电压范围，而不是一个固定不变的数值，在实际工作时，只要能确切区分高、低电平就够了，这就允许两个电平对标准值有一定的偏差，例如，高电平为（4 ± 1）V，低电平为（0.2 ±0.2）V，如图 7.1.1 所示。图中在 $t = t_1$ 时由低电平转换为高电平。因此，可以着重考虑数字信号的有无，而对信号的大小则不必过多考虑。

数字信号的这些特点，使数字电路的结构、研究的主要对象、分析方法和功能完全不同于模拟电路。首先，在电路的结构方面，数字电路的基本单元其结构比较简单，而且对元件的精度要求不高，对电源电压、环境温度等外界因素允许有一定变化，因此，数字电路易于集成。其次，数字电路研究的主要对象是电路单元系统的输入和输出状态之间的逻辑关系，即电路的逻辑功能。为了分析这

些逻辑关系，使用的基本数学工具是逻辑代数，描述电路的逻辑功能的主要方法是真值表、逻辑函数式、逻辑图和卡诺图。数字电路除了能进行逻辑推演和判断即具有一定的“逻辑思维”能力以外，还有“记忆”的功能，能够存储一定数量的信息。

数字电路的特点，决定了数字电路具有速度快、精度高、抗干扰能力强的优点，而且易于集成。在集成技术发展的今天，数字电路已广泛用于数字通讯、自动控制、测量仪表、雷达、电子计算机以及电视等各个电子技术领域。

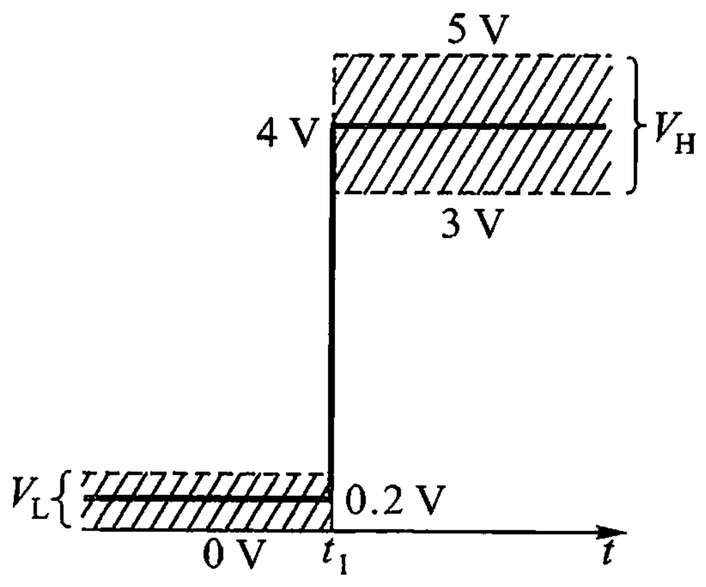


图 7.1.1　高低电平的概念

7.1.2　数制和代码

1. 数制

在科学实验中，仅用 1 位数码来表示物理量的大小，往往不够用，因而必须用进位计数的方法组成 2 位或 2 位以上的多位数码使用。把多位数码中每一位的构成方法以及计数进位的规则称为数制。常用的数制有十进制、二进制、八进制和十六进制等。

（1）十进制

在生活实践中，人们普遍使用十进制数。十进制数的每一位有 0、1、2、…、9 等 10 个数字符号（称这些符号为数码），其基数是 10，计数的规则是“逢十进一”，所以称为十进制数。数列中不同的数码在不同的位置所代表的数值是不一样的。例如，423.25，可写成

$$(423.25)_{10} = 4 \times 10^2 + 2 \times 10^1 + 3 \times 10^0 + 2 \times 10^{-1} + 5 \times 10^{-2}$$

一般地说，任意一个十进制数 $(N)_{10}$ 都可表示为

$$\begin{aligned}(N)_{10} &= K_{n-1} \times 10^{n-1} + K_{n-2} \times 10^{n-2} + \cdots + K_1 \times 10^1 + \\ &\quad K_0 \times 10^0 + K_{-1} \times 10^{-1} + \cdots + K_{-m} \times 10^{-m} \\ &= \sum_{i=n-1}^{-m} K_i \times 10^i \end{aligned} \tag{7.1.1}$$

式中，i 表示数的某一位，K_i 表示第 i 次幂的系数，它可以是数码 0 ~ 9 中任意一个；m、n 为正整数。n 为小数点左边的位数，m 为小数点右边的位数。式中，10^i 称为十进制第 i 位的“权”。显然，一个数每一位的含义不仅决定于该位数码的本身，还取决于该位的权。

（2）二进制数

在数字电路中，往往采用的数制是二进制。它的每一位只有 **0** 和 **1** 两个数码，其基数是 2，计数规律是“逢二进一”，十分简单，即 **1 +1 =10**（读作“壹零”，并非拾）。例如，$(\mathbf{1011.11})_2$ 可展开为

$$(\mathbf{1011.11})_2 = \mathbf{1} \times 2^3 + \mathbf{0} \times 2^2 + \mathbf{1} \times 2^1 + \mathbf{1} \times 2^0 + \mathbf{1} \times 2^{-1} + \mathbf{1} \times 2^{-2}$$

而且把展开后的数加起来，所得到的就是十进制数，即

$$(\mathbf{1011.11})_2 = (11.75)_{10}$$

上式的含义是二进制数 $(N)_2$ 等于十进制数 $(11.75)_{10}$，一般地说，任意一个二进制数 $(N)_2$ 可表示为

$$\begin{aligned}(N)_2 = {} & K_{n-1} \times 2^{n-1} + K_{n-2} \times 2^{n-2} + \cdots + K_1 \times 2^1 + K_0 \times 2^0 + \\ & K_{-1} \times 2^{-1} + K_{-2} \times 2^{-2} + \cdots + K_{-m} \times 2^{-m} \\ = {} & \sum_{i=n-1}^{-m} K_i \times 2^i \end{aligned} \tag{7.1.2}$$

式中，K_i 为基数“2”的第 i 次幂的系数，它只能取 **0** 或 **1**，由具体的数 N 决定，因子 2^i 称为第 i 位的“权”，n、m 为正整数，n 为小数点左面的位数，m 为小数点右面的位数。

（3）十六进制数

为了书写和记忆方便，在计算机中常采用十六进制来表示二进制数。它有 0 ~ 9 以及 A、B、C、D、E、F 共 16 个数码，其中 A、B、C、D、E、F 等 6 个数码依次表示 10 ~ 15。计数的规则是“逢十六”进位，即 $4 + C = (10)_{16}$。一般地说，任意一个十六进制数可表示为

$$(N)_{16} = \sum_{i=n-1}^{-m} K_i \times 16^i \tag{7.1.3}$$

式中，K_i 为基数“16”的第 i 次幂的系数，它可以是数码 0 ~ 9 以及 A、B、C、D、E、F 中任一个，n 和 m 为正整数，n 为小数点左边的位数，m 为小数点右边的位数。

（4）数制的转换

① 十进制数转换成二进制数

一般地说，一个十进制数可分为整数和小数两部分。需要分别将整数部分和小数部分进行转换，再将结果排列在一起就得到完整的转换结果。整数部分的转换方法是：把一整数部分连续除以 2 直至商为 0，每次的余数即为二进制数码，最初得到的为整数的最低有效系数 K_0，最后得到的为整数的最高有效系数 K_{n-1}。小数部分的转换方法是：小数部分连续乘以 2，将每次所得到的整数（**0** 和 **1**），依次记为 K_{-1}、K_{-2}、…。若乘的小数部分最后能为 0，则最后一次乘积的整数部分记为 K_{-m}。例如，将 $(23.125)_{10}$ 转换成二进制数：

$$
\begin{array}{r|l|l}
2 \mid 2\ \ 3 & & 0.125 \\
2 \mid 1\ \ 1 & 余\ \mathbf{1} = K_0 & \times\ \ \ 2 \\
2 \mid \ \ 5 & 余\ \mathbf{1} = K_1 & 0.250 \qquad K_{-1} = \mathbf{0} \\
2 \mid \ \ 2 & 余\ \mathbf{1} = K_2 & 0.250 \\
2 \mid \ \ 1 & 余\ \mathbf{0} = K_3 & \times\ \ \ 2 \\
\ \ \ 0 & 余\ \mathbf{1} = K_4 & 0.500 \qquad K_{-2} = \mathbf{0} \\
 & & 0.500 \\
 & & \times\ \ \ 2 \\
 & & 1.000 \qquad K_{-3} = \mathbf{1}
\end{array}
$$

得　$(23.125)_{10} = (\mathbf{10111.001})_2$

② 二进制与十六进制之间的转换

[1] 二进制数转换为十六进制数

二进制数转换为十六进制数，其方法是将二进制数的整数部分由小数点向左，每 4 位分为一组，最后不足 4 位的前面补零；小数部分由小数点向右，每 4 位分为一组，最后不足 4 位的后面补零，然后把每 4 位二进制数用相应的十六进制数替代，即可将二进制数转换为十六进制数。例如，将$(\mathbf{1111011.1110101})_2$转换为十六进制数：

二 进 制：**01111011.11101010**

十六进制：　7　B　.　E　A

[2] 十六进制数转换为二进制数

十六进制数转换为二进制数的方法与上述过程相反，把每一位十六进制数用相应的 4 位二进制数退换即可。例如，将$(2A.7D)_{16}$转换为二进制数：

$(2A.7D)_{16} = (\mathbf{00101010.01111101})_2$

2. 二进制代码

前面已经介绍不同的二进制码可以表示不同大小的数值信息。在数字系统中还有一种信息(包括控制符)。为了表示文字符号(包括控制符)等被处理的信息，需用一定位数的二进制数码与每一项信息建立一一对应关系，这些数码称为代码。以特定二进制代码表示十进制数值、字母、符号的过程称为二进制编码。

若对 N 项信息进行编码，则需要使用的二进制代码的位数 n 应满足关系

$$2^n \geqslant N \tag{7.1.4}$$

前已指出，二进制的计算规律十分简单，在数字电路中常采用二进制，但是用二进制码表示数值，既难记又不直观，而人们通常又习惯使用十进制数。希望采取一种二进制码表示十进制数，即用 4 位二进制数码来表示 1 位十进制数的 0 ~ 9

等 10 个状态，这种关系称为二 - 十进制编码，也称 BCD 码①。因为 4 位二进制代码一共有 16 种不同的码组，如果任意选定其中 10 个码组并按不同的次序排列来代表数符 0 ~ 9，则可以得到多种不同的编码，如 8421 - BCD 码，2421 - BCD 码，4221 - BCD 码，5421 - BCD 码，余 3 码和余 3 循环码等如表 7.1.1 所示。下面主要介绍 8421 - BCD 码、余 3 码和格雷码。

表 7.1.1　几种 BCD 码

编码种类 / 十进制数	8421 - BCD 码	2421 - BCD 码（A）码	2421 - BCD 码（B）码	4221 - BCD 码	5421 - BCD 码	余 3 码	余 3 循环码
0	**0000**	**0000**	**0000**	**0000**	**0000**	**0011**	**0010**
1	**0001**	**0001**	**0001**	**0001**	**0001**	**0100**	**0110**
2	**0010**	**0010**	**0010**	**0010**	**0010**	**0101**	**0111**
3	**0011**	**0011**	**0011**	**0011**	**0011**	**0110**	**0101**
4	**0100**	**0100**	**0100**	**0110**	**0100**	**0111**	**0100**
5	**0101**	**0101**	**1011**	**0111**	**1000**	**1000**	**1100**
6	**0110**	**0110**	**1100**	**1100**	**1001**	**1001**	**1101**
7	**0111**	**0111**	**1101**	**1101**	**1010**	**1010**	**1111**
8	**1000**	**1110**	**1110**	**1110**	**1011**	**1011**	**1110**
9	**1001**	**1111**	**1111**	**1111**	**1100**	**1100**	**1010**

（1）8421 - BCD 码

8421 码是个有权码，它是取 4 位二进制前 10 种码组 **0000** ~ **1001** 来代表 0 ~ 9 这 10 个状态，其余的 6 种码组是无效的（禁用码），如果把每一种代码看作是一个 4 位二进制数，各位的权依次是 8、4、2、1，那么每种代码的数值恰好等于它所表示的十进制数大小，所以这种码称为 8421 码。8421 码是 BCD 码中最直观、最自然的一种编码方式。

（2）余 3 码

余 3 码是另一种常用的 BCD 码，它是在 8421 码的基础上加 **0011**，即每一个余 3 码所表示 4 位二进制数的数值要比它对应的十进制数多余 3，所以这种编码称为余 3 码。从编码表中可以看到，0 和 9、1 和 8、2 和 7、3 和 6、4 和 5 的码组互为反码，即余 3 码具有互补性质。当两个用余 3 码表示的数进行减法运算时，可将原码的减法运算改为反码的加法运算。

（3）格雷码

格雷码又称循环码。表 7.1.2 所示为最常用的 4 位循环码的编码表。

---

① BCD 码是 Binary - Coded - Decimal 的缩写，即二进制码的十进制码。

表 7.1.2 格雷码

十进制数	格雷码				十进制数	格雷码			
0	**0**	**0**	**0**	**0**	8	**1**	**1**	**0**	**0**
1	**0**	**0**	**0**	**1**	9	**1**	**1**	**0**	**1**
2	**0**	**0**	**1**	**1**	10	**1**	**1**	**1**	**1**
3	**0**	**0**	**1**	**0**	11	**1**	**1**	**1**	**0**
4	**0**	**1**	**1**	**0**	12	**1**	**0**	**1**	**0**
5	**0**	**1**	**1**	**1**	13	**1**	**0**	**1**	**1**
6	**0**	**1**	**0**	**1**	14	**1**	**0**	**0**	**1**
7	**0**	**1**	**0**	**0**	15	**1**	**0**	**0**	**0**

从表 7.1.2 中可以看出循环码有以下特点：

①相邻两个代码之间仅有一位取值不同；

②每一位二进制码无固定权值，属无权码。

表 7.1.1 中的余 3 循环码既满足比 8421 码余了 3 的特点，又满足相邻两个代码间仅有一位取值不同的特点，故称为余 3 循环码，它属无权码。

7.2 逻辑函数及其表示方法

7.2.1 逻辑变量与逻辑函数

一般地说，思维的规律称为逻辑。在数字电路中，所谓逻辑是指一定因果关系的规律性。有这样一种电路，其输入信号代表“因”，即反映“条件”，而输出反映“结果”，于是电路的输出量与输入量之间具有一定的逻辑关系。它包括两个部分，一部分是表示逻辑条件的 A、B、…，称为输入逻辑变量；另一部分表示逻辑结果 Y，称为输出逻辑变量。当 A、B、…取值确定之后，Y 的取值也就唯一地被确定了，因而输入与输出之间是一种函数关系，即 Y 是 A、B、…的逻辑函数，写作

$$Y = F(A, B, \cdots) \tag{7.2.1}$$

输入逻辑变量（自变量）和逻辑函数（因变量）只有 **1** 和 **0** 两种可能取值，分别称为逻辑 **1** 和逻辑 **0**，即所谓的二值逻辑，它与数字 1 和数字 0 的含意完全不同。在人们的实践中，存在着大量的相互对立的逻辑状态，例如，表示信号的有与无，电平的高与低，开关的接通与断开，一件事情的真与假等。这些对应的逻

辑状态，可以用某一字母 A 和 $\overline{A}$（读作 A 非）来表示，也常用逻辑 **1** 和逻辑 **0** 来表示。

在数字系统中，无论电路简单还是复杂，逻辑变量是少还是多，输入变量与输出变量之间的因果关系都可以用一个逻辑函数来描述。

7.2.2　基本逻辑运算和复合逻辑运算

1. 基本逻辑运算

取值为 **0** 和 **1** 的二值逻辑，其基本运算有 3 种，即**与**逻辑运算、**或**逻辑运算和**非**逻辑运算，与此相对应的逻辑关系是**与**逻辑、**或**逻辑和**非**逻辑，现分述如下。

（1）**与**运算（**与**逻辑）

为了说明**与**逻辑的含义，看图 7.2.1 所示的例子：在电灯供电电路中，可以看出，只有开关 A、B 都闭合，灯 Y 才会亮。如果开关 A 和 B 只要一个断开或两者均断开，灯 Y 就不会亮。这里灯泡是否发亮同两个开关是否闭合的关系，就是**与**逻辑的关系。由这个例子得出这样的结论：“只有决定事件的全部条件都具备时，这一事件才会发生，否则这一事件就不会发生。”如果用二元常量来表示，以 $A=\mathbf{0}$ 表示开关 A 断开，$A=\mathbf{1}$ 表示开关 A 闭合；$B=\mathbf{0}$ 表示开关 B 断开，$B=\mathbf{1}$ 表示开关闭合；$Y=\mathbf{0}$ 表示灯灭，$Y=\mathbf{1}$ 表示灯亮。由于每个变量有两种取值，n 个变量便有 2^n 种取值组合，A、B 两个变量便有（**00**、**01**、**10**、**11**）4 种取值组合。则灯泡 Y 是否发亮同两个开关 A、B 是否闭合的对应关系，可用表 7.2.1 来表示。这种将输入变量的取值组合和相应的函数值排列在一起而组成的表格，称为真值表。

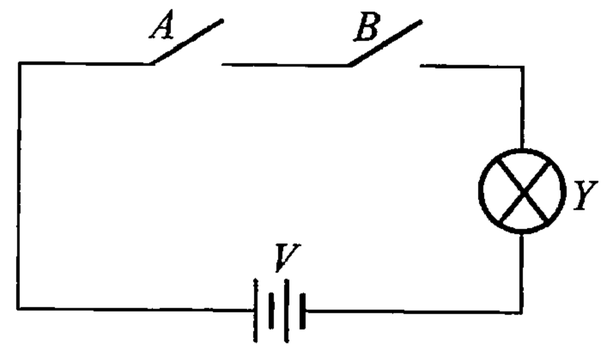


图 7.2.1　**与**逻辑电路一例

（a）电路图　（b）矩形逻辑符号

（c）特定外形逻辑符号

表 7.2.1　**与**逻辑真值表

A	B	Y	A	B	Y
0	**0**	**0**	**1**	**0**	**0**
0	**1**	**0**	**1**	**1**	**1**

由真值表可以明显看出，Y 与 A、B 之间的逻辑关系：当 A、B 都是 **1** 时，Y 才是 **1**，而 A、B 两个变量中任一个为 **0**，或者均为**0**时，Y 就为 **0**。这种逻辑关系可用

数学式表示为

$$Y = A \cdot B \tag{7.2.2}$$

这就是**与**逻辑关系的逻辑表达式。式中，乘号“·”称为逻辑乘，表示**与**运算。在不致引起混淆的前提下，乘号“·”常被省略。图7.2.1(b)、(c)所示为**与**运算逻辑符号①。

以上分析表明，逻辑关系既可用真值表来表示，也可用逻辑表达式来描述，二者形式不同，但所描述的是同一客观事物。两种表示方法今后都要经常用到。

(2) **或**运算(**或**逻辑)

在图7.2.2(a)所示的电路中，只要其中有一个或一个以上的开关闭合，灯泡就会发亮，而当开关 A 和 B 同时断开，则灯 Y 不亮。由这个电路得到另一种逻辑关系：“在决定一个事件的诸条件中，只要具备一个条件或一个以上的条件，这一事件就会发生，否则就不会发生。”这种逻辑关系称为**或**逻辑。如果用二元常量来表示，仍以 $A=\mathbf{0}$、$B=\mathbf{0}$分别表示开关 A、B 断开，$A=\mathbf{1}$、$B=\mathbf{1}$分别表示开关 A、B 闭合，灯灭 $Y=\mathbf{0}$，灯亮 $Y=\mathbf{1}$，则逻辑关系可用表7.2.2的真值表来表示，也可用逻辑表达式来描述：

$$Y = A + B \tag{7.2.3}$$

式中，“+”号称为逻辑加，它表示**或**运算。图7.2.2(b)(c)所示为**或**运算符号。

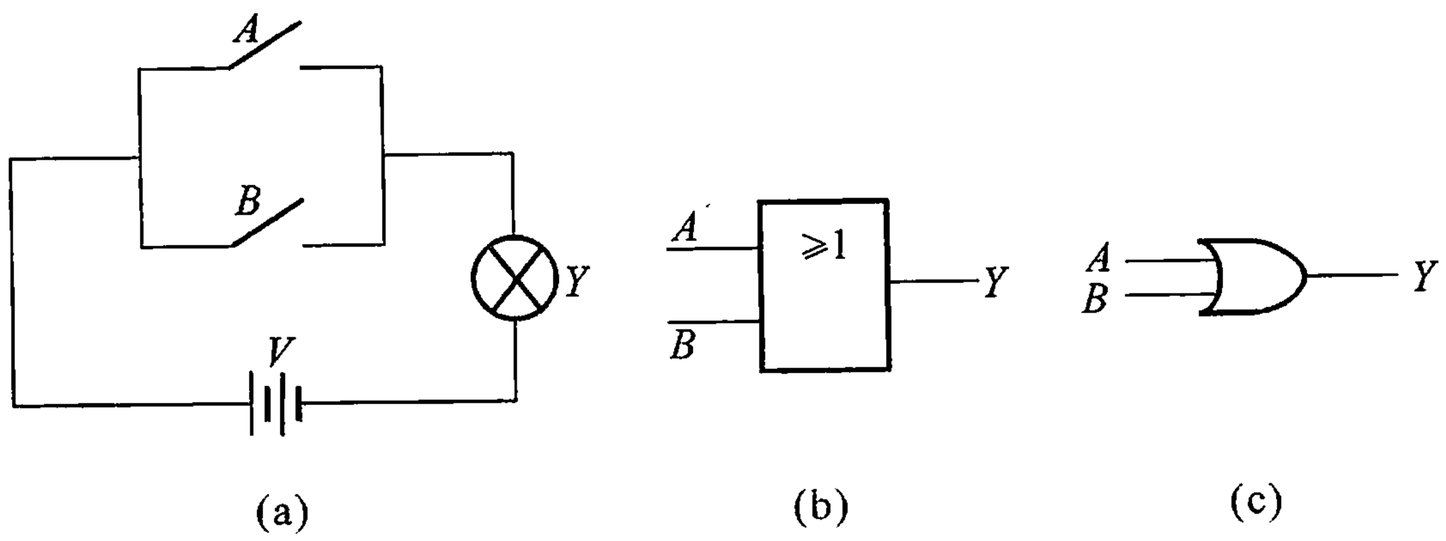


图7.2.2　或逻辑电路一例

(a) 电路图　(b) 矩形逻辑符号　(c) 特定外形逻辑符号

(3) **非**运算(**非**逻辑)

在图7.2.3(a)所示的电路中，当开关 A 闭合时，灯不亮，当开关 A 断开时，灯亮。由此得到第三种逻辑关系：“某一事件是否发生，取决于某个条件的否定，即该条件具备了，这件事便不发生，而此条件不具备时，这一事件一定发

① 矩形逻辑符号为国家标准的电器图符号，特定外形逻辑符号为国外有关资料常用的符号。由于后者其内部少有字符，可以画得很小，特别适用于复杂的大型逻辑电路使用。

生。”这种逻辑关系称为**非**逻辑。仍按前面的逻辑规定,开关断开 A 为 **0**,开关闭合 A 为 **1**,灯灭 Y 为 **0**,灯亮 Y 为 **1**,则**非**逻辑关系可用表 7.2.3 的真值表来表示,也可用逻辑表达式

$$Y = \overline{A} \qquad (7.2.4)$$

来描述。式中,A 上的横线表示**非**运算,读作 A **非**。**非**逻辑符号如图 7.2.3(b)、(c)所示。

以上讨论了**与**、**或**、**非** 3 种基本逻辑运算,这些逻辑运算可以用电路来实现。把能实现**与**运算、**或**运算和**非**运算的电路分别称为**与**门、**或**门和**非**门。有关门电路将在本章后几节中讨论。

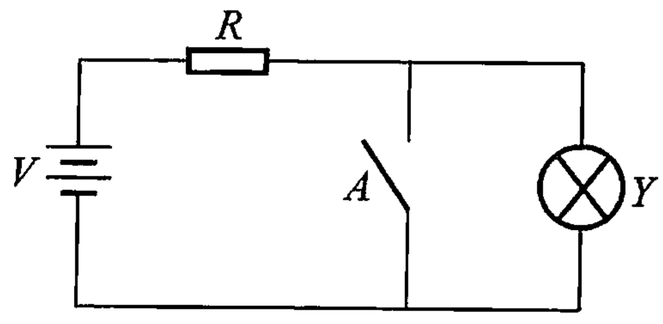


图 7.2.3　非逻辑电路一例

(a) 电路图　(b) 逻辑符号

(c) 特定外形逻辑符号

表 7.2.2　或逻辑的真值表

A	B	Y
0	**0**	**0**
0	**1**	**1**
1	**0**	**1**
1	**1**	**1**

表 7.2.3　非逻辑的真值表

A	Y
0	**1**
1	**0**

2. 复合逻辑运算

与、**或**、**非**是 3 种最基本的逻辑运算,用它们可以组成最常见的几种复合逻辑运算,如**与非**、**或非**、**异或**、**同或**等。表 7.2.4 ~ 表 7.2.7 给出了这些复合逻辑的真值表。图 7.2.4 所示为它们的逻辑符号。

表 7.2.4　与非逻辑真值表

A	B	Y
0	**0**	**1**
0	**1**	**1**
1	**0**	**1**
1	**1**	**0**

表 7.2.5　或非逻辑真值表

A	B	Y
0	**0**	**1**
0	**1**	**0**
1	**0**	**0**
1	**1**	**0**

表 7.2.6　异或逻辑真值表

A	B	Y
0	**0**	**0**
0	**1**	**1**
1	**0**	**1**
1	**1**	**0**

表 7.2.7　同或逻辑真值表

A	B	Y
0	**0**	**1**
0	**1**	**0**
1	**0**	**0**
1	**1**	**1**

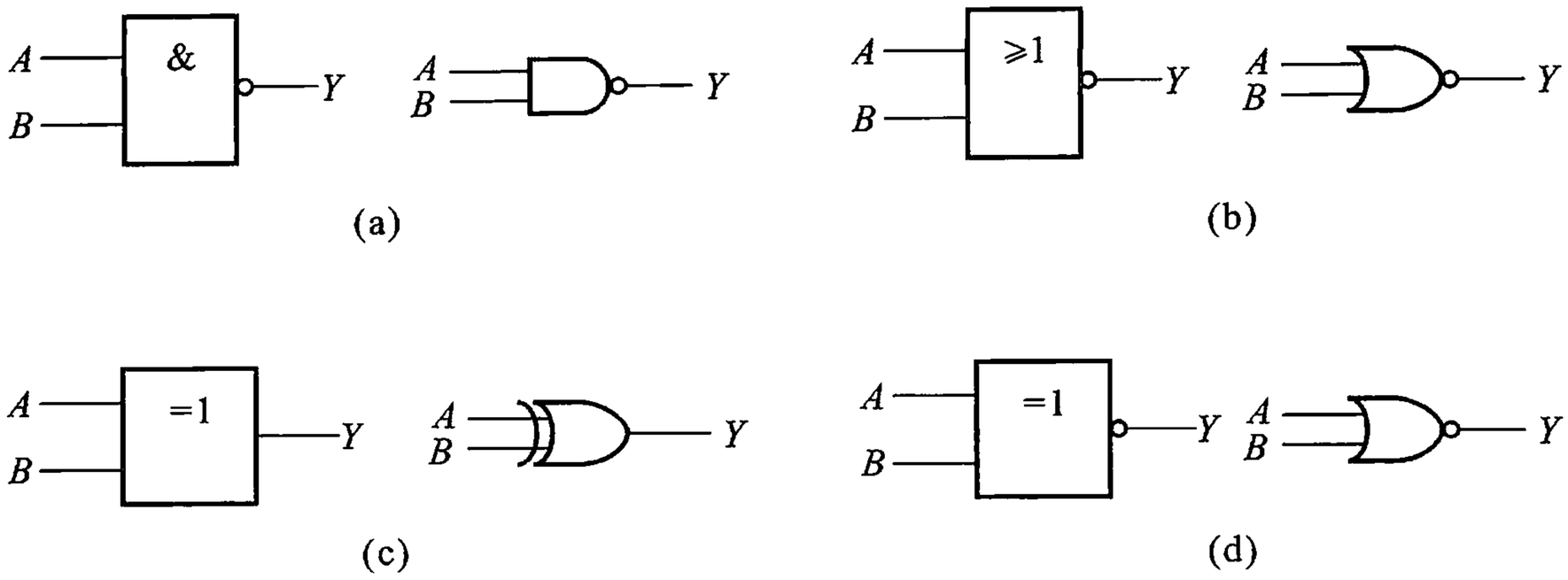


图 7.2.4 复合逻辑的逻辑符号(矩形符号和特定外形符号)

(a) 与非逻辑符号 (b) 或非逻辑符号 (c) 异或逻辑符号 (d) 同或逻辑符号

与非运算是由**与**运算和**非**运算结合在一起而构成的复合运算。A 和 B 先进行**与**运算,然后将**与**运算的结果求反,就可得到 A、B 的**与非**运算结果。从**与非**运算的真值表 7.2.4 容易看出,**与非**运算的逻辑功能是:A、B 中有一个或一个以上为 **0** 时,Y 的值为 **1**;仅当 A、B 全为 **1** 时,则 Y 的值为 **0**。为便于记忆,可把**与非**运算的功能概括为"全**1**出**0**,有**0**出**1**"。用逻辑表达式描述为

$$Y = \overline{A \cdot B} \tag{7.2.5}$$

或非运算是由**或**运算和**非**运算结合在一起构成的复合运算。A 和 B 先进行**或**运算,然后将**或**运算的结果求反,所得到的就是 A、B 的**或非**运算结果。从表 7.2.5 容易看出,**或非**运算的逻辑功能是:当输入变量 A、B 均为**0**时,Y 的值为**1**;只要 A、B 中有一个为 **1** 或全为**1**时,则 Y 的值为**0**。为便于记忆,可把**或非**运算的功能概括为"全**0**出**1**,有**1**出**0**"。用逻辑表达式表示,则为

$$Y = \overline{A + B} \tag{7.2.6}$$

异或运算的逻辑功能可从真值表 7.2.6 看出:当两个输入变量 A、B 取值相异时,输出函数 Y 为**1**;当两个输入变量 A、B 取值相同时(同为**0**或同为**1**),输出函数 Y 为**0**。由真值表可以写出**异或**运算的逻辑表达式

$$Y = \overline{A}B + A\overline{B} = A \oplus B \tag{7.2.7}$$

式中,$\oplus$为**异或**运算的符号。

同或运算的逻辑功能可由表 7.2.7 看出:当两个输入变量 A、B 的取值相同时,输出函数 Y 为 **1**;当两个输入变量 A、B 取值不同时,输出函数 Y 为 **0**。逻辑表达式为

$$Y = \overline{A}\,\overline{B} + AB = \overline{A \oplus B} = A \odot B \tag{7.2.8}$$

式中,$\odot$为**同或**运算符号。

7.2.3　逻辑函数的表示方法

逻辑真值表(简称真值表)、逻辑函数表达式、逻辑图和卡诺图(将在逻辑函数的化简法中专门介绍)是逻辑函数的 4 种表示方法。

1. 逻辑真值表

以论文评审表决电路为例。一个研究生论文评审表决电路,有 3 人参加评审,在每人面前设置一个电键按钮,其中主审握着按钮 A,两名副主审分别握着按钮 B 和 C。若以按钮按下为 **1**,没有按下为**0**;以灯亮为**1**,灯不亮为**0**。在这个电路中由于输入 3 个变量,因此,一共有 2^3 即 8 种组合,对于 A 在内的两个或两个以上变量为**1**的组合,相应的函数值 Y 为**1**,其余 Y 为 **0**。于是便可写出相应的真值表,如表 7.2.8 所示。

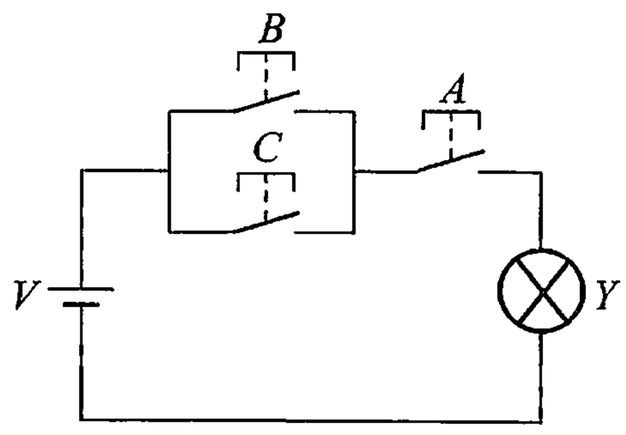


图 7.2.5　论文评审表决电路

表 7.2.8　图 7.2.5 的逻辑真值表

N	输　入			输　出
	A	B	C	Y
0	**0**	**0**	**0**	**0**
1	**0**	**0**	**1**	**0**
2	**0**	**1**	**0**	**0**
3	**0**	**1**	**1**	**0**
4	**1**	**0**	**0**	**0**
5	**1**	**0**	**1**	**1**
6	**1**	**1**	**0**	**1**
7	**1**	**1**	**1**	**1**

2. 逻辑函数表达式

用**与**、**或**、**非**等逻辑运算表示逻辑变量之间的关系组合表达式,称为逻辑代数式,又称为函数表达式。根据真值表可以写出表达式。方法是:首先,找出真值表中 $Y=1$ 的变量组合,如在表 7.2.8 中 $Y=1$ 的变量组合是 N 为 5、6、7 行。其次,如果输入变量为 **1**,则写成变量本身,为**0**则写成其反变量,于是相应于函数值为**1**的一个变量组合就写作一个乘积项,例如,第 5 行,因 $A=1$、$B=0$、$C=1$,故该行的乘积项为 $A\overline{B}C$,同理,可写出第 6、第 7 行对应的乘积项分别为 $AB\overline{C}$ 和 ABC。最后,将这些乘积项相加,就得到了相应的逻辑函数表达式。对于表

7.2.8 的逻辑函数表达式

$$Y = A\overline{B}C + AB\overline{C} + ABC \tag{7.2.9}$$

式(7.2.9)描述了输入与输出之间的逻辑关系。这就是图 7.2.5 所示论文评审电路逻辑关系的函数式,即逻辑函数表达式。这种形式的逻辑表达式称为“**与或**标准型”表达式。

3. 逻辑图

逻辑图就是以逻辑符号及连线表示逻辑关系而构成的图形。逻辑函数中的每一个表达式所代表的逻辑功能都可以用相应的逻辑图来实现。根据式(7.2.9)可以画出能表示相应的函数关系的逻辑图来。对于上述的论文评审逻辑,从逻辑表达式可见,应先用两个**非**门分别对 B、C 取**非**,再用 3 个**与**门对有关变量实现逻辑乘,得到 $A\overline{B}C$、$AB\overline{C}$、ABC 等 3 个逻辑乘,然后将这 3 个**与**门的输出用一个**或**门实现逻辑加,就构成了论文评审的逻辑电路,如图 7.2.6 所示。

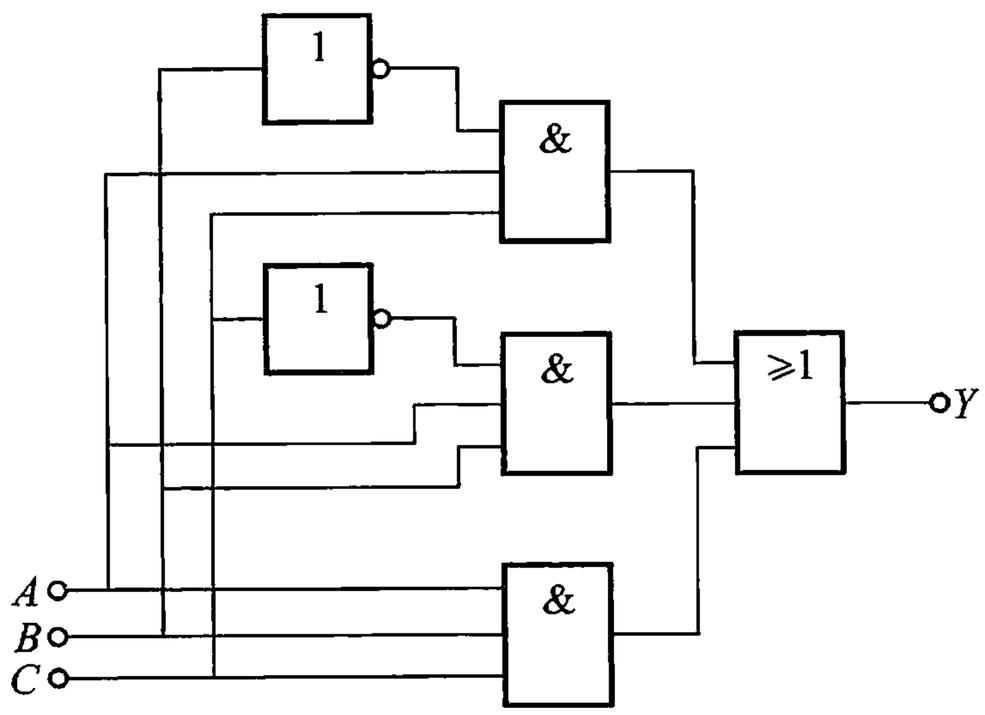


图 7.2.6　表 7.2.8 的逻辑图

4. 各种表示方法之间的转换

既然可以用逻辑函数的 4 种表示方法来描述同一个逻辑关系,它们之间必有内在联系,可以相互转换。

由真值表可求出逻辑函数表达式,根据逻辑函数表达式又可画出相应的逻辑图。这两种方法前面已经介绍,这里不再重复。如果有了逻辑图,则可写出相应的逻辑函数表达式。由前级门逐级向后,根据各个门的输入变量,写出其输出的逻辑函数,即可得出相应于整个电路的逻辑函数表达式。例如,图 7.2.7 所示的逻辑电路,G_1 门的输出为 $\overline{A}$,G_2 门的输出为 $\overline{B}$,**与**门 G_3、G_4 的输出分别为 $\overline{A}B$ 和 $A\overline{B}$,它们是末级**或非**门的输入变量,输出则为

$$Y = \overline{\overline{A}B + A\overline{B}} = \overline{A \oplus B} \tag{7.2.10}$$

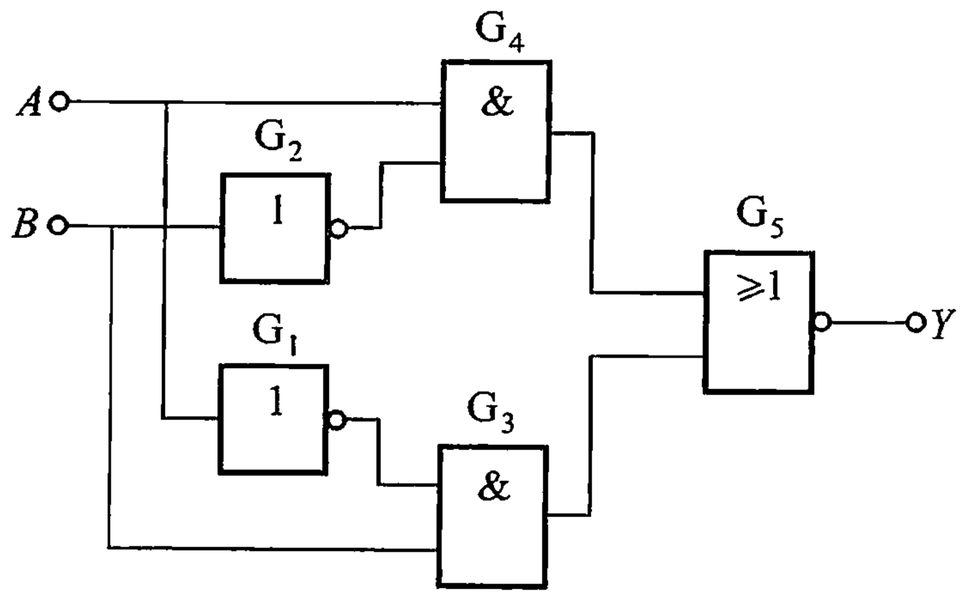


图 7.2.7　由逻辑电路求逻辑式

由上式可以看出，上述逻辑电路的功能与**异或**逻辑正相反，它是一个**同或**逻辑。

有了逻辑函数表达式，就不难求出真值表。首先根据逻辑函数表达式中输入变量的个数，列出输入变量的 2^n 种组合；再将输入变量的各种取值逐一代入逻辑表达式中进行计算；最后将结果填入表中，便可得出给定逻辑函数的真值表。例如，已知逻辑函数为

$$Y = A\overline{B}C + AB \tag{7.2.11}$$

求它对应的真值表。按照上述的转换方法，表 7.2.9 为上式对应的真值表。

表 7.2.9　式(7.2.11)的真值表

A	B	C	$A\overline{B}C$	AB	Y
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	0	0
1	0	1	1	0	1
1	1	0	0	1	1
1	1	1	0	1	1

7.3　逻辑函数的化简法

7.3.1　逻辑代数的公式和规则

逻辑代数的公式和规则是逻辑运算的重要工具，是分析和设计数字电路的必备基础。它和普通代数的根本区别，在于其变量只有 **0** 和 **1** 两种可能的取值。因此，逻辑代数虽然比普通代数简单，但是有许多与普通代数不同的运算规律。

1. 基本公式

在 7.2 节中熟悉了**与**、**或**、**非**等 3 种基本逻辑关系。根据**与**、**或**、**非**等 3 种基本运算法则，可导出下列逻辑运算的基本公式。

公式 1　　**0** －**1** 律

1a.　$A \cdot \mathbf{0} = \mathbf{0}$　　1b.　$A + \mathbf{1} = \mathbf{1}$

公式 2　自等律

2a.　$A \cdot \mathbf{1} = A$　　2b.　$A + \mathbf{0} = A$

公式 3　重叠律

3a.　$A \cdot A = A$　　3b.　$A + A = A$

公式 4　互补律

4a.　$A \cdot \overline{A} = \mathbf{0}$　　4b.　$A + \overline{A} = \mathbf{1}$

公式 5　**非非**律

$$\overline{\overline{A}} = A$$

公式 6　交换律

6a.　$A \cdot B = B \cdot A$　　6b.　$A + B = B + A$

公式 7　结合律

7a.　$A \cdot (B \cdot C) = (A \cdot B) \cdot C$

7b.　$A + (B + C) = (A + B) + C$

公式 8　分配律

8a.　$A \cdot (B + C) = A \cdot B + A \cdot C$

8b.　$A + B \cdot C = (A + B) \cdot (A + C)$

公式 9　吸收律

9a.　$A + A \cdot B = A$　　9b.　$A \cdot (A + B) = A$

公式 10　反演律

10a. $\overline{A \cdot B} = \overline{A} + \overline{B}$　　10b. $\overline{A + B} = \overline{A} \cdot \overline{B}$

反演律又称摩根定理，可以推广到多个变量的情况。

上述公式不难证明，对于公式 1 ~ 5，只要把逻辑变量之值代入，即可证明它们是正确的。如公式 1b，当 $A = \mathbf{0}$ 时，该式为 $\mathbf{0} + \mathbf{1} = \mathbf{1}$，当 $A = \mathbf{1}$ 时，则有 $\mathbf{1} + \mathbf{1} = \mathbf{1}$，可见该公式成立。其他公式可直接用真值表证明，如公式 10a，其真值表如表 7.3.1 所示，$Y_1 = Y_2$，该公式成立。

表 7.3.1　$\overline{A \cdot B} = \overline{A} + \overline{B}$ 的真值表

A	B	$Y_1 = \overline{A \cdot B}$	$Y_2 = \overline{A} + \overline{B}$
0	**0**	**1**	**1**
0	**1**	**1**	**1**
1	**0**	**1**	**1**
1	**1**	**0**	**0**

2. 一些常用公式

利用前面介绍的基本公式，可以得到如下常用公式：

公式 1　$AB + A\overline{B} = A$

公式 1 说明，两个乘积项中若分别包含了 B、$\overline{B}$，而其他因子都相同，则这两个乘积项可以合并成一项，并消去变量 B。

公式 2　$A + \overline{A}B = A + B$

这个公式说明，在一个**与或**表达式中，如果一个乘积项的**非**是另一个乘积项的因子，那么这个因子是多余的。

公式 3　$AB + \overline{A}C + BC = AB + \overline{A}C$

证明　$AB + \overline{A}C + BC = AB + \overline{A}C + BC(A + \overline{A})$　（互补律 4b）

$= AB + \overline{A}C + ABC + \overline{A}BC$　（分配律 8a）

$= (AB + ABC) + (\overline{A}C + \overline{A}BC)$　（结合律 7b）

$= AB + AC$　（吸收律 9a）

这个公式说明，在一个**与或**表达式中，一个乘积项包含了原变量 A，另一个乘积项包含了反变量 $\overline{A}$，而这两个乘积项其余的因子又构成了第三个乘积项，则第三个乘积项便是多余的。

公式 4　$AB + \overline{A}C + BCD = AB + \overline{A}C$

这个公式说明，在一个**与或**表达式中，一个乘积项包含了原变量 A，另一个乘积项包含了反变量 $\overline{A}$，而这两个乘积项其余的因子又构成了第三个乘积项的

因子,则第三个乘积项便是多余的。

3. 逻辑代数运算的基本规则

(1) 代入规则

在任何一个含有变量 A 的逻辑等式中,如果将所有出现 A 的位置,都以另一个逻辑函数式代入,则等式仍然成立。这就是代入规则。

因为任何一个逻辑函数式也和任何一个逻辑变量一样,只有 **0** 和 **1** 两种可能的取值。原等式对变量 A 成立,而在 A 的位置以另一个逻辑函数式代替,等式自然也成立。

有了代入规则,可以将以上各规则和公式的应用范围大大扩展。例如,在等式 $A+\overline{A}C=A+C$ 中,将所有出现 A 的位置都以函数 AB 代替,则等式仍成立,即

$$AB+\overline{AB}\,C=AB+C$$

(2) 反演规则

对于任意一个逻辑函数式 Y,如果将式中符号

·换成 +

+换成 ·

0 换成 **1**

1 换成 **0**

原变量换成反变量

反变量换成原变量

那么所得的逻辑函数式就是 Y 的反函数 $\overline{Y}$。这个规则称为反演规则。

利用反演规则,可以很容易求出一个函数的反函数。在使用反演规则时需要注意以下两点:

① 仍需遵守先括号,然后**与**,最后**或**的运算顺序。

② 不是单个逻辑变量上的**非**号,均应保持不变。

例 7.3.1　已知 $Y=\overline{A}\,B+A\,\overline{B}$,求 Y 的反函数 $\overline{Y}$。

解　利用反演规则可得

$$\overline{Y}=(A+\overline{B})(\overline{A}+B)$$

例 7.3.2　已知 $Y=A+\overline{B}+\overline{\overline{C}+D+E}$,求 $\overline{Y}$。

解　利用反演规则可直接写出

$$\overline{Y}=\overline{A}\cdot B\cdot\overline{\overline{C}\cdot\overline{D}\cdot\overline{E}}$$

如果反复利用摩根定理(反演律)进行运算,也能得到同样的结果,将 $Y=\overline{A+\overline{B}+\overline{\overline{C}+D+E}}$ 等式两边同时求反,有

$$\overline{Y} = \overline{A + \overline{B} + \overline{C} + D + E}$$

$$= A + \overline{B} + \overline{C} + D \cdot \overline{E}$$

$$= \overline{A} \cdot \overline{B} \cdot \overline{C} + D \cdot \overline{E}$$

$$= \overline{A} \cdot B \cdot C \cdot \overline{D} \cdot \overline{E}$$

可见,反演规则是正确的。

(3) 对偶规则

对于任何一个逻辑函数表达式 Y,如果将其中的

· 换成 +

+ 换成 ·

0 换成 **1**

1 换成 **0**

由此便得到一个新的函数式 Y',这个 Y'称为 Y 的对偶式。变换时仍需遵守“先括号,然后**与**,最后**或**”的运算顺序。

例如,若 $Y = \overline{A + B} + C \cdot D$,则 $Y' = \overline{A \cdot B} \cdot (C + D)$

若 $Y = A + \overline{A}\,B$,则 $Y' = A \cdot (\overline{A} + B)$

7.3.2　逻辑函数的代数化简法

一个逻辑函数,其表达式的类型是多种多样的,如**与 - 或**表达式,**或 - 与**表达式,**或非 - 或非**表达式以及**与 - 或 - 非**表达式。例如:

$Y = AB + \overline{B}\,D$　　**与 - 或**表达式

$= (A + \overline{B})(B + D)$　　**或 - 与**表达式

$= \overline{\overline{AB} \cdot \overline{B}\,D}$　　**与非 - 与非**表达式

$= \overline{\overline{A} + \overline{B} + \overline{(B + D)}}$　　**或非 - 或非**表达式

$= \overline{\overline{A}\,B + \overline{B}\,\overline{D}}$　　**与 - 或 - 非**表达式

以上例子说明,同一个逻辑函数可以写成不同形式的逻辑式。在实践中,通常这些表达式并不是最简的形式,这就需要对逻辑表达式进行化简或变换为一定的形式。

由于逻辑代数的基本公式和一些常用公式多以**与－或**形式给出，用以化简**与－或**逻辑表达式比较方便；同时由**与－或**表达式可以比较容易地得到其他类型的最简表达式，所以下面主要讨论**与－或**式的化简。

化简逻辑函数的方法，常用的有代数法和卡诺图法。运用逻辑代数的基本公式和常用公式化简或变换逻辑式的方法称代数法。下面介绍几种常用的代数化简法。

（1）并项法

运用公式 $A+\overline{A}=1$，将两项合并成一项，合并时可消去一个变量，例如：

$$\begin{aligned} Y &= A\overline{B}\,\overline{C} + \overline{A}\,\overline{B}\,\overline{C} + \overline{A}\,B\,\overline{C} + AB\,\overline{C} \\ &= (A+\overline{A})\overline{B}\,\overline{C} + (\overline{A}+A)B\,\overline{C} \\ &= (\overline{B}+B)\,\overline{C} \\ &= \overline{C} \end{aligned}$$

（2）吸收法

运用吸收律 $A+AB=A$，可消去一项。例如：

$$\begin{aligned} Y &= B\,\overline{C} + \overline{A}\,B\,\overline{C}\,D(E+\overline{F}) \\ &= B\,\overline{C} \end{aligned}$$

（3）消去法

运用公式 2　$A+\overline{A}\,B=A+B$，消去多余的因子 $\overline{A}$。例如：

$$\begin{aligned} Y &= AB + \overline{A}\,C + \overline{B}\,C \\ &= AB + (\overline{A}+\overline{B})C \\ &= AB + \overline{AB}\,C \\ &= AB + C \end{aligned}$$

（4）配项法

运用基本公式 $A+A=A$ 来配项，以获得更加简单的化简结果。例如：

$$\begin{aligned} Y &= ABC + \overline{A}\,BC + \overline{AB}\,C \\ &= ABC + \overline{A}\,BC + \overline{AB}\,C + ABC \\ &= BC + C \\ &= C \end{aligned}$$

上面几种方法，并非化简每一式子都要用到，也可能要兼用几种方法才能得到化简的结果。

下面再举两例，以熟悉代数化简法。

例 7.3.3　化简 $Y=\overline{\overline{AB+C}+A(\overline{B}+\overline{C})}$。

解　$Y=\overline{\overline{AB+C}+A(\overline{B}+\overline{C})}$

$=(AB+C)\overline{A(\overline{B}+\overline{C})}$　　（反演律 10b）

$=(AB+C)(\overline{A}+\overline{\overline{B}+\overline{C}})$　　（反演律 10a）

$=(AB+C)(\overline{A}+BC)$　　（反演律 10b）

$=A\overline{A}B+ABBC+\overline{A}C+BCC$　　（分配律 8a）

$=ABC+\overline{A}C+BC$　　（$A\overline{A}=\mathbf{0}$　$BB=B$）

$=\overline{A}C+BC$　　（吸收律 9a）

例 7.3.4　化简 $Y=AD+A\overline{D}+AB+\overline{A}C+A\overline{B}EF+\overline{B}F$。

解　$Y=AD+A\overline{D}+AB+\overline{A}C+A\overline{B}EF+\overline{B}F$

$=A+AB+\overline{A}C+\overline{B}F$　　（常用公式 1）

$=A+\overline{A}C+\overline{B}F$　　（吸收律 9a）

$=A+C+\overline{B}F$　　（常用公式 2）

7.3.3　逻辑函数的卡诺图化简法

用代数法化简逻辑表达式，不仅需要熟练掌握逻辑代数的基本公式，还需要一定的演算技巧，才能得到最简与或表达式，因此，在逻辑变量不超过 5 个的时候，经常用卡诺图化简法。卡诺图是 20 世纪 50 年代美国工程师 M. Karnaugh 提出来的，它是逻辑关系的一种图形表示，具有直观、简便的优点，因而这种方法获得了广泛的应用。

1. 逻辑函数的最小项

（1）最小项的概念

为了确切地理解卡诺图，有必要先讨论逻辑函数的最小项。最小项是标准的乘积项。对于 n 个变量 A_1、A_2、A_3、…、A_n，若 m 是一个含有 n 个因子的乘积项，每个变量以它的原变量或者反变量的形式在 m 中出现一次，并且仅出现一次，则称 m 是这 n 个变量的一个乘积项。显然，n 个变量一共有 2^n 个最小项。例如，逻辑变量有 A、B、C 3 个，则可组成 8 个最小项，它们分别是 $\overline{A}\,\overline{B}\,\overline{C}$、$\overline{A}\,\overline{B}\,C$、$\overline{A}\,B\,\overline{C}$、$\overline{A}\,BC$、$A\,\overline{B}\,\overline{C}$、$A\,\overline{B}\,C$、$AB\,\overline{C}$、$ABC$，如表 7.3.2 所示。

表 7.3.2 三变量最小项表

变量的组合 A	B	C	对应的十进制数 K	最小项	最小项代表符号 m_K
0	0	0	0	$\overline{A}\,\overline{B}\,\overline{C}$	m_0
0	0	1	1	$\overline{A}\,\overline{B}\,C$	m_1
0	1	0	2	$\overline{A}\,B\,\overline{C}$	m_2
0	1	1	3	$\overline{A}\,BC$	m_3
1	0	0	4	$A\,\overline{B}\,\overline{C}$	m_4
1	0	1	5	$A\,\overline{B}\,C$	m_5
1	1	0	6	$A\,B\,\overline{C}$	m_6
1	1	1	7	ABC	m_7

(2) 最小项的性质和编号

从表 7.3.2 可以看出,最小项具有下列性质:

① 输入变量的每一组取值都对应于一个最小项,只有该组取值出现时其值才会为 **1**;

② 任意两个不同最小项之积恒等于 **0**;

③ 全部最小项之和恒等于 **1**。

为了分析方便,常把最小项加以编号。编号的方法是:在最小项中,以原变量出现时记为 **1**,以反变量出现时记为**0**,最小项的变量取值组合视作二进制数,则相应的十进制数的值就是该最小项的编号。例如,最小项 $A\,\overline{B}\,C$ 的变量取值组合为 **101**,所对应的十进制数为 5,于是 $A\,\overline{B}\,C$ 为第 5 个最小项,记作 m_5,其余类推,如表 7.3.2 所示。

(3) 逻辑函数的最小项之和形式

运用逻辑代数的基本公式,可以把任一逻辑表达式变换为一组最小项之和的形式,即最小项表达式。前面提到的“**与或**标准型”表达式,就是最小项表达式。

例如,利用定理 $A+\overline{A}=\mathbf{1}$,可把 $Y(A,B,C)=AB+BC+AC$ 变换为最小项表达式。

$$
\begin{aligned}
Y(A,B,C) &= AB+BC+AC \\
&= AB(C+\overline{C})+BC(A+\overline{A})+AC(B+\overline{B}) \\
&= ABC+AB\,\overline{C}+BCA+BC\,\overline{A}+ACB+AC\,\overline{B} \\
&= \overline{A}\,BC+A\,\overline{B}\,C+AB\,\overline{C}+ABC
\end{aligned}
$$

这就是函数 $Y(A,B,C)=AB+BC+AC$ 的最小项表达式。如用代表符号表示,

上式又可写为

$$Y(A,B,C) = m_3 + m_5 + m_6 + m_7$$

习惯上把上式写为

$$Y(A,B,C) = \Sigma(3,5,6,7)$$

2. 卡诺图的画法

所谓卡诺图，就是将 n 变量的全部最小项各用一个小方格表示，并按循环码排列变量取值组合，使几何相邻的小方格具有逻辑相邻性，这样排列起来所得到的图形称为 n 变量的卡诺图。

逻辑相邻：两个几何位置相邻的小方格所代表的最小项，只有一个变量互为反变量，其他变量都相同。

卡诺图一般都画成矩形或正方形，图中画出的小方格应该是 n 变量的全部最小项 2^n 个（n 为 0,1,2,…）。现在以两个变量到 5 个变量为例来说明卡诺图的画法。画卡诺图时，将变量分为两组。如果两个变量 A、B，则 A 分为一组，B 分为一组，因为每组只有一个变量，则变量取值顺序只有 **0** 和 **1** 两种情况。如果是 3 个变量，则 A、B 分为一组，C 分为一组；如果是 4 个变量，则 A、B 分为一组，C、D 分为一组；如果是 5 个变量，则 A、B、C 分为一组，D、E 分为一组。每一组为两个或两个以上变量取值顺序不是按二进制数递增的顺序排列，而是按循环码的规则排列。一组中两变量取值顺序是 **00**、**01**、**11**、**10**；3 变量取值顺序是**000**、**001**、**011**、**010**、**110**、**111**、**101**、**100**。根据以上规则可以画出 3 变量到 5 变量的卡诺图，如图 7.3.1 所示。

再看怎样将方格编号。n 变量的卡诺图有 2^n 个小方格，每一个小方格的编号就是变量组合的二进制数所对应的十进制数。例如，在图 7.3.1(a)所示 3 变量卡诺图中，对于 BC 组合**11**的一列，A 为**0**的一行所决定的小方格，其变量组合为**011**，编号第 3 方格，应填入 m_3，即 $\overline{A}BC$。其余方格按同法处理。

3. 用卡诺图表示逻辑函数

由于任何一个逻辑函数都能展开成为最小项之和的形式，所以就可以用卡诺图来表示逻辑函数。

（1）若给出的是逻辑函数真值表，则在相同变量的卡诺图上，只要将真值表中每组变量取值所对应的函数值填入相应的小方格中，就可以得到逻辑函数的卡诺图。例如，已知逻辑函数 Y_1 的真值表如表 7.2.8 所示，试画出 Y_1 的卡诺图。由给出的真值表可知，Y_1 是一个有 3 个输入变量的逻辑函数，画出 3 个输入变量的卡诺图，并在图中 m_5、m_6、m_7 的小方格中填入 **1**，其余小方格填**0**，如图 7.3.2 所示。

（2）若给出的是逻辑函数表达式

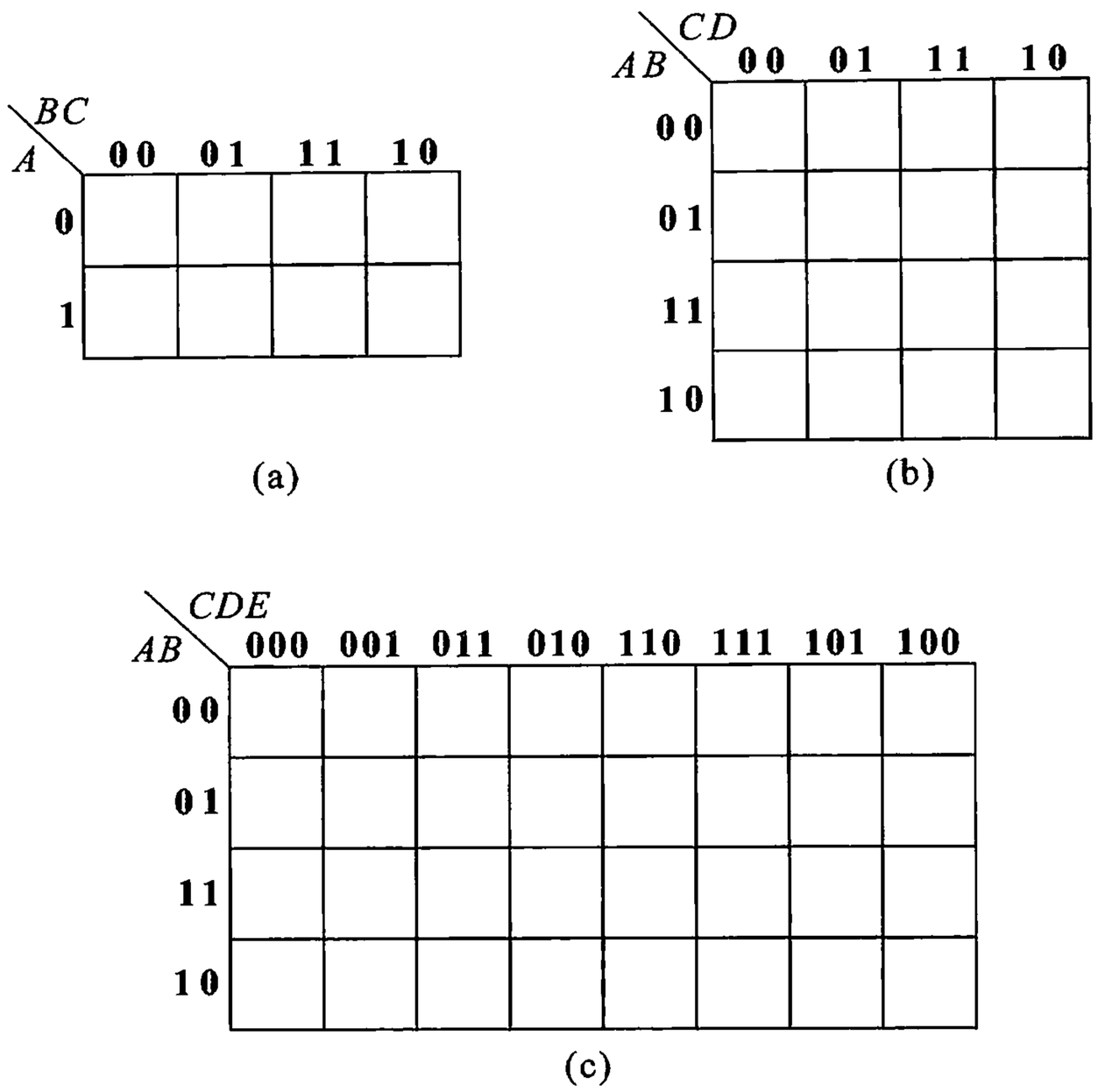


图 7.3.1　3 ~ 5 变量卡诺图

(a) 3 变量　(b) 4 变量　(c) 5 变量

若给出的是逻辑函数的最小项表达式，则在相同的变量卡诺图中与这些最小项对应的位置上填入**1**，其余位置填入**0**。例如，已知逻辑函数 $Y_2(A,B,C)=\Sigma(0,1,3,4)$，试画出 Y_2 的卡诺图。由给出的 Y_2 最小项表达式，可以画出卡诺图如图 7.3.3 所示。

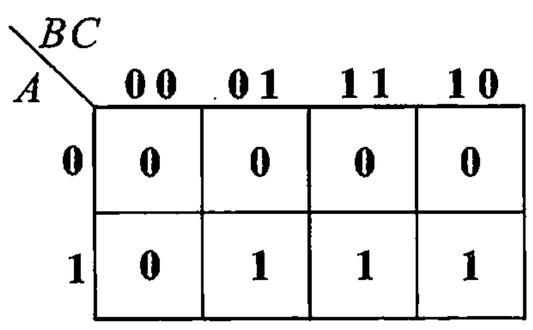


图7.3.2　表 7.2.8 的卡诺图

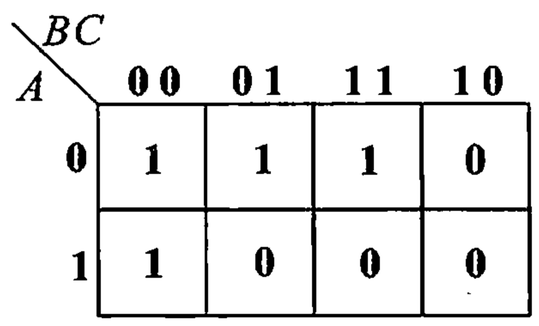


图 7.3.3　Y_2 的卡诺图

对于任意类型的逻辑函数表达式，要画出相应的卡诺图，通常先运用逻辑代数把它变换为最小项之和的标准式，然后再填卡诺图。

如果给定的函数是一般的**与或**表达式，可不必把函数化成最小项之和的形式，可以直接在卡诺图中把每一个乘积项所包含的那些最小项处填上 **1**，其余填**0**。

例 7.3.4　用卡诺图表示逻辑函数

$$Y_3 = \overline{\overline{A}\,B + A\,\overline{C}}$$

解　先将 Y_3 展开成**与或**表达式：

$$\begin{aligned} Y_3 &= \overline{\overline{A}\,B + A\,\overline{C}} \\ &= \overline{\overline{A}B} \cdot \overline{A\,\overline{C}} \\ &= (A + \overline{B}) \cdot (\overline{A} + C) \\ &= AC + \overline{A}\,\overline{B} + \overline{B}\,C \\ &= AC + \overline{A}\,\overline{B} \\ &= \overline{A}\,\overline{B} + AC \end{aligned}$$

再画出 Y_3 的卡诺图：

$Y_3 = \overline{A}\,\overline{B} + AC$ 为 3 变量的逻辑函数，在第一个乘积项中缺少一个变量 C，只要 A、B 取值 $A = \mathbf{0}$、$B = \mathbf{0}$，而无论另一个因子 C 的取值是**1**还是**0**，均满足 $\overline{A}\,\overline{B} = \mathbf{1}$。因此，在卡诺图上找出变量 A 为**0**、B 为**0**第一行第一列和第二列所包含的最小项处填入**1**。在第二个乘积项中缺少变量 B，同理，无论另一个因子 B 的取值为**0**还是为**1**，只要 A、C 的取值 $A = \mathbf{1}$、$C = \mathbf{1}$均可满足 $AC = \mathbf{1}$。于是在卡诺图上找出 A 为**1**的第二行，C 为**1**的第二列和第三列，则在行与列相交的小方格处填入**1**。除以上两个乘积项所包含的最小项的方格内填**1**，其余的小方格处填入 **0**，如图 7.3.4 所示。

A \ BC	00	01	11	10
0	1	1	0	0
1	0	1	1	0

图 7.3.4　Y_3 的卡诺图

4. 用卡诺图化简逻辑函数

在卡诺图中，由于按循环码的规律排列变量组合，使任意几何相邻的小方格所代表的最小项具有逻辑相邻性。因此，用卡诺图化简逻辑函数的本质就是合并最小项以消去相应的变量。

（1）合并规则

两个相邻的小方格合并。仅有一个变量取值不同的两个最小项合并成一项就可消去一个变量。反映在卡诺图上，就是把最小项为**1**的两个逻辑相邻的方格圈起来，就可消去那个取值不同的变量。从图 7.3.5 可以看出，任意两个相邻小方格之间具有逻辑相邻性，而且行（或列）的首尾（两端）的方格也具有逻辑相邻性。例如，在图 7.3.5（a）中，把带**1**的相邻方格 6 和 7 圈起来，相当于合并最小项 $m_6 + m_7$，消去取值不同的变量 C，保留取值相同的变量 AB。在图 7.3.5（b）中，把为**1**的小方格 1 和 5 圈起来，合并这两个最小项，消去取值不同的变量 A，保留取值相同的变量 BC，由于 B 的取值是**0**，C 的取值为**1**，故图 7.3.5（b）所示

的结果为 $\overline{B}\,C$。

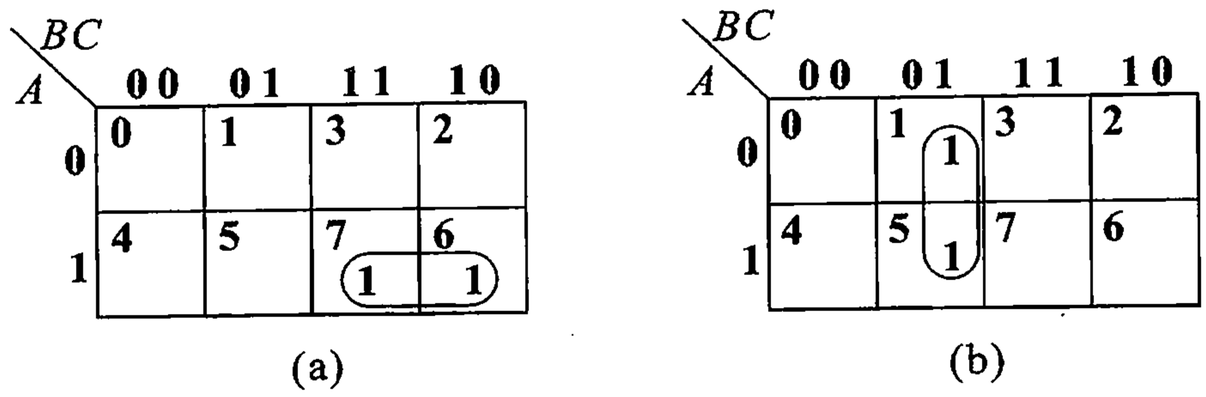


图 7.3.5　3 变量卡诺图

4 个相邻小方格的合并。在卡诺图中，把最小项为**1**的 4 个相邻小方格圈起来，可以合并成一项，并消去取值不同的两个变量。对于图 7.3.6(a)，把 4 个为**1**的几何相邻小方格圈起来，组成一个正方形，在这个圈**1**的正方形中，行对应的变量 AB，B 的取值不同，A 的取值相同；而列所对应的变量 CD，D 的取值不同，C 的取值相同，舍去取值不同的两个变量 BD，结果为取值相同的两个变量 AC。在图(b)中，把 4 个为**1**的几何相邻小方格圈起来组成一个长方形，从图上可以看出，列中对应的变量 C、D 的取值不同，而行中对应的变量取值相同，舍去 C、D，保留 A、B，由于 A 的取值是**0**，B 的取值为**1**，故图 7.3.6(b)的结果为 $A\,\overline{B}$。在图 7.3.6(c)和(d)中，分别可以观察到首尾(两端)为**1**的小方格和四角为**1**的小方格，所对应的最小项均满足逻辑相邻。图(c)和图(d)的化简结果分别为 $A\,\overline{D}$、$\overline{B}\,\overline{D}$。以上结果可以用公式法进行验证。在图(a)中，逻辑函数的表达式

$$\begin{aligned} Y &= ABCD + A\,\overline{B}\,CD + ABC\,\overline{D} + A\,\overline{B}\,C\,\overline{D} \\ &= ACD(B + \overline{B}) + AC\,\overline{D}(B + \overline{B}) \\ &= AC(D + \overline{D}) \\ &= AC \end{aligned}$$

可见，用卡诺图化简逻辑函数完全正确。

8 个小方格的合并。在卡诺图中，把最小项为**1**的八个相邻小方格圈起来可以合并成一项，并消去取值不同的 3 个变量。8 个为**1**的相邻小方格圈起来应成长方形，左右、上下相邻应考虑在内。图 7.3.7 所示为 8 个相邻小方格合并其中两种情况。对于图(a)和图(b)在行和列所对应的变量中，哪些取值不同是舍去的，哪些取值相同是保留的，请读者自行分析。

(2) 卡诺图化简法的步骤

利用卡诺图化简法可以求出函数的最简**与－或**表达式，其步骤是：

① 若给出的逻辑函数是一般表达式，则先将函数变换为最小项之和的形式

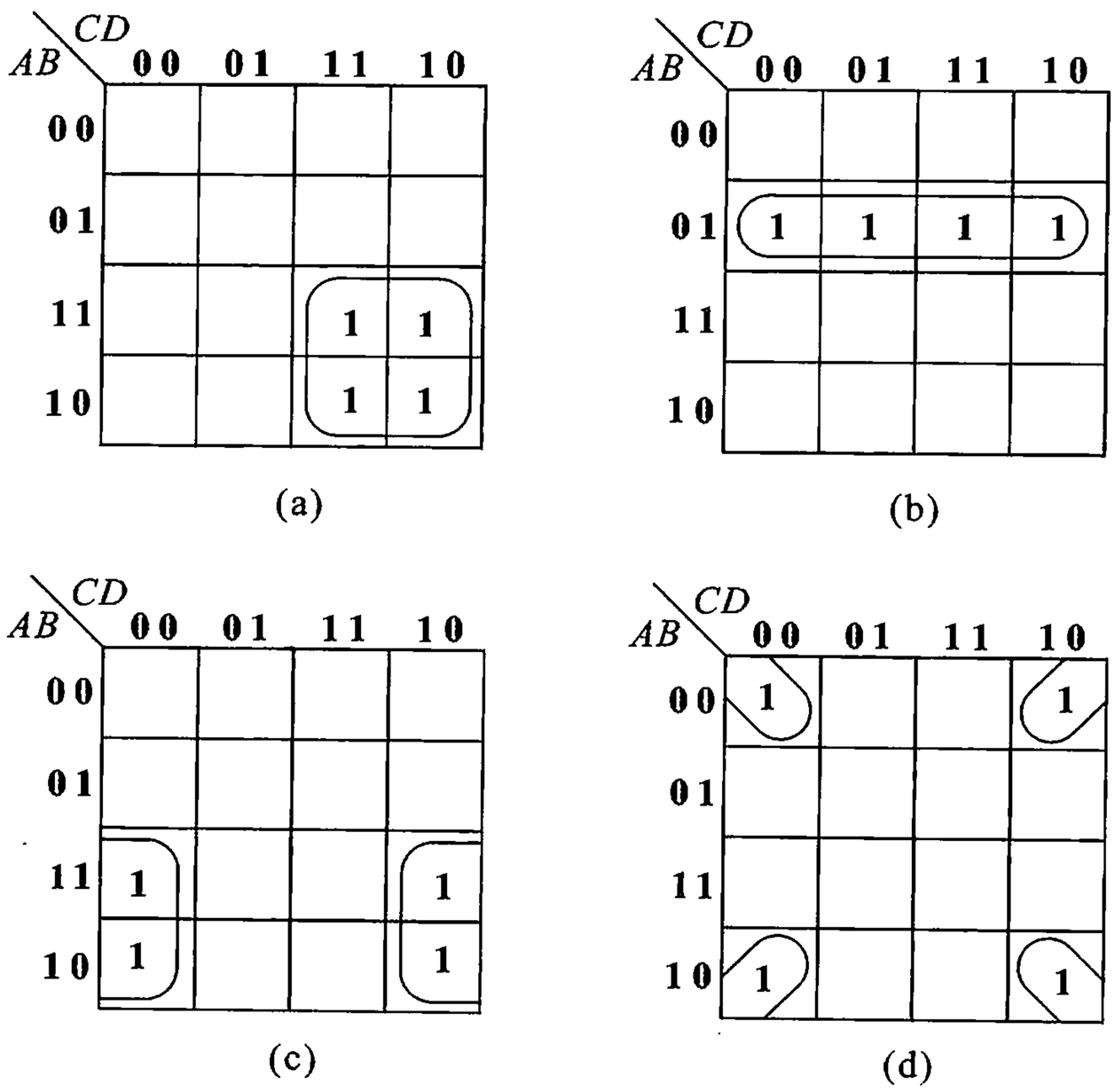


图 7.3.6　4 变量卡诺图

或者变换为一般的**与 - 或**表达式。

② 画出需要化简函数的卡诺图。

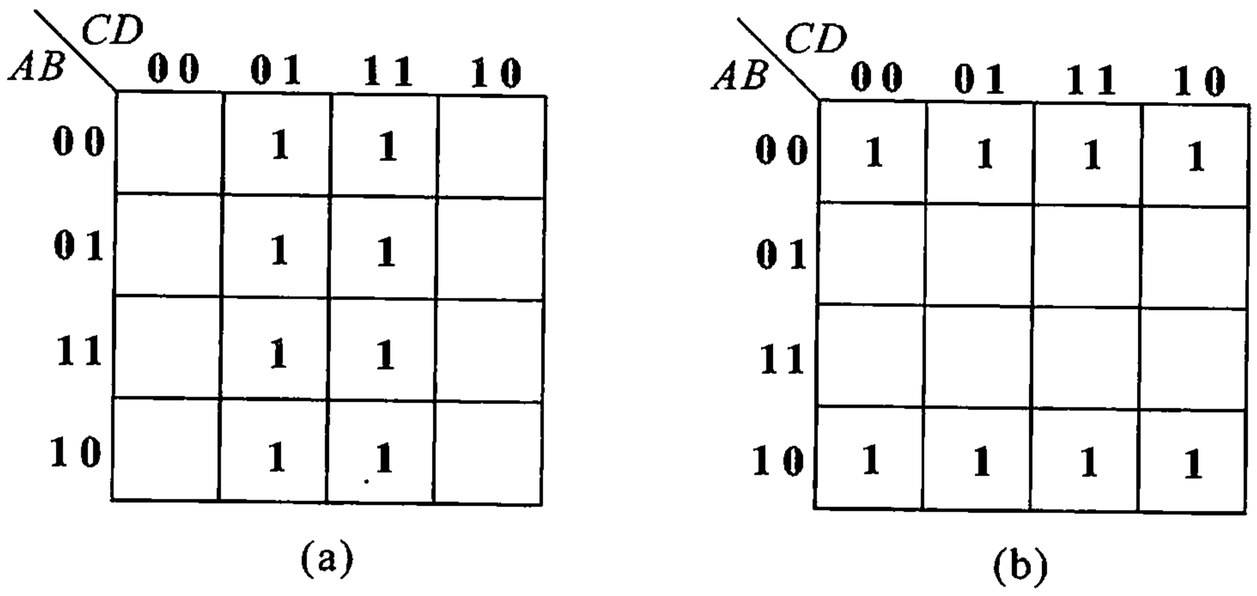


图 7.3.7　8 个小方格的合并

③ 按照合并最小项的规则，合并最小项。

首先，圈为 **1** 的没有相邻的孤立小方格；其次，找出只有一种合并可能的小方格，并从这个小方格出发，把为 **1** 的相邻小方格圈起来；最后，圈 4 个、…、2^k 个为 **1** 的相邻小方格。一个方格可被包围多次，但每个包围圈必须有新的方格。

④ 写出合并后的最简**与 - 或**表达式。

例 7.3.5　试用卡诺图化简法求逻辑函数

$Y(A,B,C,D)=\Sigma(0,2,3,7,8,10,11,13,15)$ 的最简**与 - 或**表达式。

解　画出4变量的卡诺图如图7.3.8所示。

根据给定的函数式，在卡诺图中所对应的小方格处填**1**；

在卡诺图上分别圈出 m_{13}、m_{15}，m_0、m_2、m_8、m_{10}和 m_3、m_7、m_{11}、m_{15}；

最后写出合并后的最简**与－或**表达式

$$Y = ABD + \overline{B}\,\overline{D} + CD$$

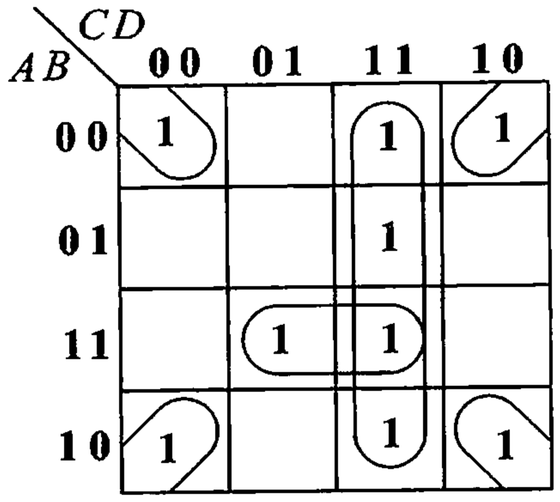


图7.3.8　卡诺图化简逻辑函数例一

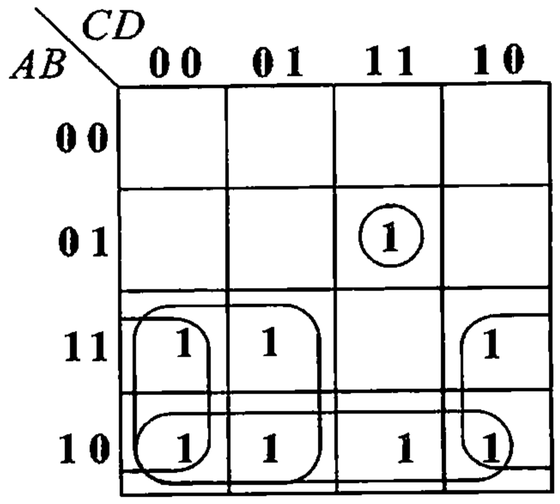


图7.3.9　卡诺图化简逻辑函数例二

例7.3.6　用卡诺图化简法求 $Y(A,B,C,D) = AB\,\overline{C}\,D + \overline{A}\,BCD + A\,\overline{B} + A\,\overline{D}$ 的最简**与－或**表达式。

解　首先画出4变量的卡诺图，如图7.3.9所示。

根据给定的函数表达式，在图中相应的小方格内填**1**。在卡诺图中找出代表 $AB\,\overline{C}\,D$ 和 $\overline{A}\,BCD$ 的小方格内填**1**；这里 $A\,\overline{B}$ 和 $A\,\overline{D}$ 尽管不是最小项的形式，可以直接在卡诺图中找出相应为**1**的小方格。对于 $A\,\overline{B}$，在变量 A 为**1**和 B 为**0**第四行的4个小方格中填上**1**。对于 $A\,\overline{D}$，在变量 A 为**1**的两行和 D 为**0**的两列相交的小方格中填上**1**。

合并最小项。按照合并最小项的规则和圈**1**的步骤，在卡诺图上圈出相应的包围圈如图7.3.9所示。首先圈孤立的小方格 m_7；从 m_{14} 出发，圈出 $\Sigma(8,10,12,14)$；从 m_8 出发，圈出 $\Sigma(8,9,10,11)$；从 m_{13} 出发，圈出 $\Sigma(8,9,12,13)$。每一包围圈合并后分别为 $\overline{A}\,BCD$，$A\,\overline{D}$、$A\,\overline{B}$、$A\,\overline{C}$。

最后写出合并后的最简**与－或**表达式

$$Y = \overline{A}BCD + A\,\overline{D} + A\,\overline{B} + A\,\overline{C}$$

通过以上的讨论，可以得出这样的推论：在 n 个变量的卡诺图中，若有 2^k 个为**1**的相邻小方格（$k=0,1,2,\cdots$），它们可以圈在一起组成一个矩形加以合并，并舍去 k 个不同的变量，合并后的结果为一个具有（$n-k$）个变量的乘积项。

5. 具有无关项的逻辑函数的化简

实际中经常会遇到这样的情况，一个 n 变量的逻辑函数并不一定与 2^n 个最

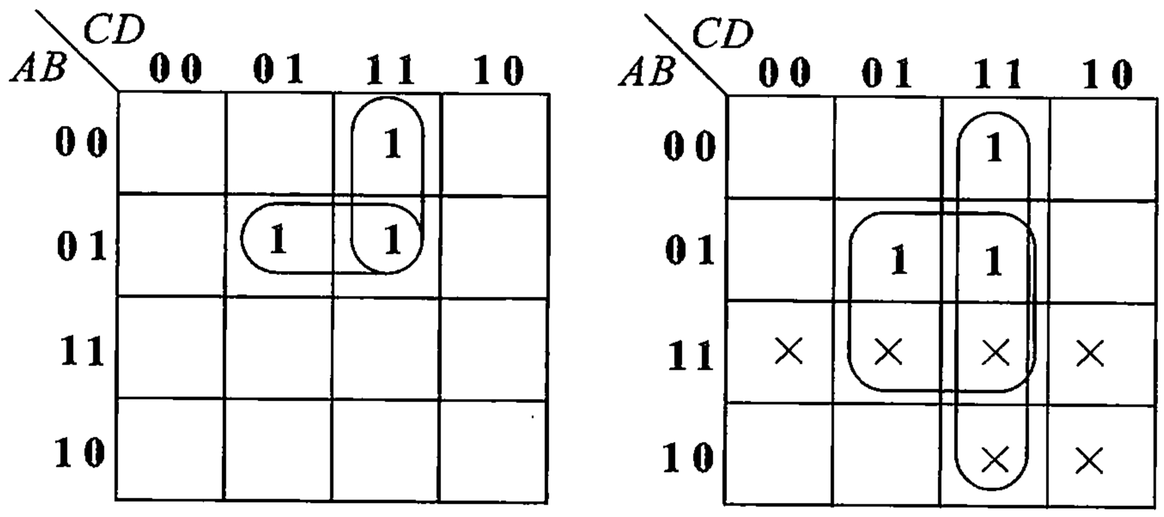
小项都有关，它仅与其中一部分有关，而另一部分不可能存在，或不允许存在，或即使存在也无关紧要。也就是说这另一部分最小项为**1**或为**0**均可，而并不影响函数值。因此，称这些最小项为无关最小项，简称无关项或随意项，用 d 表示。

用卡诺图化简包含无关项的逻辑函数时，如果一方格所表示的最小项是无关项，则在这个方格中填入“×”，表示填**1**、填**0**均可。具体取值可以根据使函数尽量得到简化而定。

例如，化简函数 $Y(A,B,C,D)=\Sigma(3,5,7)$，且无关项为 $\Sigma_d(10,11,12,13,14,15)$。

上式中对应于最小项 m_3、m_5 和 m_7，其函数值为 **1**，而对应于无关项 m_{10} ~ m_{15}，其函数值不定。不利用无关项化简，如图 7.3.10(a)所示，显然可得

$$Y=\overline{A}\,CD+\overline{A}\,BD$$



(a)　　(b)

图 7.3.10　用卡诺图化简函数 Y

(a) 不利用无关最小项化简　(b) 利用无关最小项化简

若利用无关项化简，根据无关项的性质和化简需要，如把其中的 m_{11}、m_{13} 和 m_{15} 都取**1**，把 m_{10}、m_{12} 和 m_{14} 取**0**，如图 7.3.10(b)所示。可得最简的输出函数表达式

$$Y=CD+BD$$

由此可见，在利用卡诺图化简逻辑函数的过程中，如果合理利用无关项，那么就会得到更加简单的化简结果。

7.4　基本逻辑门电路

在电子电路中，实现逻辑关系的电路称为门电路。单独的门电路其逻辑关系是十分简单的，可将这些简单的门用多种方式组合起来，以完成所需要的逻辑任务。门电路是构成各种数字电路的基本逻辑单元。

门电路的性能包括两个方面。一方面是它的逻辑功能，也就是输出信号与输入信号之间的逻辑关系；另一方面是它的电气特性，主要指它的外特性，即外部电压、电流之间的相互关系。

7.4.1　晶体三极管的开关特性

门电路中的半导体二极管、晶体三极管和 MOS 管是基本的开关元件。了解它们的开关特性，对于理解门电路的逻辑功能和电气特性，是极其有益的。因此，在介绍基本逻辑门电路之前，有必要以晶体三极管为例讨论它的开关特性。

1. 晶体三极管的 3 种工作状态

从晶体三极管的输出特性可知，随着工作点的不同，晶体三极管有 3 种工作状态，即放大状态、饱和状态和截止状态。

（1）放大状态

晶体三极管处于放大状态，其分析方法在第二章已详细讨论。这里只将晶体三极管工作在放大状态的特征简述如下：

① 在放大区里，晶体三极管的发射结正偏，集电结反偏。通常硅管 $V_{BE}=0.7\ \mathrm{V}$，锗管 $V_{BE}=0.2\ \mathrm{V}$，$|V_{CE}|>|V_{BE}|$。

② I_B 和 I_C 近于正比的关系，即 $I_C=\beta I_B$，有电流放大作用，且 $I_B>0$。

（2）饱和状态

以图 7.4.1(a)所示晶体三极管电路为例来讨论。在电源电压和负载已确定的条件下，晶体管的工作状态决定于基极电流 i_B 的数值。当 i_B 增加到某一数值 $I_{B(sat)}$ 时工作点沿负载线上移到 D 点的位置，相应的 $v_{CE}=V_{CC}-i_CR_C=0.7\ \mathrm{V}$，所以 $V_{CB}=0\ \mathrm{V}$，这时晶体管处于临界饱和状态，D 点称为临界饱和点，相应的基极电流称为临界饱和基极电流 $I_{B(sat)}$，相应的集电极电流称为临界饱和集电极电流 $I_{C(sat)}$。在临界饱和状态下，基区内少数载流子堆积甚多，这些电荷大部分扩散到集电区，仍然形成较大的集电极电流，关系式 $i_C=\beta i_B$ 依然成立，如果允许忽略 $V_{CE(sat)}$，则可认为 $I_{C(sat)}\approx V_{CC}/R_C$，于是

$$I_{B(sat)}=\frac{I_{C(sat)}}{\beta}\approx\frac{V_{CC}}{\beta R_C}\tag{7.4.1}$$

如果进一步增加基极电压 v_{BE}，虽然基极电流 i_B 继续增加，但集电极电流 i_C 却受到 V_{CC} 和 R_C 的限制，不再按 β 的比例增大，i_C 基本保持为 $I_{C(sat)}$，这种现象称为晶体三极管的饱和状态。饱和时管压降 $V_{CE(sat)}$ 很小，硅管约为 0.3 V，锗管约为 0.1 V，因此，集电极回路 C－E 极近似于短路，相当于开关的接通。在脉冲和数字电路中，常要求晶体管可靠地饱和，只有基极电流 i_B 比 $I_{B(sat)}$ 更大才能实现。

因此，使晶体三极管可靠饱和的条件是

$$i_B > I_{B(sat)} \tag{7.4.2}$$

综上所述，晶体三极管工作在饱和状态的特征是

① 使晶体三极管可靠饱和的条件是

$$i_B > I_{B(sat)}$$

② $V_{CE(sat)}$很小，硅管约为 0.3 V，锗管约为 0.1 V，饱和越深，$V_{CE(sat)}$越小，集电结和发射结均为正向偏置。

③ 集电极回路 C－E 极间近似于短路，如同一个开关的接通。

（3）截止状态

以图 7.4.1 为例来分析。晶体三极管的截止状态相当有触点的开关“断开”。如果认为 $i_B=0$ 时，$i_C=I_{CEO}\approx 0$，三极管处于截止状态，即图 7.4.1(b)中 $i_B=0$时的特性曲线下面的区域为截止区。然而这样的截止状态往往还不能满足要求，因为 I_{CEO}还有一定的大小，特别锗管，在高温下其 I_{CEO}可达毫安量级，这时就不能认为三极管处于截止状态了。要使三极管可靠地截止，就必须使发射极电流 $i_E=0$，集电极电流 i_C等于反向饱和电流 I_{CBO}，如图(b)中的 A 点(图中人为夸大了 I_{CBO}和 I_{CEO})。于是发射极处于开路状态，相当于开关的断开。实现晶体管(NPN)可靠截止的条件是 $V_{BE}<0$ 和 $V_{BC}<0$，亦即发射结和集电结均为反向偏置。实际上，对于硅管，$V_{BE}=0$ V 就可认为发射极电流为零，管子可靠地截止了。综上所述，晶体三极管处于截止状态的特征如下：

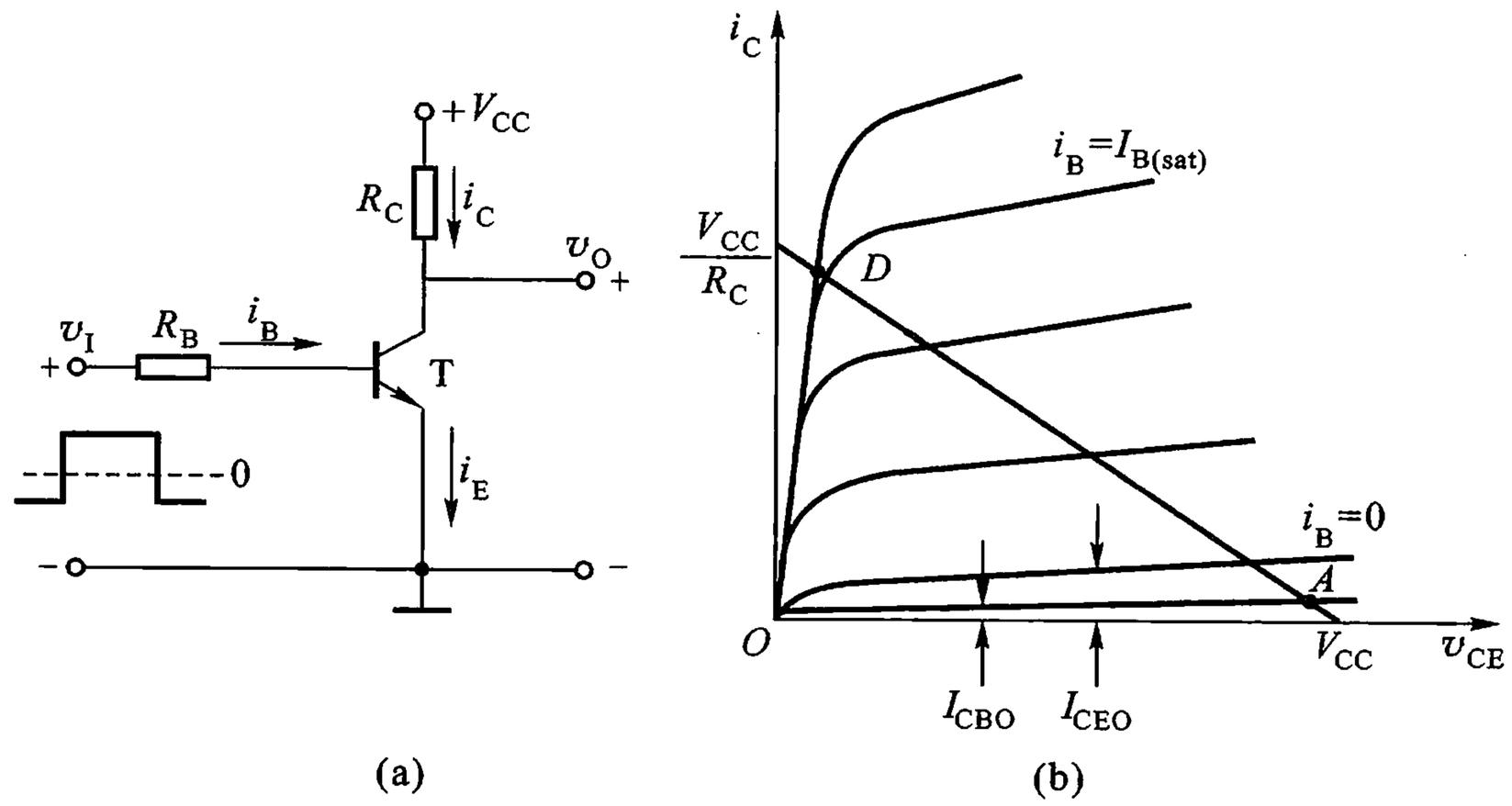


图 7.4.1　晶体三极管的开关状态

（a）电路　（b）工作状态图解

① 可靠截止条件　$V_{BE}<0, V_{BC}<0$，即晶体三极管的发射结和集电结均处于反向偏置。

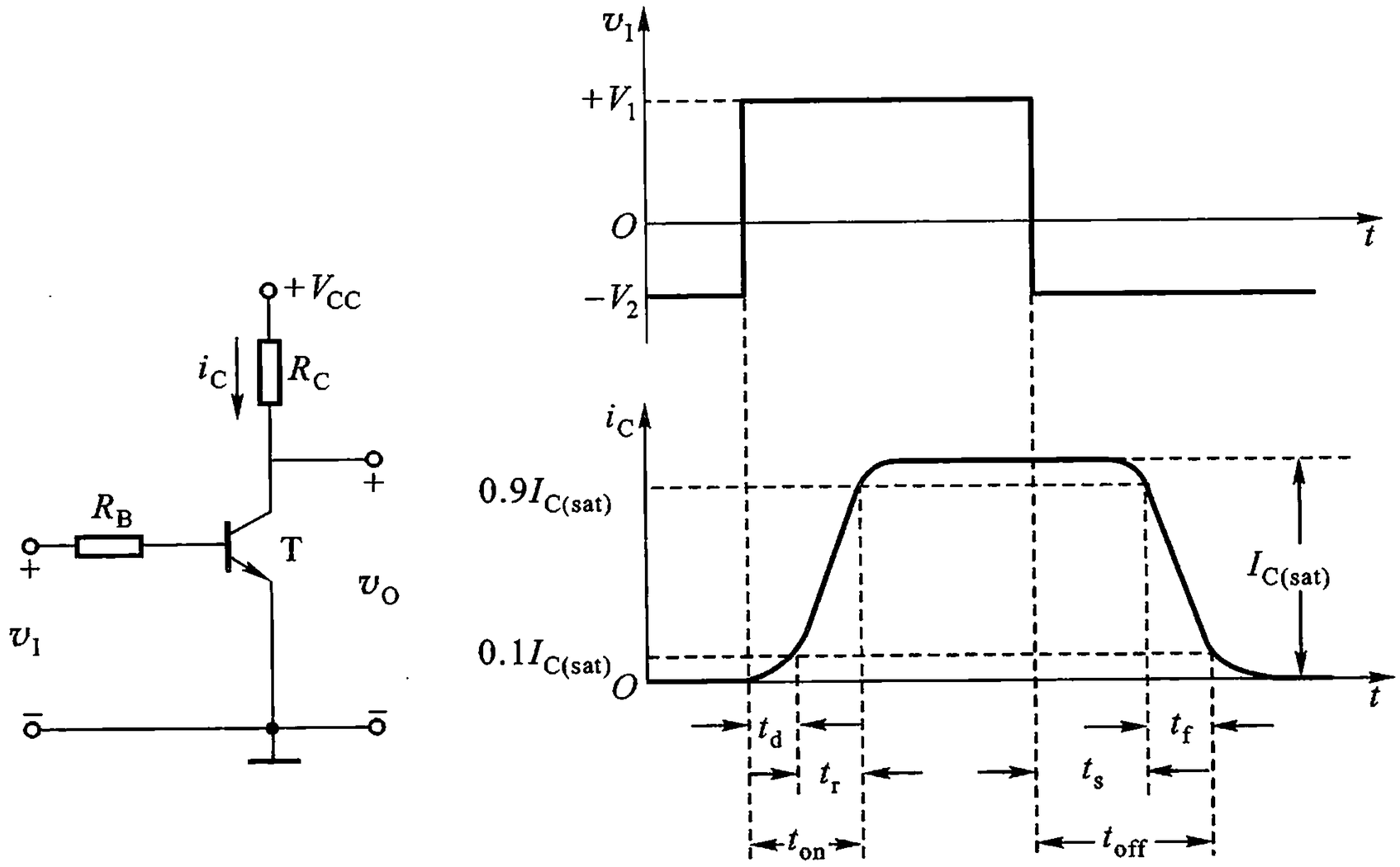
② 这时晶体三极管的 3 个电极相当于开关的断开。

2. 晶体三极管的开关时间

晶体三极管的开关过程，是管内电荷的建立与消散的过程。因此，晶体三极管在饱和与截止两种状态之间的转换，需要一定的时间才能完成。

基本的晶体管开关电路如图 7.4.2(a)所示，输入电压 v_I是一个在 $+V_1$和 $-V_2$之间变化的理想矩形脉冲，由图(b)可见，集电极电流 i_C并不完全响应 v_I的变化。图中没有画出 v_O的波形，它和 i_C波形的特点相同，但极性相反。

由图 7.4.2(b)可见，当输入电压 v_I由 $-V_2$正跳变到 V_1 时，经过一段延迟时间 t_d和上升时间t_r，管子才接近饱和导通。当v_I由 V_1 负跳变到 $-V_2$ 时，经过一段存储时间 t_s和下降时间 t_f以后，管子才接近于截止。通常把 $t_{on}=t_d+t_r$称为“开启”时间，它反映了晶体三极管由截止到饱和导通的时间；而把 $t_{off}=t_s+t_f$称为“关断”时间，它反映了晶体三极管由饱和到截止需要的时间。



(a)　　(b)

图 7.4.2　晶体管的开关时间

(a) 电路　(b) 开关时间

7.4.2　二极管门电路

1. 二极管与门

实现与逻辑关系的电路称为与门电路，简称与门。图 7.4.3(a)所示为一个二极管与门电路，图(b)所示为其逻辑符号。电路由 3 个二极管和一个电阻组成。电路的 3 个输入端 A、B、C 作为条件，输出端 Y 作为结果。当 A、B、C 全为低电平 0 V 时，3 个二极管都处于正向导通状态，则输出 Y 的电平为二极管正向压降，约 0.7 V，为低电平。当 3 个输入端中的任一端为低电平 0 V 时，则必有相应的一个二极管正向导通，使 Y 端电位被钳制在 0.7 V，所以输出电压为低电平，此时，其他两管因反向电压的作用而截止。只有 3 个输入端都接高电平，输出才是高电平。例如，3 个输入端都接高电平 5 V，则 3 个二极管都截止，输出 Y 为高电平。由此可见，此电路具有与门的逻辑功能：只有当全部输入端为高电平时，输出才是高电平，否则输出就是低电平。

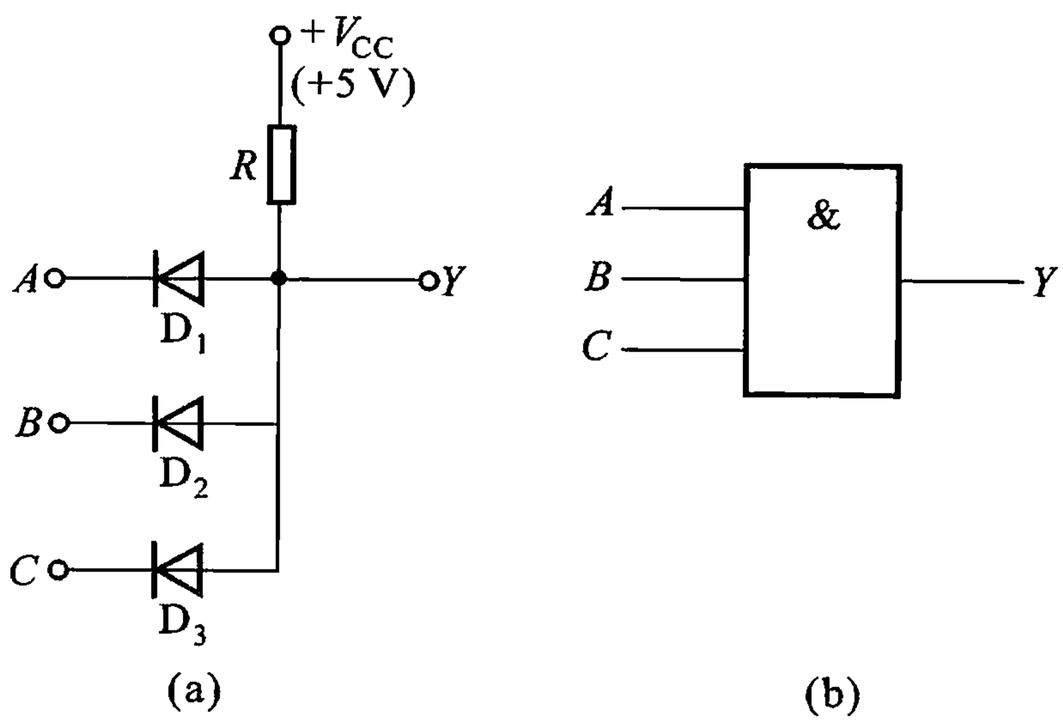


图 7.4.3　与门电路和符号

(a) 二极管与门　(b) 与逻辑符号

通常用逻辑 **1** 表示高电平，用逻辑 **0** 表示低电平，对于图 7.4.3(a)所示的 3 个输入与门电路，每个输入端都有 **0** 和 **1** 两种状态，因此，输入端的状态共有 8 种不同的组合，其中每种组合必有一定的输出状态与之对应。表 7.4.1 就是这种关系的真值表。

由真值表可以明显看出，Y 与 A、B、C 之间的关系是：当 A、B、C 都是 **1** 时，Y 才是 **1**，否则 Y 就是 **0**，其逻辑函数表达式为

$$Y = A \cdot B \cdot C \tag{7.4.3}$$

表 7.4.1　与逻辑真值表

输　　入			输　出
A	*B*	*C*	*Y*
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

2. 或门电路

具有或逻辑关系的电路，称为或门电路，简称或门。图 7.4.4(a)所示为由 3 个二极管组成的或门电路，图(b)所示为或逻辑符号。当有一个或一个以上的输入端为高电平时，相应的二极管导通，输出 Y 为高电平减去二极管的正向压降，仍为高电平；仅当 3 个输入端 A、B、C 都为低电平(如 0 V)时，所有二极管截止，输出 Y 才为低电平。

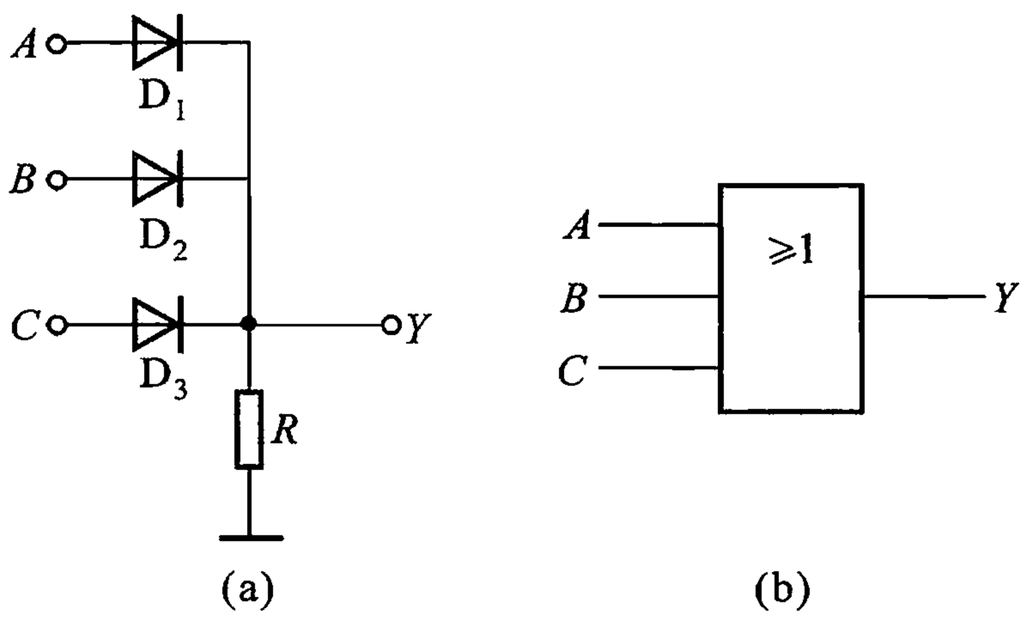


图 7.4.4　或门电路和符号

(a) 二极管或门电路　(b) 或逻辑符号

仍用逻辑 1 表示高电平，逻辑 0 表示低电平，则上述逻辑关系可用表 7.4.2 的真值表来表示。

表 7.4.2 说明在输入端 A、B、C 中，有一个或一个以上为 1 时，输出 Y 为 1，仅当 A、B、C 全部为 0 时，输出 Y 才为 0，所以 Y 和 A、B、C 之间是或逻辑关系。若用逻辑表达式来表示这种逻辑关系，则为

$$Y = A + B + C \tag{7.4.4}$$

表 7.4.2　或逻辑真值表

输　　入			输　出
A	*B*	*C*	*Y*
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

3. 正逻辑和负逻辑

在上述讨论中，是以逻辑**1**表示高电平而以逻辑**0**表示低电平的，这种规定称为正逻辑。反之，若以逻辑**1**表示低电平，逻辑**0**表示高电平，则为负逻辑。对于同一个电路，可以采用正逻辑，也可以采用负逻辑。但根据所选用正、负逻辑的不同，即使同一个电路也具有不同的逻辑功能。例如，图 7.4.4(a)所示的电路，对于正逻辑它是**或**门电路，对于负逻辑它就是**与**门电路了，把表 7.4.2 中的**1**改为**0**，**0**改为**1**，就可以看出它具有**与**门的功能。本书一律采用正逻辑，以后不再说明。

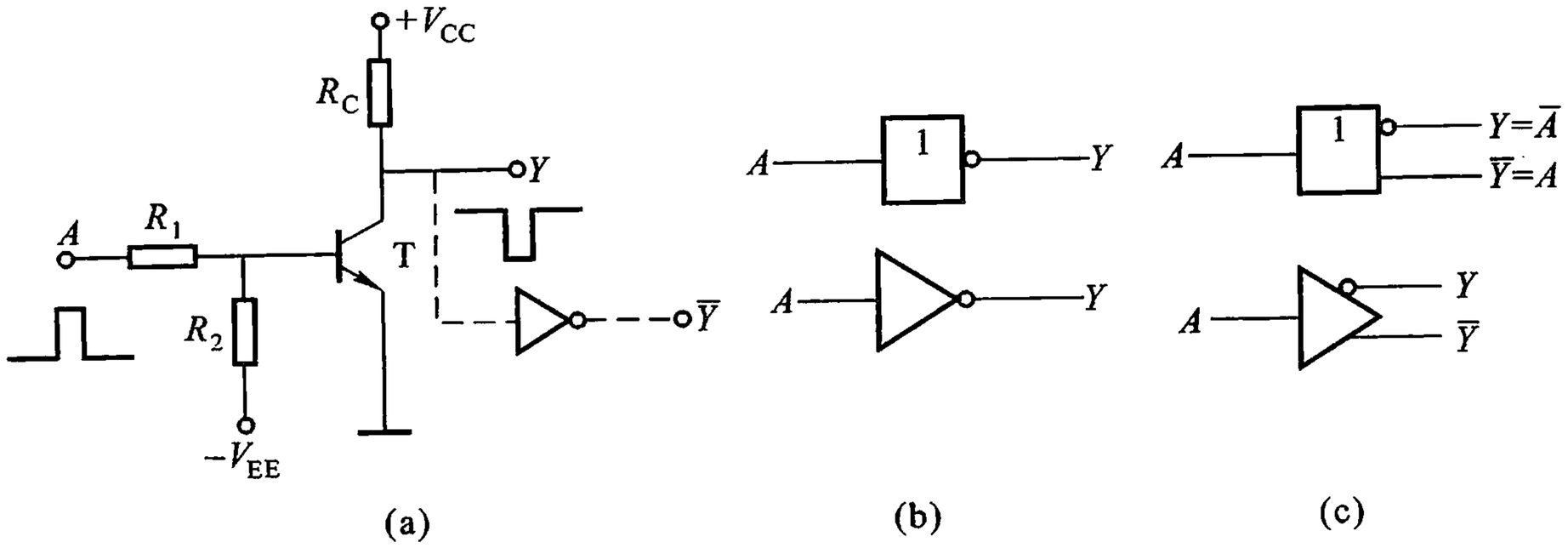
7.4.3　晶体三极管非门电路

具有**非**逻辑功能的电子电路，称为**非**门电路，简称**非**门。**非**门电路是一个倒相器，它只有一个输入端，由分立元件组成的**非**门电路如图 7.4.5(a)所示，图(b)所示为**非**门逻辑符号。由于增加了电阻 R_2 和负电源 $-V_{EE}$，当输入低电平为零时，晶体管的基极将为负电位，发射结为反向偏置，使晶体管处于截止状态，输出为高电平；反之，当输入为高电平时，只要电阻 R_2、负电源 $-V_{EE}$ 和晶体三极管的 h_{fe} 等参数选择适当，就能满足晶体三极管的饱和条件 $i_B > I_{C(sat)}/h_{fe}$，使三极管工作在饱和状态，输出为低电平，实现了**非**逻辑关系。

表 7.4.3 是**非**逻辑关系真值表，Y 与 A 的逻辑关系可表示为

$$Y = \overline{A} \tag{7.4.5}$$

如果在图 7.4.5 中晶体管的集电极连接一个**非**门，形成二级**非**门电路，由图可见，$\overline{Y} = \overline{\overline{A}} = A$. 电路符号如图 7.4.5(c)所示。该电路常用于某些逻辑电路的输



(a)　　(b)　　(c)

图 7.4.5　非门电路和符号

(a) 电路　(b) 非门逻辑符号　(c) 输入缓冲电路符号

入级,称为输入缓冲电路,它将提高输入信号的驱动能力,并产生互补的原变量 A 和反变量 $\overline{A}$。

表 7.4.3　非逻辑真值表

A	Y	A	Y
0	**1**	**1**	**0**

7.4.4　复合门电路

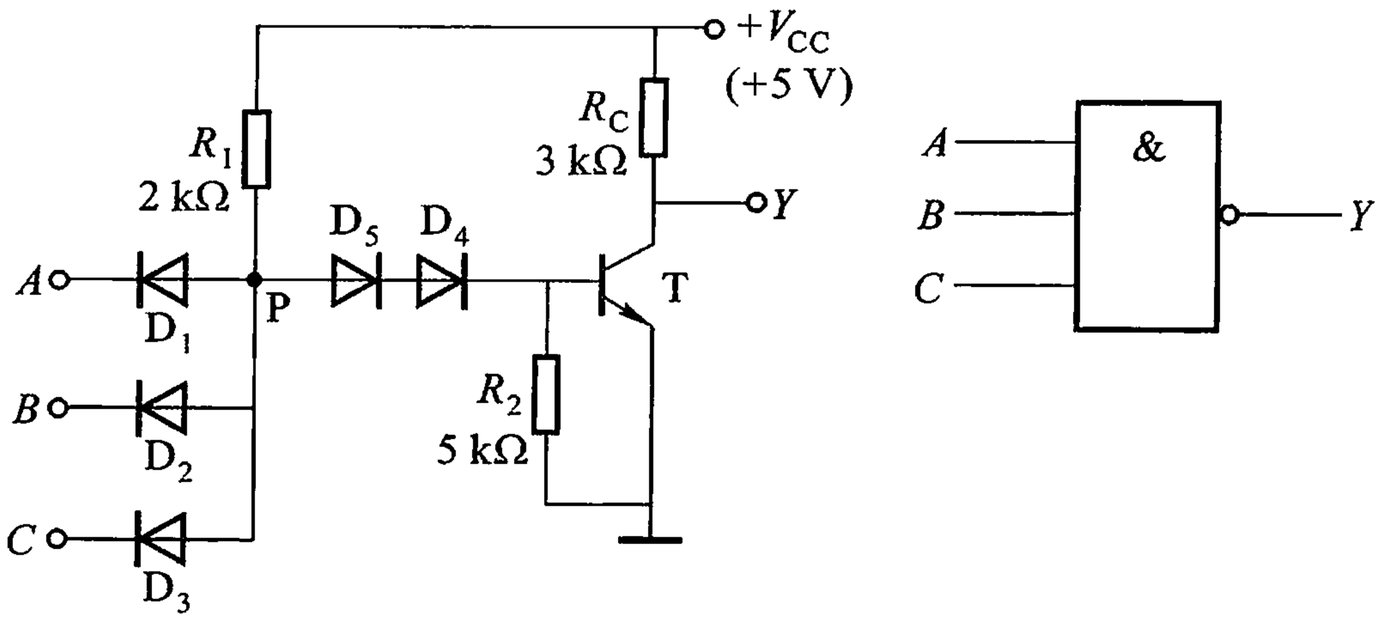
图 7.4.6(a)所示为一个由二极管**与**门和晶体管**非**门构成的复合逻辑门,称为二极管 - 晶体管逻辑门,或称 DTL 电路①。图(b)所示为它的逻辑符号。这种电路结构简单,容易制作,是早期应用的一种逻辑门。

图 7.4.6(a)中,二极管 D_4、D_5 与电阻 R_2 组成分压器对 P 点的电位进行变换。当输入端都接高电平(如 5 V)时,D_1、D_2、D_3 截止,D_4、D_5 和 T 导通,P 点的电位被钳位在 $v_P = 2V_D + v_{BE} = 2.1$ V 上,根据晶体三极管的饱和条件 $i_B > I_{B(sat)}$,只要

$$\left(\frac{V_{CC} - v_P}{R_1} - \frac{v_{BE}}{R_2}\right) > \frac{V_{CC} - V_{CE(sat)}}{\beta R_C}$$

就能保证晶体三极管 T 可靠饱和导通,使输出为低电平。在 3 个输入当中,只要有一个为低电平 V_{IL}(如 0.3 V)时,相应的一个二极管导通,P 点电位被钳在

① DTL 为 Diode - Transistor Logic 的缩写。



(a)

(b)

图 7.4.6　DTL 与非门电路和逻辑符号

(a) 电路　(b) 逻辑符号

$V_{IL} + V_D = 0.3\ V + 0.7\ V = 1\ V$ 上，这个电压虽然为 D_4、D_5 和晶体管 BE 结的正向电压，但小于 3 个 PN 结的门限电压之和，不足以使它们导通，T 是截止的，输出为高电平。可见电路具有**与非**的逻辑功能。其逻辑表达式为

$$Y = \overline{ABC} \tag{7.4.6}$$

利用二极管和晶体三极管可构成**或非**门，其逻辑表达式为

$$Y = \overline{A + B + C} \tag{7.4.7}$$

7.5　TTL 逻辑门电路

为了克服 DTL 电路在电气性能方面的许多缺陷，人们又制成了晶体管 - 晶体管逻辑门，简称 TTL 电路①。TTL 逻辑门是目前中、小规模数字集成电路广泛应用的基本单元。

7.5.1　TTL 与非门的典型电路及工作原理

1. TTL 与非门的典型电路

TTL 与非门典型电路如图 7.5.1 所示，它由输入级、中间级和输出级组成。图中 T_1 为多发射极晶体三极管，它和电阻 R_1 组成输入级，实现**与**逻辑功能。晶体三极管 T_2 和电阻 R_2、R_3 为中间放大级，从 T_2 的发射极和集电极同时输出两

① TTL 为 Transistor - Transistor Logic 的缩写。

个相位相反的信号，分别作为 T_3 和 T_4、T_5 的驱动信号。输出级由晶体三极管 T_3 和 T_4、T_5 组成，T_3 为反相器，T_4、T_5 构成的复合管作为 T_3 的有源负载，R_5 为限流电阻。这一级除了实现**非**逻辑功能外，还提高了电路的负载能力。

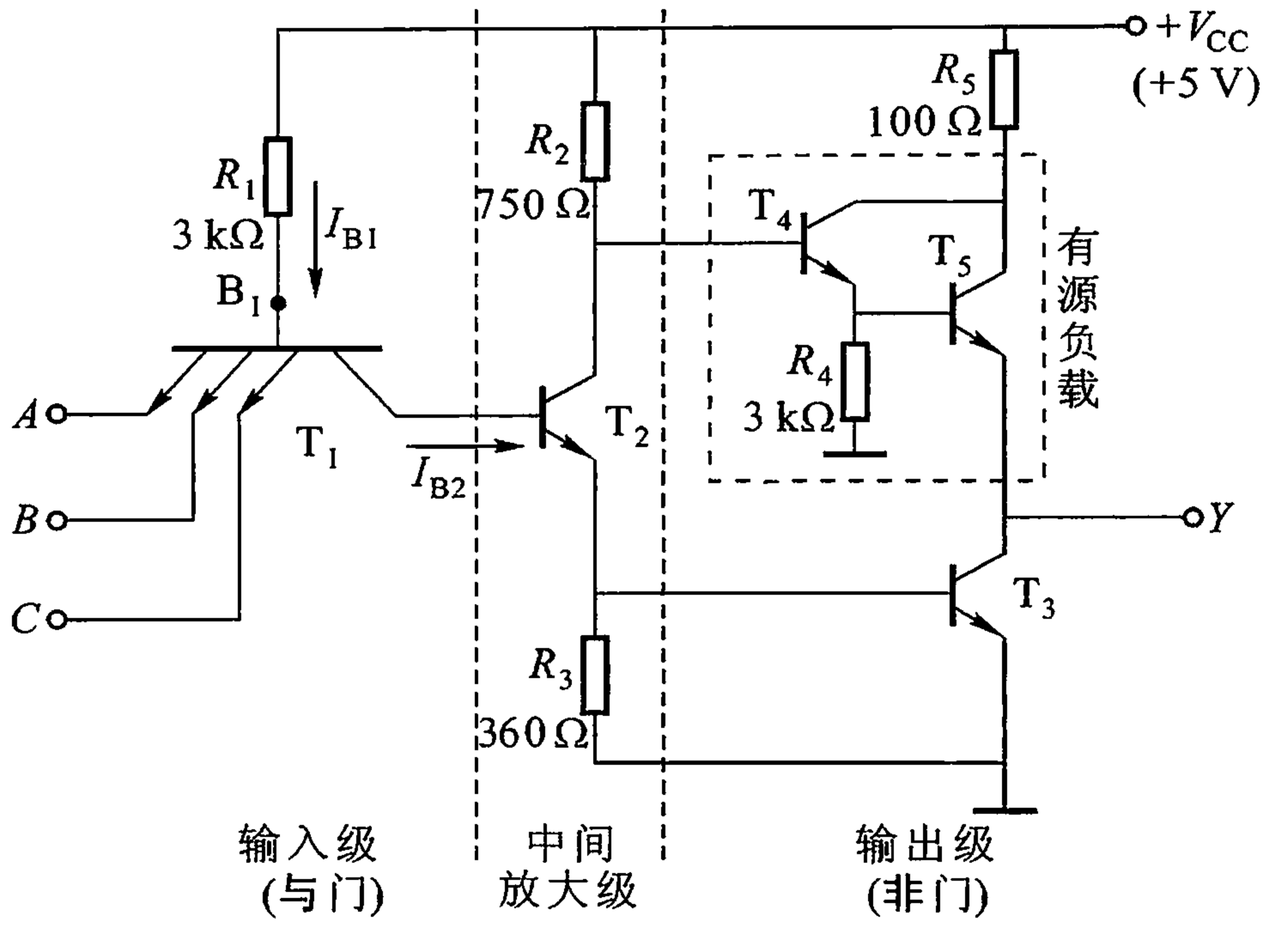


图 7.5.1　典型的 TTL 与非门电路

2. 工作原理

(1) 有一个(或几个)输入端接低电平的情况

当有一个(或几个)输入端接低电平 V_{IL}(+0.3 V)时，对应于输入端接低电平的发射结导通(设发射结导通电压为 0.7 V，则 T_1 的基极电位 v_{B1} 被钳在 0.7 V + 0.3 V = 1 V 上。v_{B1} 加在 T_1 的集电结和 T_2、T_3 的发射结上，显然，T_2 的发射结是不会导通的。这时流过 T_1 的基极电流

$$I_{B1} = \frac{V_{CC} - v_{B1}}{R_1} = \frac{(5-1)\text{ V}}{3\text{ k}\Omega} = 1.33\text{ mA}$$

而 T_1 的集电极回路电阻为 R_2 和 T_2 的 B－C 结反向电阻之和(设两电阻之和为 R_2')，其阻值非常大，则 T_1 的集电极电流 $I_{C1} = V_{CC}/R_2' \approx 0$，$I_{C1}$ 实质上是 T_2 的集电结的反向漏电流。使得 $i_{B1} \gg V_{CC}/(\beta R_2')$，因而 T_1 工作在深饱和状态，故 $V_{CE(sat)1}$ = 0.1 V，因此，T_1 集电极电压 $v_{C1} = V_{IL} + V_{CE(sat)1} = 0.4$ V，所以 T_2、T_3 都截止。由于 T_2 截止，v_{C2} 为高电平，使复合管 T_4、T_5 导通，因此，输出电压为

$$v_O = V_{CC} - i_{B4}R_2 - v_{BE4} - v_{BE5}$$

因 i_{B4} 很小，$i_{B4}R_2$ 一项可以忽略，而且电路参数又设计得使 T_4、T_5 分别处于微饱和与放大状态，于是

$$v_O = (5 - 0.7 - 0.7)\text{ V} \approx 3.6\text{ V}$$

表明输出为高电平，即输出为**1**。

（2）输入端 A、B、C 全部接高电平的情况

当输入端 A、B、C 全部接高电平 V_{IH}（+3.6 V）时，T_1 的基极电位即随着升高，若不考虑 T_2 的存在，则 $v_{B1} = V_{IH} + 0.7\ V = 4.3\ V$。再分析 T_1 的 B－C 结、T_2 和 T_3 的 B－E 结的情况。在 T_1 的 B－C 结、T_2 和 T_3 的 B－E 结这一回路中，5 V 的电源电压经过 R_1 使这 3 个 PN 结正向导通，结果 $v_{B1} = v_{BC1} + v_{BE2} + v_{BE3} = 2.1\ V$ 左右，这时 v_{B1} 被钳在 2.1 V 左右，而不是 4.3 V。从 T_1 管各极电压的大小可知，T_1 管的各发射结都处于反向偏置，而集电结则为正向偏置，且 $v_{BC1} = 0.7\ V$，表明 T_1 管处于集电极和发射极颠倒的“倒置”放大状态。于是 T_1 的基极电流和所有发射极电流都流向 T_2 管的基极，驱使 T_2 管饱和导通，其集电极电压为

$$v_{C2} = V_{CE(sat)2} + v_{BE3} = 0.3\ V + 0.7\ V = 1\ V$$

这个电压加到 T_4 的基极，此值大于 T_4 的发射结正向电压，使 T_4 导通，于是 $v_{E4} = v_{B5} = 1\ V - 0.7\ V = 0.3\ V$，这一电压不足以开启 T_5，所以 T_5 截止。对于输出管 T_3，在输出端空载时其集电极电流 $i_{C3} = i_{E5} = 0$，而从 T_2 的发射极给 T_3 的基极送来了很大的基极电流，使 $i_{B3} \gg I_{B(sat)3} = 0$，$T_3$ 处于深饱和状态，其 $V_{CE(sat)3} \approx 0.1\ V$。在有外接负载时，负载电流流进 T_3 形成一定的集电极电流，使 $V_{CE(sat)3}$ 有所升高，在额定的负载下，输出电压为

$$v_O = V_{CE(sat)3} \approx 0.3\ V$$

表明输出为低电平，即输出为**0**。

上述讨论说明，电路图 7.5.1 的输出端与输入端之间是**与非**逻辑关系，所以图 7.5.1 所示为一个**与非**门电路。其输出高电平的典型数值为 3.6 V，低电平为 0.3 V。因此，在分析 TTL 电路时，把 3.6 V 和 0.3 V 分别作为标准高、低电平值。

7.5.2　电压传输特性和干扰容限

1. TTL 与非门的电压传输特性

与非门电路输出电压 v_O 随输入电压 v_I 变化的曲线，可用电压传输特性来描述，如图 7.5.2 所示。

在曲线的 ab 段，$v_I < 0.6\ V$，T_1 饱和，则 $v_{C1} = v_I + V_{CE(sat)1} < 0.7\ V$，所以 T_2 和 T_3 都截止，而 T_4 和 T_5 都导通，故输出为高电平，$V_{OH} = 3.6\ V$，把这一段称为特性曲线的截止区（也称为门处于截止状态或关闭状态）。

在曲线的 bc 段，$0.6\ V < v_I < 1.3\ V$，在这一段里，使得 T_2 首先导通，而 T_3 的基极到地电位仍低于晶体管的开启电压，所以 T_3 仍处于截止状态，而且 T_2 进入放大区，因 T_4、T_5 为跟随器，所以 v_{C2} 和 v_O 随 v_I 的升高而线性地下降。这一段称为特性曲线的线性区。

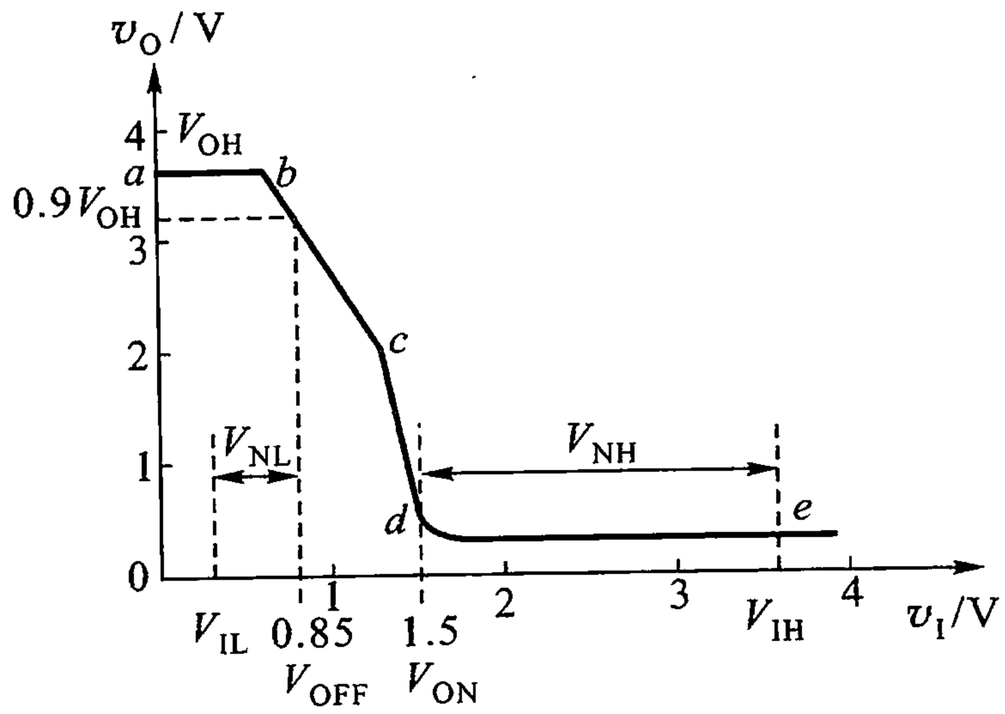


图 7.5.2　TTL 与非门的电压传输特性

在曲线的 cd 段，v_I在 1.4 V 左右，致使 T_3 也转为导通状态，输出电压急剧下降为低电平，此段称为转折区。转折区中间对应的输入电压值称为阈值电压或门槛电压，用 $V_{I(th)}$ 表示，其值为 1.4 V。

在曲线的 de 段，$v_I > 1.4$ V 以后，v_{B1}被钳位在 2.1 V，T_1 处于倒置工作状态，T_2、T_3 进入饱和导通状态，由于 v_{C2}过低，使 T_4 工作在微导通状态，T_5 截止。输出电压完全由 T_3 的饱和压降决定，这一段称为特性曲线的饱和区（也称为门的导通状态或开启状态），相应的输出低电平 V_{OL}约为 0.3 V。

2. 干扰容限

TTL 与非门在实际使用时，输入端有时会出现外来干扰电压（亦称噪声）叠加在输入信号上。当干扰电压超过一定数值时，就会破坏与非门的正常工作，造成逻辑上的错误。通常把允许承受的最大干扰电压值称为干扰容限或噪声容限。为了更好理解干扰容限的概念，先介绍关门电平和开门电平两个基本参数。

关门电平 V_{OFF}。在保证输出为额定高电平的 90% 的条件下，允许的最大输入低电平值，称为关门电平，用 V_{OFF}表示。

开门电平 V_{ON}。在保证输出为额定低电平时，所允许的最小输入高电平值，称为开门电平，用 V_{ON}表示。

在正常工作的情况下，要使与非门可靠地截止，输出为高电平，则 v_I必须小于 V_{OFF}，而要使与非门可靠地饱和，输出为低电平，则 v_I必须大于 V_{ON}。

干扰容限电压分为低电平干扰容限电压和高电平干扰容限电压。

低电平容限电压。在保证输出高电平不低于额定值的 90% 的前提下，允许叠加在输入低电平上的干扰（或噪声）电压，称为低电平容限电压，用 V_{NL}表示。由图 7.5.2 可得

$$V_{NL} = V_{OFF} - V_{IL} = 0.85\ \text{V} - 0.3\ \text{V} = 0.55\ \text{V}$$

高电平容限电压。在保证输出为低电平的前提下，所允许叠加在输入高电平上（极性和输入信号相反）的最大干扰（或噪声）电压，称为高电平容限电压，用 V_{NH} 表示。由图 7.5.2 可得

$$V_{NH} = V_{IH} - V_{ON} = 3.6\ \text{V} - 1.5\ \text{V} = 2.1\ \text{V}$$

干扰容限电压是用来说明门电路抗干扰能力的参数，其值大，则抗干扰能力强；反之则弱。

7.5.3　TTL 与非门的输入特性、输出特性和负载能力

掌握 TTL 与非门的输入特性、输出特性的概念，对正确地使用与非门十分有益。

1. TTL 与非门的输入特性

TTL 与非门的输入特性是描述输入电流 i_I 与输入电压 v_I 之间的关系曲线。TTL 与非门的输入特性可用图 7.5.3（a）所示的等效电路来讨论。图中所标电流方向为正，即规定流入输入端的方向为正，从输入端流出的方向为负。当 $v_I < 0.6\ \text{V}$ 时，T_2、T_3 截止，从而使 T_1 的基极电流只能经 T_1 的发射极流出，其输入电流

$$i_I = -(V_{CC} - v_{BE1} - v_I)/R_1 \tag{7.5.1}$$

$v_I = 0$ 相当于输入端对地短路，因此，通常把 $v_I = 0\ \text{V}$ 时的输入电流称为输入短路电流 I_{IS}，由式（7.5.1）可以算出 $I_{IS} \approx 1.4\ \text{mA}$。从 TTL 与非门的传输特性可知，当 $0.7\ \text{V} < v_I < 1.3\ \text{V}$ 时，T_2 管导通。一方面，随着 v_I 的增加，i_{B1} 的值略有减小；另

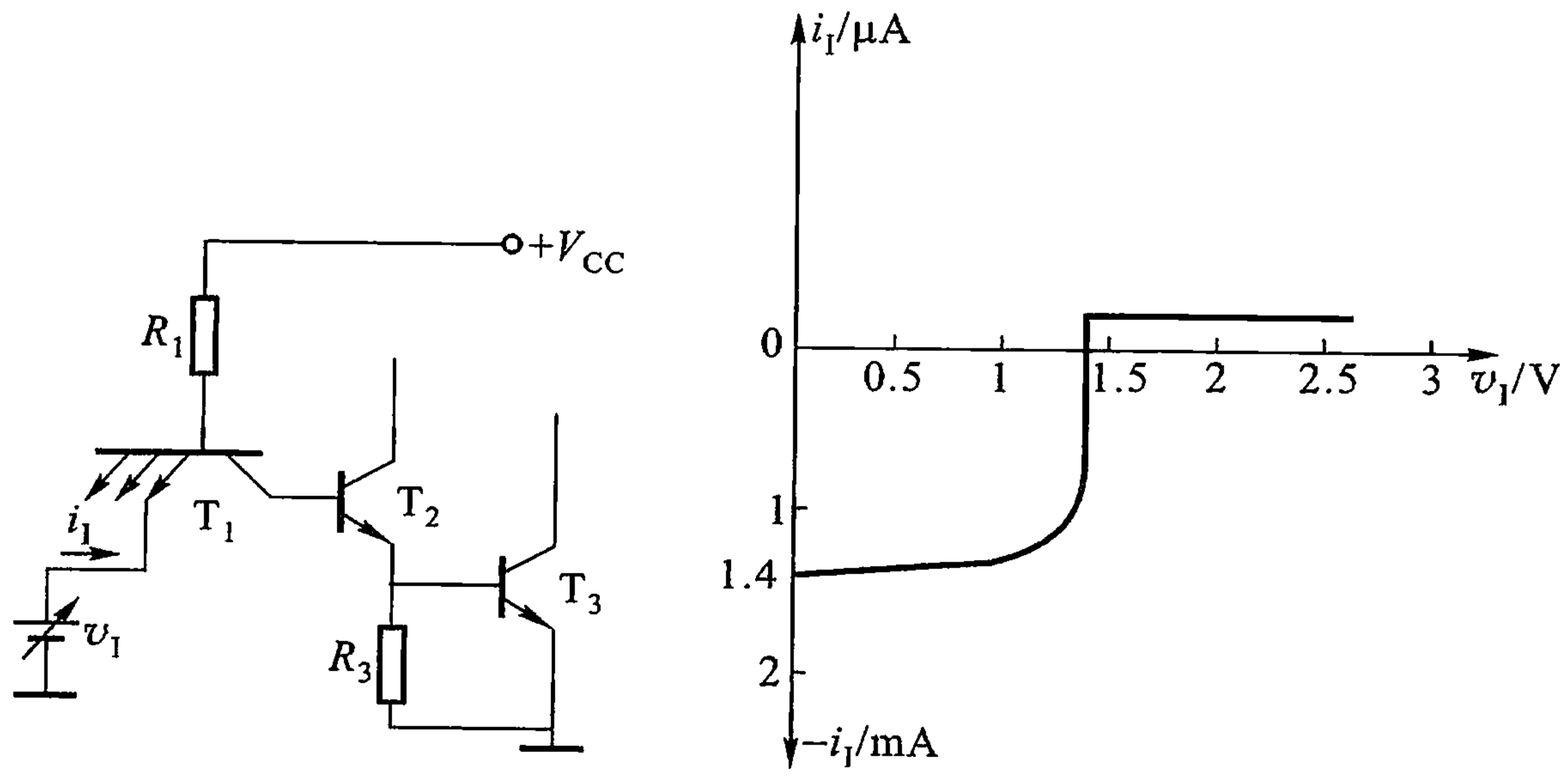


图 7.5.3　TTL 与非门输入特性

（a）输入电路　（b）输入特性

一方面，因 T_2 导通，T_1 的基极电流一部分经 T_1 的 B－C 结流入 T_2 的基极，从而使 i_I 的绝对值略有减小。当 1.3 V $< v_I <$ 1.4 V 时，T_3 也导通，$v_{B1} = 2.1$ V，$|i_{B1}|$ 的值下降，同时 i_{B1} 的绝大部分经 T_1 的 B－C 结流入 T_2 的基极，从而使 $|i_I|$ 的值迅速减小。当 $v_I > 1.4$ V 时，T_1 工作在倒置状态，使输入电流 i_I 的方向发生变化，输入电流 i_I 流入到输入端，即 i_I 的方向由负变正，如图 7.5.3(b)的输入特性所示。当 v_I 继续增加，i_I 略有增大。当 $v_I = 3.6$ V，输入电流 i_I 称为输入高电平电流 i_{IH}，也称输入漏电流，其值为 10 μA 左右。

2. TTL 与非门输入端负载特性

在使用 TTL 与非门时，经常要在输入端与地之间或输入端与信号源之间通过一个负载电阻接地，如图 7.5.4(a)所示。当 T_1 的发射极接有负载电阻 R_i 时，就有输入电流 i_I 流经 R_i，并在 R_i 上产生压降 v_I，v_I 的值与 R_i 的大小有关，把 v_I 和 R_i 之间的关系曲线称为 TTL 与非门的输入负载特性，如图 7.5.4(b)所示。由图可得

$$v_I = \frac{V_{CC} - V_{BE1}}{R_1 + R_i} R_i \tag{7.5.2}$$

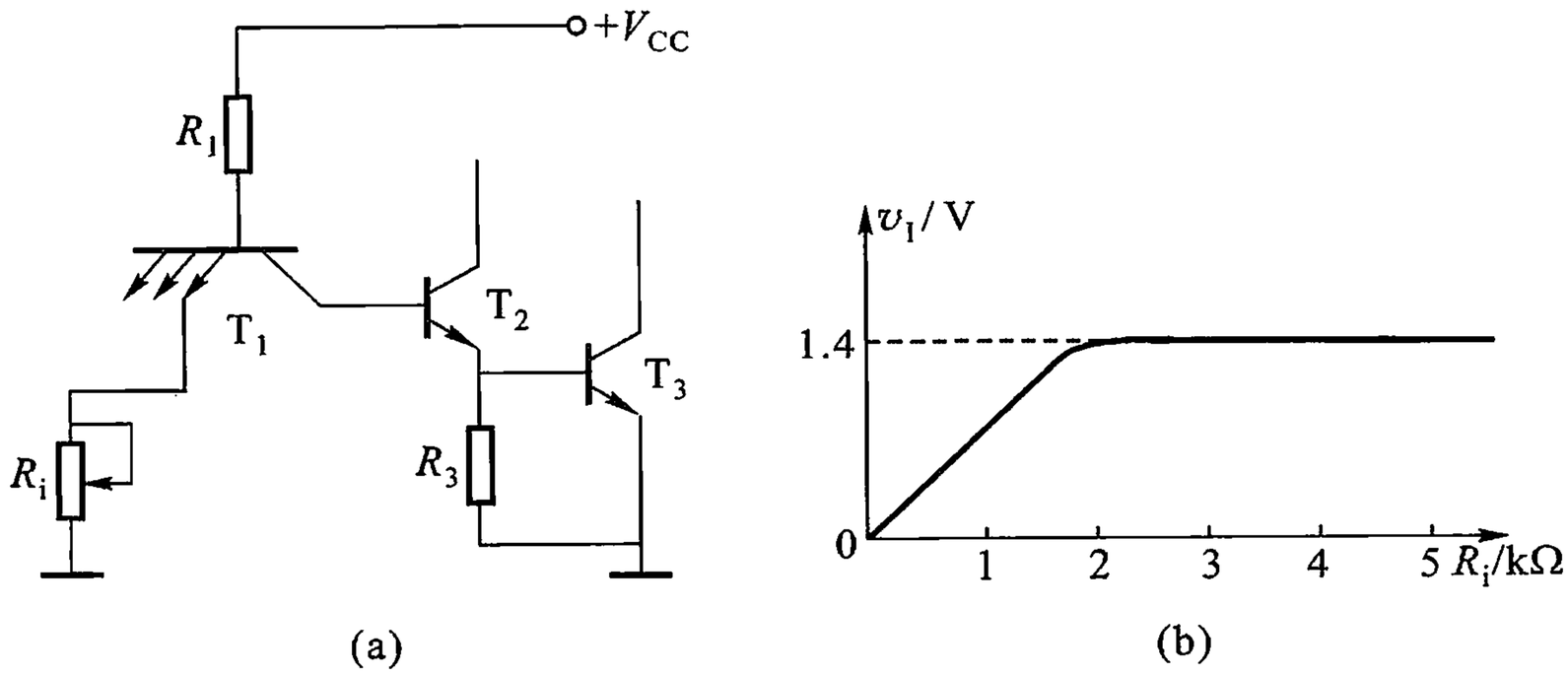


图 7.5.4　TTL 与非门输入端负载特性

（a）输入电路　（b）特性曲线

式(7.5.2)说明，随着 R_i 的增加 v_I 也随着上升，当 v_I 上升到 1.4 V 时，由于 T_2、T_3 导通，v_{B1} 钳位在 2.1 V 左右，以后若 R_i 进一步增加，v_I 也不再升高。可见，v_I 达到 1.4 V 以后，v_I 与 R_i 的关系不再满足式(7.5.2)。

关门电阻 R_{OFF}：保证 TTL 与非门输出为标准高电平时，所允许的 R_i 最大值。通常 $R_{OFF} \leqslant 0.7$ kΩ。

开门电阻 R_{ON}：保证 TTL 与非门输出为标准低电平时，所允许的 R_i 最小值。通常 $R_{ON} \geqslant 1.5$ kΩ。

3. TTL 与非门的输出特性

与非门输出端连接的其他电路，就是它的负载。若负载发生变化，则输出电流也必然发生变化，变化的输出电流 i_L 又会影响输出电压 v_O 的大小。输出电压 v_O 与负载电流 i_L 之间的关系曲线称为输出特性。与非门的输出有两种状态，即输出高电平和输出低电平，因此，输出特性分为输出高电平时的输出特性和输出低电平时的输出特性，下面分别讨论。

（1）输出为高电平时输出特性

当输入端有一个（或几个）为低电平时，T_3 管截止，T_4、T_5 管导通，输出为高电平，其输出端的等效电路如图 7.5.5(a)所示。输出电流 i_L 从输出端流向负载，即负载向本级门拉出电流，故称拉电流负载，输出高电平的输出特性如图 7.5.5(b)所示。负载电流 i_L 较小的情况下，T_4、T_5 工作在射极输出状态，其输出电阻很小，输出电压 v_O 随负载电流 i_L 变化不大。随着 i_L 的进一步增加，R_5 两端的压降也随之加大，v_{C4} 下降，最终将使 T_4 的 B－C 结正偏，使 T_4 进入饱和，复合管跟随器处于饱和状态，这时 T_4、T_5 将失去跟随功能，因而 v_O 便随 i_L 的增加而迅速下降（$v_O = V_{CC} - v_{CE(sat)4} - v_{BE5} - i_L R_5$）。为了保证 v_O 为额定高电平，所以对拉电流值要有限定。

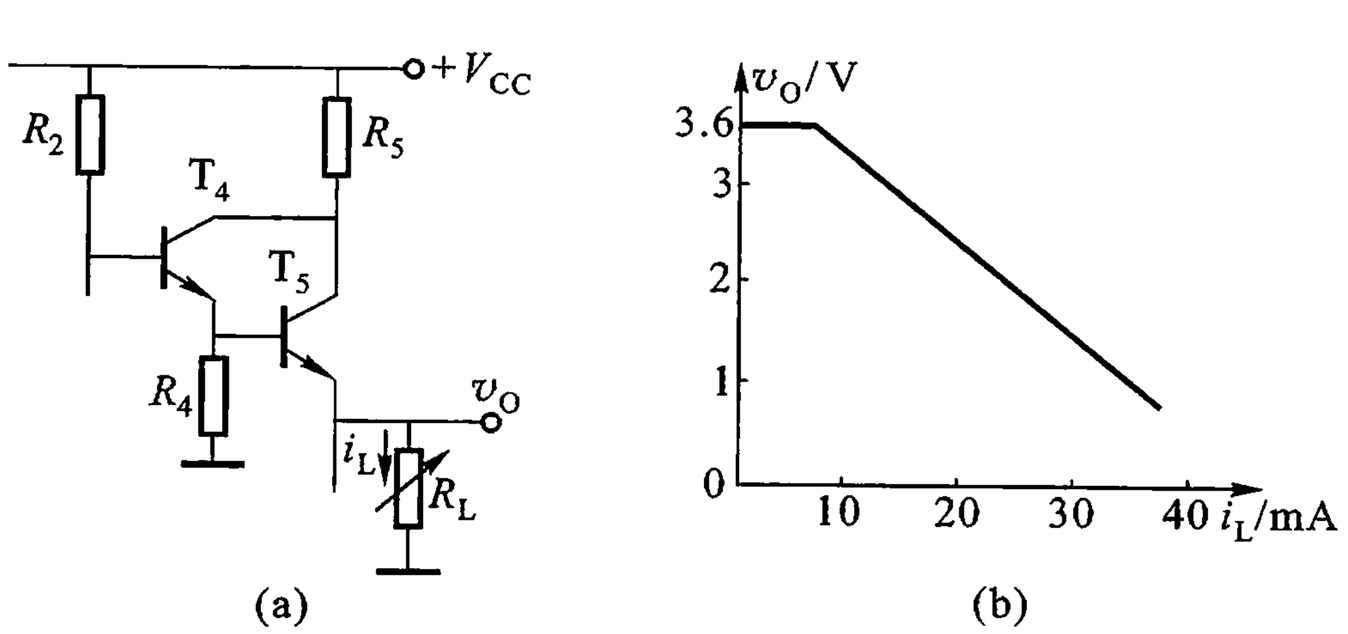
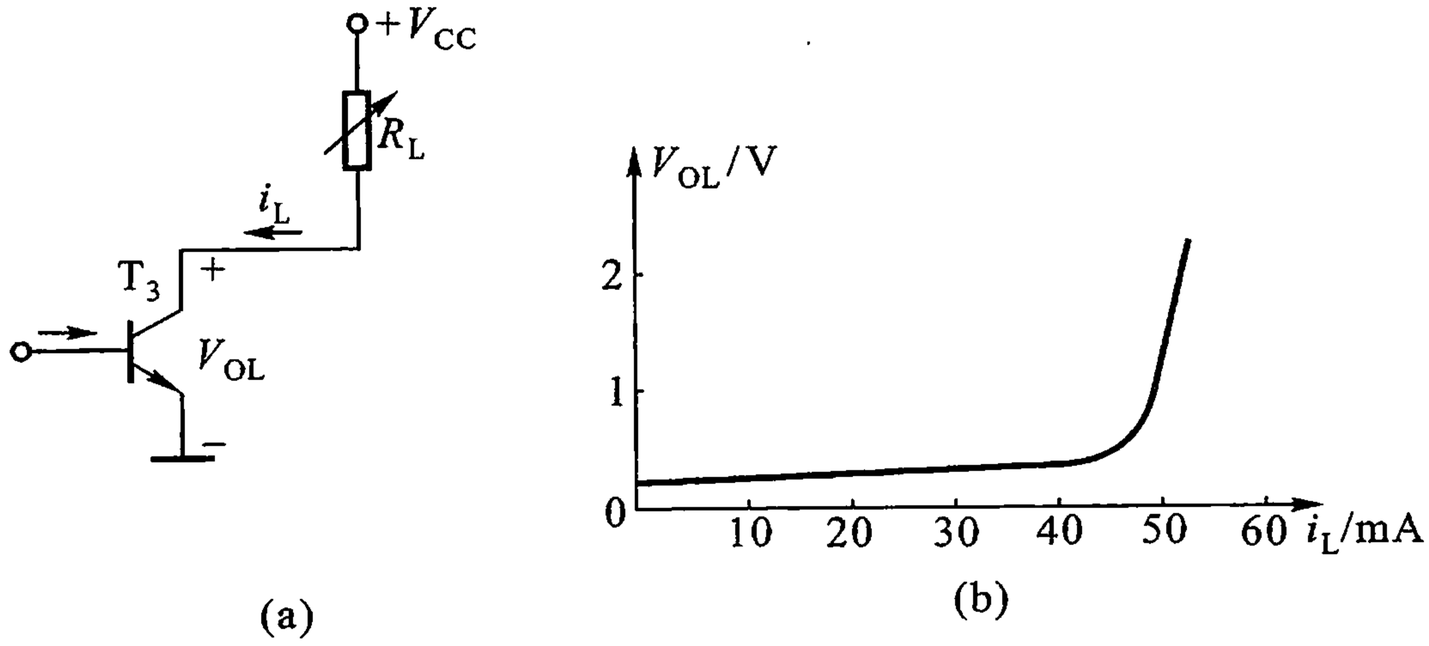


图 7.5.5　TTL 与非门输出为高电平时的输出特性

（a）输出电路　（b）输出特性

（2）输出为低电平时的输出特性

当输入全为高电平时，T_5 截止、T_3 饱和导通，输出为低电平，其输出端的等效电路如图 7.5.6(a)所示。负载电流 i_L 流进 T_3 的集电极，称为灌电流负载，低电平输出特性如图 7.5.6(b)所示。由于 T_3 工作在饱和状态，其导通内阻 r_{CE} 很小（通常在 10 Ω 以内），所以输出电压 V_{OL} 随负载电流 i_L 的增加而缓慢上升。当负载电流过大，会使 $i_{B3} < i_L/\beta$，将使 T_3 退出饱和区而进入放大状态，使 V_{OL} 明显上升，破坏了输入高电平而输出低电平的逻辑关系。因而对灌电流值也要有限制。



(a) (b)

图 7.5.6 TTL 与非门输出为低电平时的输出特性

(a) 输出级等效电路 (b) 输出特性

4. 负载能力

一个与非门的负载能力,通常用扇出系数来衡量。扇出系数是指一个与非门能带同类门的最大数目,用 N_o 表示。从以上 TTL 与非门输出特性的讨论可知,通常把负载分为两种,一种是“拉电流”负载,另一种为“灌电流”负载。拉电流负载,其负载电流 i_L 增加会使高电平下降。对于灌电流负载,负载电流 i_L 增加,会使输出低电平上升。TTL 与非门在输出为高电平时,每一后级门的输入电流仅几十微安,因此,可以带同类门的数目较多。输出为低电平时,若灌电流过大,会破坏与非门正常的逻辑关系。因此,衡量负载能力的扇出系数 N_o 取决于输出低电平灌电流负载。一般手册上给出 N_o 为 8。

7.5.4 TTL 与非门的转换速度

在 TTL 电路中,提高工作速度的关键措施是采用了多发射极晶体管,因为一个多发射极晶体管的各发射结和集电结之间是相互联系的,并且具有电流放大作用。当 TTL 与非门输出为低电平时,T_2 和 T_3 处于饱和状态,它们的基区存储了大量的多余电荷。在某一输入端由高电平变为低电平的瞬间,v_{B1} 将由原来的 2.1 V 变为 1 V,但由于 T_2、T_3 原来处于饱和状态,它们的存储电荷还来不及消散,发射结仍保持 0.7 V 的正向偏压,T_1 的集电极电压 $v_{C1}=2v_{BE}=1.4$ V,故此刻 T_1 的集电结为反偏,而输入端为低电平的发射结为正偏,于是 T_1 管工作在放大状态。这时 T_1 的基极电流 i_{B1} 流向接低电平的输入端,同时产生一个很大的集电极电流 βi_{B1}。显然,i_{C1} 即为 T_2 管的基极反向驱动电流,它将迅速泄放 T_2 的存储电荷,使 T_2 管很快截止。由于 T_2 的迅速截止,v_{C2} 上升,T_4、T_5 随之导通。这时 V_{CC} 通过 R_2 给 T_4 提供的基极电流经 T_4、T_5 放大后,使 T_5 的

集电极产生一个很大的瞬时电流。它迅速泄放 T_3 基区的存储电荷，缩短 T_3 由导通到截止的转换时间，提高了电路的工作速度。

当 TTL 与非门的输入端由低电平全部变为高电平时，T_1 管工作在倒置状态，基极电流 i_{B1} 流向 T_2 的基极，成为 T_2 管基极的正向驱动电流，经 T_2 管放大后，产生更大的电流驱动 T_3，于是 T_2 和 T_3 由截止很快变为饱和，从而加速了状态的转换，使输电压 v_O 由高电平迅速变为低电平。

TTL 与非门的输出信号比输入信号在时间上有一定的滞后，即信号通过一级门所消耗的时间，称为平均延迟时间，简称传输时间，记作 t_{pd}。逻辑门的工作速度通常是用平均传输延迟时间衡量的。由图 7.5.7 可见，从输入波形上升沿 $0.5V_m$ 处至输出波形下降沿的 $0.5V_m$ 处的时间，称为导通延迟时间 t_{pd1}；从输入波形下降沿的 $0.5V_m$ 处至输出波形上升沿的 $0.5V_m$ 处的时间称为截止延迟时间 t_{pd2}。平均传输延迟时间 t_{pd} 定义为 t_{pd1} 和 t_{pd2} 的平均值，即

$$t_{pd} = \frac{1}{2}(t_{pd1} + t_{pd2}) \qquad (7.5.3)$$

t_{pd} 愈小，逻辑门的工作速度愈高。

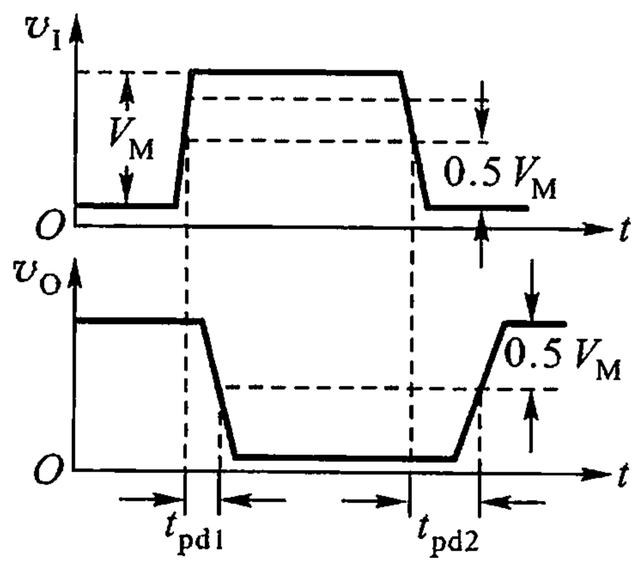


图 7.5.7　与非门的延迟时间

一般说来，门的速度和功耗是矛盾的。TTL 门速度的提高，是以增加功耗为代价的。TTL 与非门的空载功耗是当与非门空载时电源总电流 I_{CC} 与电源电压 V_{CC} 的乘积。当输出为低电平时的功耗称为空载导通功耗 P_{ON}，当输出为高电平时的功耗称为空载截止功耗 P_{OFF}。P_{ON} 总比 P_{OFF} 大。图 7.5.1 所示 TTL 与非门的空载功耗高达 30 mW 左右，其主要原因是 TTL 门增加了中间放大级。正是该级的引入对提高速度起了重要的作用。

表 7.5.1　TTL 与非门的主要参数

参数名称	符号	单位	测 试 条 件	指 标
空载导通功耗	P_{ON}	mW	输入端悬空，空载，$V_{CC}=5$ V	≤50
输出高电平	V_{OH}	V	$V_I=0$ V，空载，$V_{CC}=5$ V	≥3.0
输出低电平	V_{OL}	V	$V_I=1.8$ V，$I_L=12.8$ mA，$V_{CC}=5$ V	≤0.35
输入短路电流	I_{IS}	mA	$V_I=0$，$V_{CC}=5$ V	≤ −2.2
输入漏电流	I_{IH}	μA	$V_I=5$ V，其他输入端接地，$V_{CC}=5$ V	≤70
开门电平	V_{ON}	V	$V_{OL}=0.35$ V，$I_L=12.8$ mA，$V_{CC}=5$ V	≤1.8
关门电平	V_{OFF}	V	$V_{OH}=2.7$ V，空载，$V_{CC}=5$ V	≥0.8
扇出系数	N_o		$V_I=1.8$ V，$V_{OL}\leqslant 0.35$ V，$V_{CC}=5$ V	≥8
平均传输时间	t_{pd}	ns	信号频率 $f=2$ MHz，$N_o=8$，$V_{CC}=5$ V	≤30

必须指出,TTL 门的平均功耗与其工作频率有关。由图 7.5.1 可见,由于 T_5 的导通才促使 T_3 退出饱和区,在 T_3 由饱和到截止的转换过程中必有一段暂短的时间(约 10 ~ 20 ns)T_3 和 T_5 同时导通,因而在电源和地之间形成一个低阻回路,即使增加了 100 Ω 的限流电阻 R_5,流过 T_3 和 T_5 的瞬态电流高达 40 mA 左右。这个尖峰电流的存在,增加了门的平均功耗。且频率愈高,平均功耗愈大。在选用电源和装配逻辑电路时,必须注意到这一情况。

至此,已经接触了 TTL 与非门的主要参数,现把它们概括起来,列于表 7.5.1 中。

7.5.5 抗饱和 TTL 电路

为了减少 TTL 电路中的晶体管因饱和而贮存于基区的存储电荷,目前使用了一种抗饱和 TTL 电路。在这种电路中,采用了肖特基势垒二极管 SBD① 钳位的方法,使晶体管处于非饱和导通或临界饱和导通状态,从而进一步提高 TTL 与非门的开关速率,使其平均传输时间可缩短到 2 ~ 4 ns。一般这种抗饱和电路称为 SBDTTL 电路,简称 STTL 电路。

肖特基势垒二极管的 PN 结是由金属铝和 N 型硅半导体相接触形成的,其特点是:

(1) 它和 PN 结一样,同样具有单向导电性,这种铝 - 硅势垒二极管(Al - Si SBD)导通电流的方向是从铝到硅;

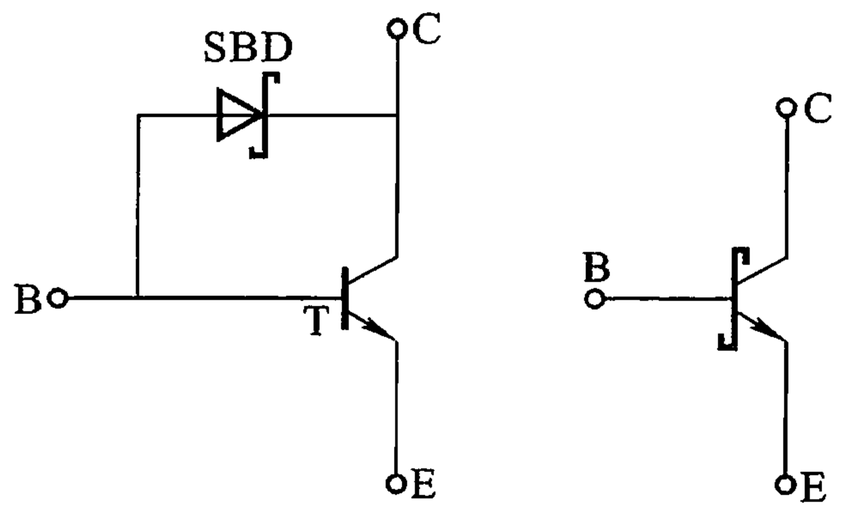
(2) Al - Si SBD 的正向压降较低,约为 0.4 V 左右,比普通硅 PN 结正向压降约低 0.2 V;

(3) 势垒二极管的导电机构是多数载流子,因此,几乎没有电荷存储效应。它本身不会给电路增添附加开关时间。

采用肖特基二极管之所以能提高 TTL 电路的速率,是因为工作于饱和状态的晶体管基极和集电极并接了一正向导通压降较低的肖特基势垒二极管,如图 7.5.8(a)所示,通常把它们合在一起当作一个器件来看待,称为抗饱和晶体管或肖特基晶体管,代表符号如图 7.5.8(b)所示。当晶体管的集电结进入正向偏置以后,SBD 首先导通,并将集电结的正向电压钳制在 0.4 V 左右。此后,从基极注入的过驱动电流便被 SBD 分流,使基极电流不再增加,这就限制了晶体管的饱和程度,使 v_{CE} 约为 0.3 ~ 0.4 V,从而减少主要由存储电荷而引起的开关时间,使 TTL 与非门电路的速度大大提高。由于肖特基二极管对晶体管基极电流产生分流作用,使晶体管工作在浅饱和区,以达到明显的抗饱和效果。

---

① SBD 是 Schottky - Barrier - Diode 的缩写。



(a)　　(b)

图 7.5.8　带有肖特基二极管钳位的三极管

(a) 电路连接方式　(b) 代表符号

在图 7.5.9 所示电路中，用 R_3、R_6 和 T_6 管组成的有源泄放电路代替图 7.5.1 与非门中的 R_3，为 T_3 管的基极提供了一个有源泄放回路。

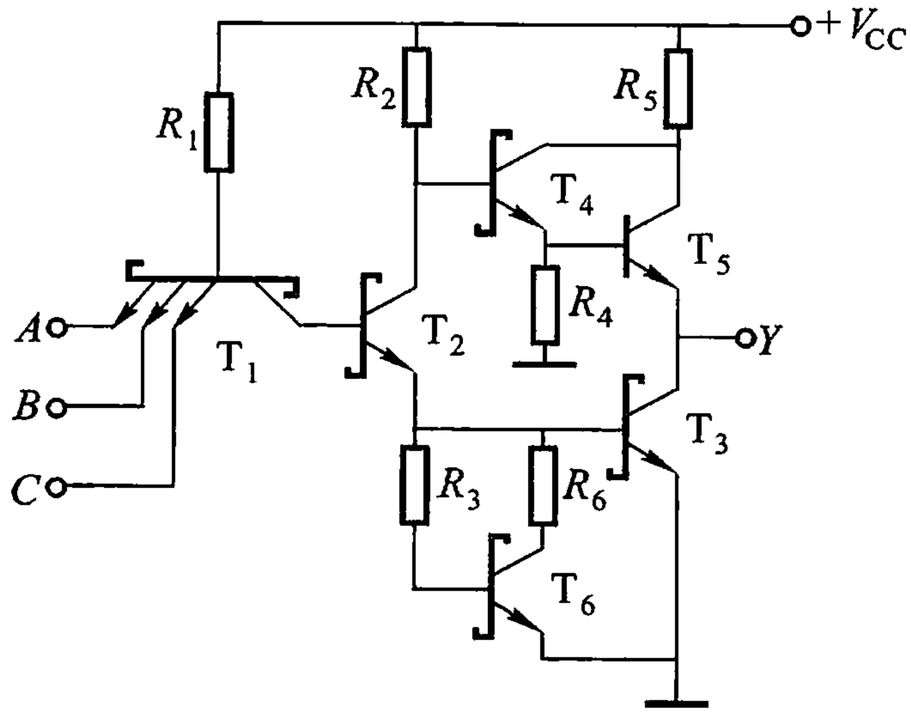


图 7.5.9　抗饱和的典型电路

当输入由低电平全部变成高电平时，T_2 将迅速导通，由于 T_6 的基极通过电阻 R_3 接到 T_2 的发射极，而 T_3 的基极与 T_2 的发射极直接相连，所以在 T_2 由截止变为导通的瞬间，使得 T_3 比 T_6 优先导通，而且加速了 T_3 的导通过程，从而缩短了开通时间。在 T_3 导通进入稳态时，由于 T_6 导通后的分流作用，使 T_3 不进入深饱和状态，有利于 T_3 由饱和到截止的过渡，这样就缩短了存储时间。

当输入由高电平变为低电平时，T_2 进入截止，由于 T_6 的基极和集电极分别通过电阻 R_3 和 R_6 一同接到 T_3 的基极，加之 T_6 又无泄放电阻，所以 T_6 要比 T_3 后截止，因此，T_3 由饱和变为截止时，其基区存储电荷可通过 R_3、R_6 和 T_6 低内阻回路进行泄放，使 T_3 得以迅速截止。因此，有源泄放回路的引入，缩短了门电

路的传输延迟时间。

此外，引进有源泄放回路也改善了门电路的电压传输特性。在典型的 TTL 与非门电路中，由于 T_2 导通，而 T_3 尚未导通阶段的存在，正是产生电压传输特性线性区的原因。而有源泄放回路的引入，使得 T_2 的发射结必须经过 T_3 或 T_6 的发射结才能导通，而 T_3 又比 T_6 优先导通，因此，不存在 T_2 导通，T_3 尚未导通的阶段。所以在抗饱和 TTL 与非门的电压传输特性中没有线性区，如图 7.5.10 所示。

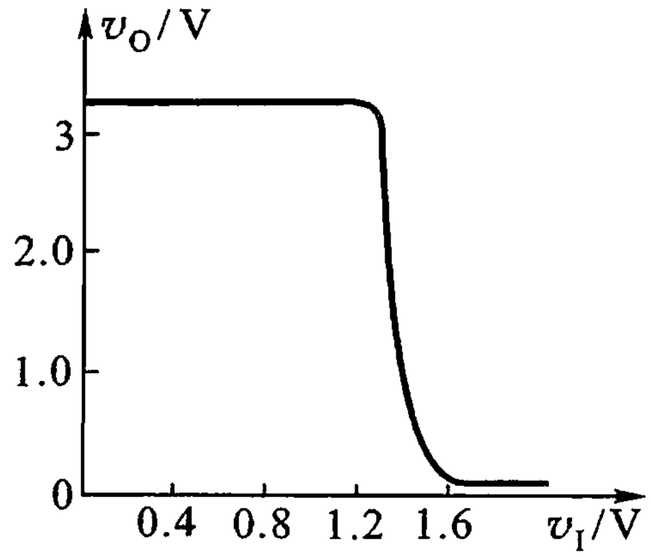


图 7.5.10 抗饱和典型电路的电压传输特性

7.5.6 集电极开路与非门和三态输出与非门

在实际应用中，有时希望将多个与非门的输出端并联起来，以获得附加的逻辑功能。然而在一般的 TTL 与非门中，无论输出是高电平还是低电平，输出电阻都很小，不允许将输出端直接并联起来使用。图 7.5.11 所示的电路是两个与非门并联的情况。由图可见，当二者互为开、关状态时，将有一个很大的电流从输出为 **1** 的与非门的 T_5 管流到输出为 **0** 的与非门的 T_3 管，使输出低电平抬高，甚至会使门电路损坏。为此专门生产了一种集电极开路输出的门电路，简称 OC① 门

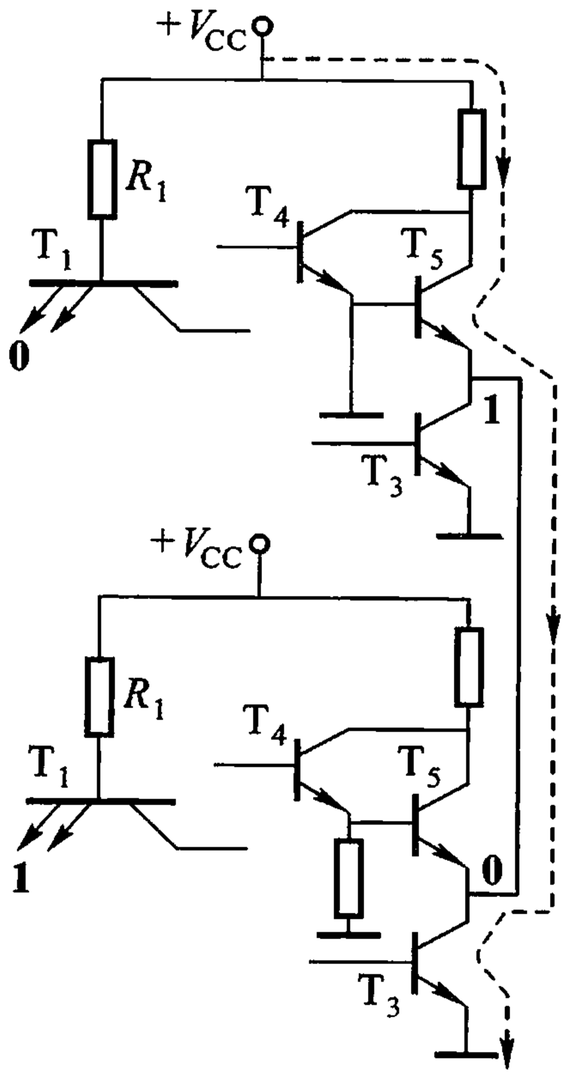


图 7.5.11 两个与非门输出端并联的情况

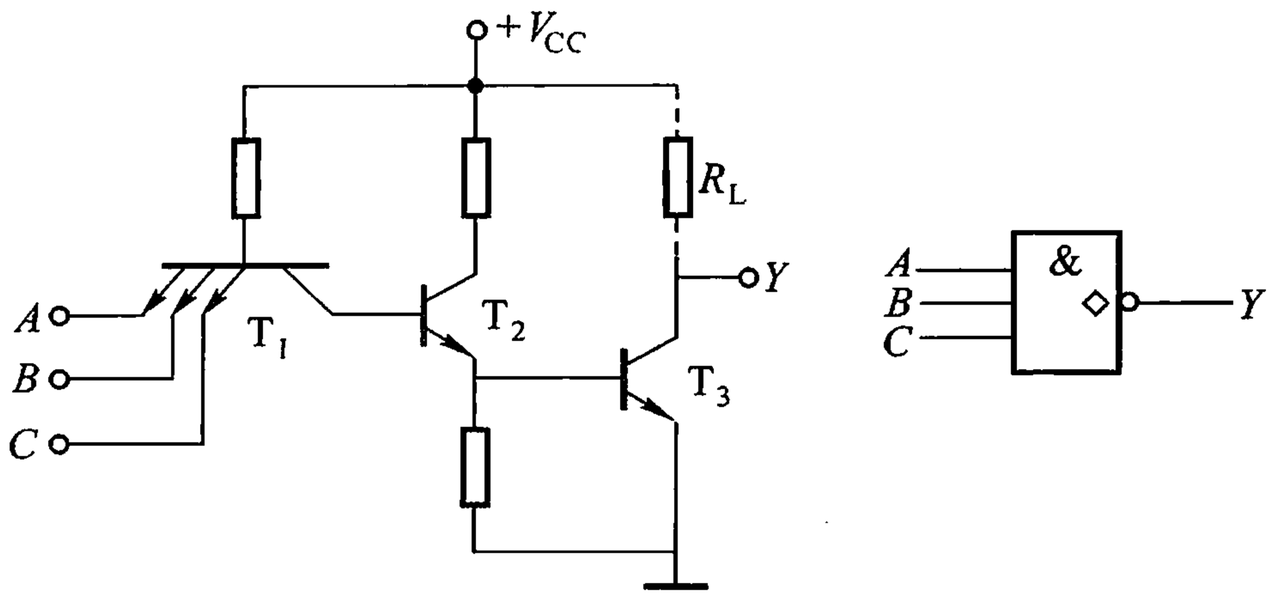
1. 集电极开路与非门

集电极开路与非门电路的结构如图 7.5.12(a)所示，逻辑符号如图 7.5.12(b)所示。这种门电路在工作时需外接负载和电源 V_{CC}。OC 与非门与典型 TTL 与非门的区别在于以一个外接负载电阻 R_L 来代替 T_3 的集电极有源负载。由于 T_3 的集电极是悬空的，所以把它称为集电极开路与非门。

在用集电极开路与非门组成逻辑门电路时，可将 n 个门的输出端直接用导线连在一起，实现变量之间的与逻辑，如图 7.5.13 所示。这种靠线的连接实现与逻辑的方式称为**线与**。在输出端的连接点上，有

$$Y_1 = \overline{A_1\ B_1\ C_1},$$

① OC 为 Open Collector 的缩写。



(a)　　(b)

图 7.5.12　集电极开路与非门

(a) 电路图　(b) 逻辑符号

$$Y_2 = \overline{A_2\ B_2\ C_2},$$

……

$$Y_n = \overline{A_n\ B_n\ C_n}$$

$$Y = Y_1\ Y_2 \cdots Y_n$$

在把 OC 门接成**线与**形式时，需外接负载电阻 R_L 和电源 V_{CC}，只要恰当地选择 R_L 的阻值和电源电压的数值，就可以做到既保证输出的高、低电平符合要求，又不致使输出晶体管的负载电流过大。若要求 V_{OH} 与典型 TTL **与非**门的 V_{OH} 一致，只要选择电源 V_{CC} = +5 V 即可满足。若希望 V_{OH} 的值为 10 V，则应选择电源 V_{CC} 大于 10 V，同时适当选择 R_L，就能符合要求。有关负载电阻的选择与计算见参考文献[12]。

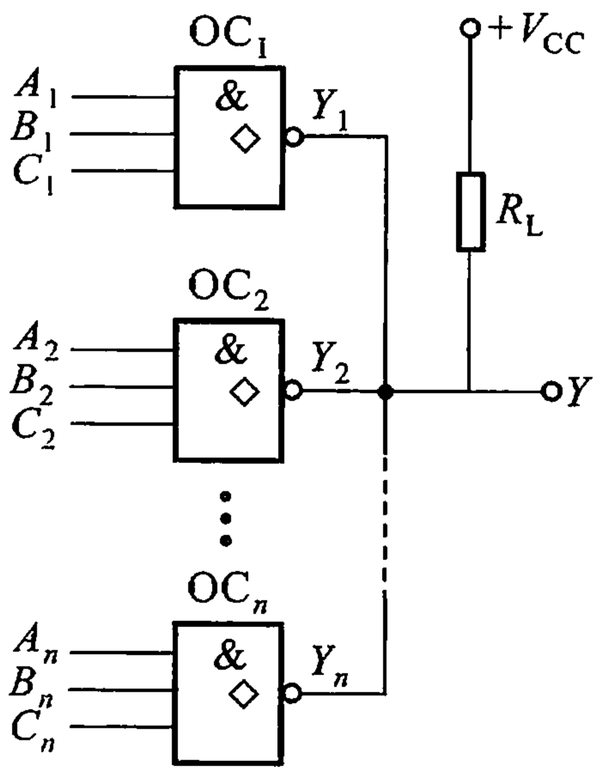


图 7.5.13　n 个 OC 门连接

2. 三态输出与非门(TSL 门①)

虽然利用 OC 门可以使门的输出端并联起来，实现**线与**的逻辑功能，但是由于外接负载电阻 R_L 的选择要受到一定的限制，其值不能取得太小，因此，限制了它的开关速率，同时它省去了有源负载，使得其负载能力下降。为了实现高速的**线与**逻辑，还能提高负载能力，人们又研制出了一种三态 TTL **与非**门。它的输出端具有 3 种可能的状态：除了可以实现高、低电平的状态以外，还能出现第三种状态，称为高阻状态，又称开路状态。

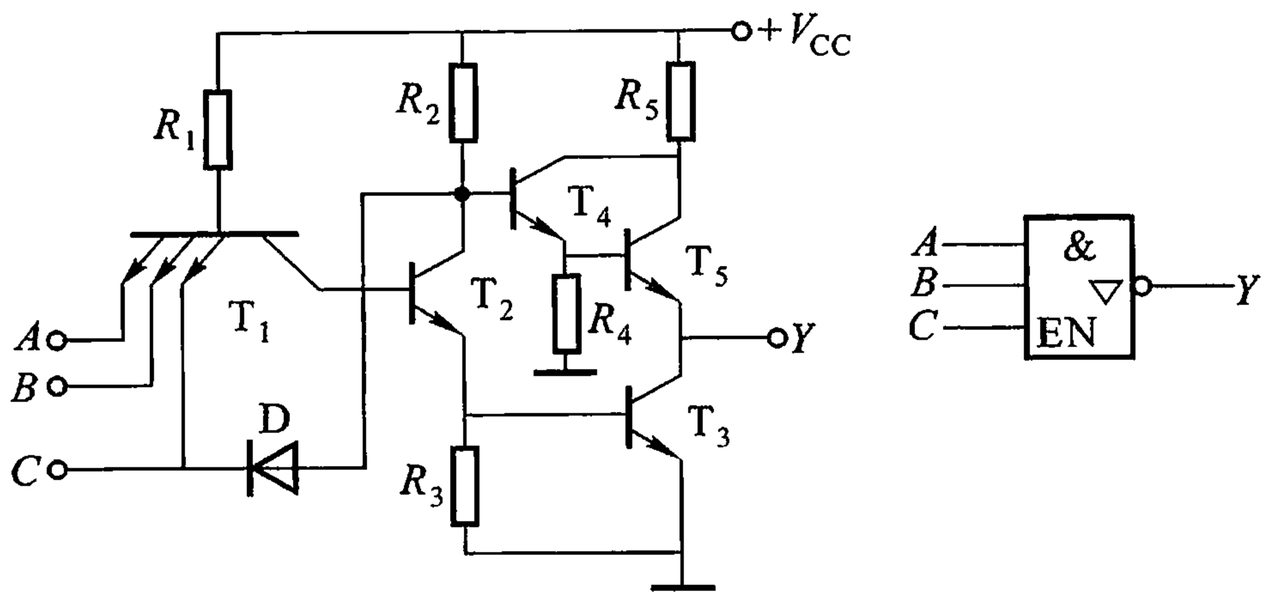
三态输出**与非**门的电路结构及其逻辑符号如图 7.5.14 所示，其中，C 为控

① TSL 是英文 Tristate Logic 的缩写。

制端，A、B 为数据输入端。

当 $C=\mathbf{1}$、$V_C=5$ V 时，二极管 D 截止，电路的工作状态与典型的 TTL **与非门**一样，完全取决于数据输入信号 A、B 的状态，电路的输出与输入的逻辑关系是 $Y=\overline{AB}$，输出是高电平还是低电平，视 A、B 的状态而定，这种状态称为**与非门**的工作状态。

当 $C=\mathbf{0}$（设 $V_C=0.3$ V）时，T_2、T_3 截止，同时二极管导通，将 T_4 的基极电位 v_{B4} 钳在 1 V 左右，因而 T_4 导通，则 T_5 处于截止状态。这时从输出端看进去，电路处于高阻状态，禁止 A、B 端的信号经门传输到输出端。这就是三态**与非门**的第三种状态（禁止态）。因为图 7.5.14 所示电路在 $C=\mathbf{1}$ 时为工作状态，所以称为控制端高电平有效。此外，还有一种 TSL **与非门**是 $C=\mathbf{0}$ 时为工作状态，称为控制端低电平有效。



(a)　　(b)

图 7.5.14　三态 TTL **与非门**

（a）电路图　（b）逻辑符号

三态门最重要的一个用途是多个三态门的输出端可以共同连接起来，实现同一根导线轮流传送多个不同的数据或控制信号。如图 7.1.15 所示。接受 n 个门输出信号的 MN 线称为母线或总线。只要各个门的控制端 C_1、C_2、…、C_n 轮流为 **1**，而且任何时刻仅有一个为 **1**，C 为 **1** 的三态门其输出信号被送到总线上，其他门的控制端 C 为 **0**，使之处于高阻态而与总线不产生电信号联系，这样 A_1、B_1，A_2、B_2，…，A_n、B_n 就会轮流地按**与非**关系送到总线上去，在总线上互不干扰，也不会导致逻辑上的错误，而且也不可能损坏门电路。

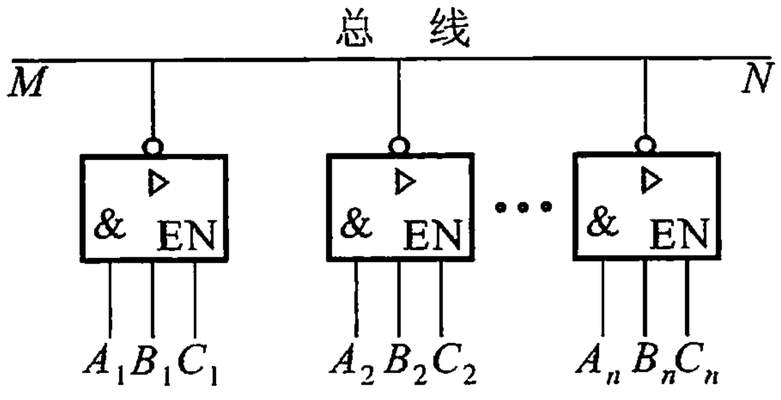


图 7.5.15　用三态门接成总线结构

三态门除了三态**与非门**外，还有三态反相器和缓冲器等。后面将介绍的

MOS 门电路也可构成三态门。

7.6 MOS 逻辑门电路

逻辑门电路大体上可分为两大类,一类是前面介绍的 DTL、TTL 等双极型逻辑电路,另一类是 MOS 逻辑电路。在 MOS 管中,只有一种极性的载流子(电子或空穴)参与导电,所以 MOS 逻辑电路又称单极型逻辑电路。由 MOS 管组成的 MOS 逻辑门由于具有耗电少、抗干扰能力强、体积小、工艺简单等一系列优点,目前已广泛用于中、大规模集成电路,如存储器和微处理器等。和双极型电路比较,MOS 电路的主要缺点是开关速度较低。

在逻辑电路中所采用的 MOS 管,多是增强型的。由 N 沟道、P 沟道增强型 MOS 管构成的门电路分别称为 NMOS 电路和 PMOS 电路。由 PMOS 和 NMOS 管组成的互补 MOS 电路,称为 CMOS 电路①。下面主要介绍 NMOS 和 CMOS 逻辑门电路,由于 PMOS 门电路采用负电源,不便于与 TTL 电路衔接,又是数字集成电路的早期产品,因此,目前使用较少,这里不作介绍。

7.6.1 NMOS 门电路

1. NMOS

NMOS 非门电路如图 7.6.1 所示。图中 T_1 管为驱动管,T_2 管为负载管。可以看出,负载管 T_2 的栅极与漏极同接电源 V_{DD},$v_{GS2} = v_{DS2}$,且 $V_{GS2} > V_{GSN(th)}$(开启电压),因此,T_2 总是处于导通状态。

当输入电压 v_I 为低电平,且 $v_I < V_{GSN1(th)}$ 时,T_1 管截止,输出电压 v_O 为高电平 V_{OH}。由于 T_2 管导通,所以输出的高电平 $V_{OH} = V_{DD} - V_{GSN(th)}$。通常 $V_{GS(th)} = 2$ V,若取 $V_{DD} = 5$ V,则 $V_{OH} = 3$ V。当输入电压 v_I 为高电平,且 $v_I > V_{GSN1(th)}$ 时,T_1 管、T_2 管同时导通,输出电压 v_O 为低电平 V_{OL},$V_{OL} = r_{ds1} V_{DD} / (r_{ds1} + r_{ds2})$,因 T_1 的跨导 g_{m1} 设计得比 T_2 的 g_{m2} 大得多,故 T_1 的导通电阻 r_{ds1} 比 T_2 的 r_{ds2} 小得多,所以 v_I 为高电平时,v_O 为低电平,通常 V_{OL} 约为 0.4 V。可见,输入与输出间具有非逻辑关系。

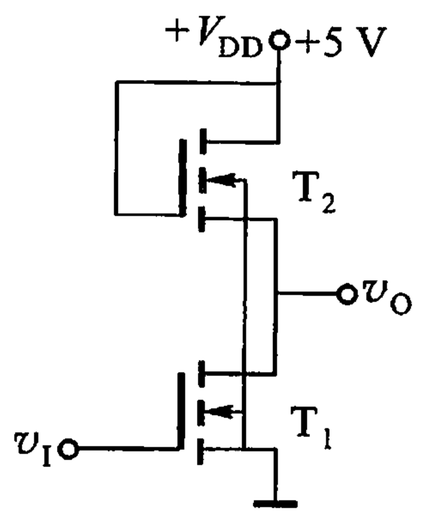


图 7.6.1 NMOS 非门

① CMOS 为 Complementary – Symmetry Metal – Oxide Semiconductor 的缩写。

2. NMOS 与非门

两输入端 NMOS 与非门电路如图 7.6.2 所示。T_1、T_2 为两个串联的驱动管，T_3 为负载管，且 $g_{m1} = g_{m2} \gg g_{m3}$，于是 $r_{ds1} = r_{ds2} \ll r_{ds3}$。由于 T_3 的栅极与漏极同接电源 V_{DD}，因此，T_3 总是导通的。只有当 A、B 全为高电平时，T_1 和 T_2 都导通，输出电压 v_O 才为低电平。

$$V_{OL} = \frac{r_{ds1} + r_{ds2}}{r_{ds1} + r_{ds2} + r_{ds3}} V_{DD}$$

若输入 A、B 端有一个或全是低电平时，驱动管中至少有一个处在截止状态，输出电压为高电平

$$V_{OH} = V_{DD} - V_{GSN3(th)}$$

所以电路具有**与非**门功能，即 $Y = \overline{AB}$

值得注意的是，这种**与非**门的输入端不宜超过 3 个。因为当输入端全为高电平时，输入端越多，则驱动管导通电阻之和愈大，而负载管导通电阻又为定值，这样就会使输出低电平抬高。

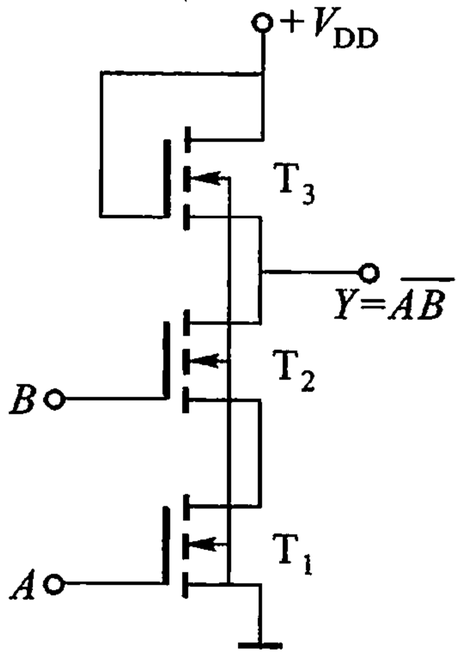


图 7.6.2 NMOS 与非门

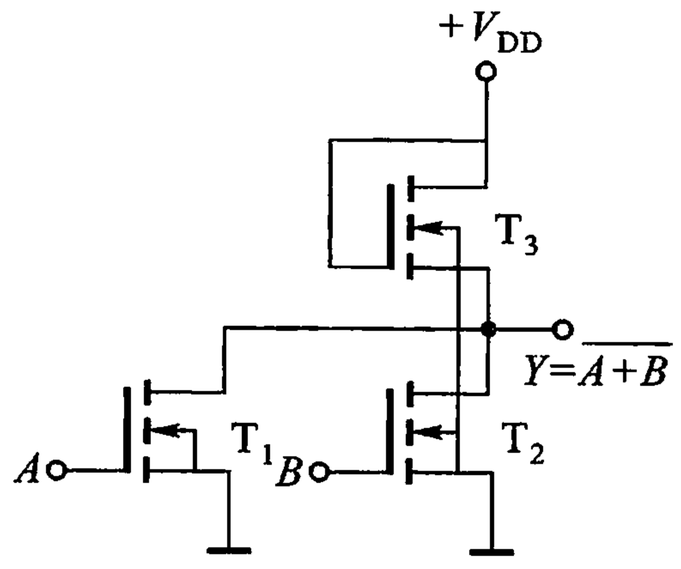


图 7.6.3 NMOS 或非门

3. NMOS 或非门

图 7.6.3 所示为两输入端 NMOS **或非**门电路。T_1、T_2 为两个并联的驱动管，T_3 为负载管，且 $g_{m1} = g_{m2} \gg g_{m3}$，则 $r_{ds1} = r_{ds2} \ll r_{ds3}$。当输入端中有一个或两个为高电平，两驱动管中至少有一个处在导通状态，输出电压为低电平 V_{OL}；仅当 A、B 全为低电平时，所有驱动管截止，输出电压 v_O 才为高电平 V_{OH}。可见电路执行的是**或非**逻辑，即 $Y = \overline{A + B}$。

7.6.2　CMOS 门电路

1. CMOS 非门

CMOS 非门电路如图 7.6.4 所示，其中，NMOS 管 T_1 为驱动管，PMOS 管 T_2 为负载管。两管的栅极连在一起作为非门电路的输入端，漏极接在一起作为输出端。为了电路能正常工作，要求电源电压 V_{DD} 大于 T_1、T_2 开启电压 $V_{GSN(th)}$、$V_{GSP(th)}$ 的绝对值之和，即 $V_{DD} > V_{GSN(th)} + |V_{GSP(th)}|$，且 $V_{GSN(th)} = |V_{GSP(th)}|$。当 v_I 为低电平(0 V)时，$v_{GS1} = 0$，$v_{GS1} < V_{GSN(th)}$，使 T_1 管截止；而 $v_{GS2} = -5$ V，$|v_{GS2}| > |V_{GSP(th)}|$，于是 T_2 管导通，电源电压 V_{DD} 主要降在 T_1 上，所以输出电压为高电平 V_{OH}，且 $V_{OH} \approx V_{DD}$。当 v_I 为高电平(+5 V)时，$v_{GS1} = 5$ V，$v_{GS1} > V_{GSN(th)}$，致使 T_1 管导通；对于 T_2，$v_{GS2} = 0$，$|v_{GS2}| < |V_{GSP(th)}|$，于是 T_2 管截止，电源电压 V_{DD} 主要降在 T_2 管上，因此，输出电压 v_O 为低电平 V_{OL}，且 $V_{OL} \approx 0$，可见输入与输出间为非逻辑关系。综上所述，无论 v_I 是高电平还是低电平，两管总是处于一管导通，另一管必为截止的工作状态，所以电路是互补对称的。

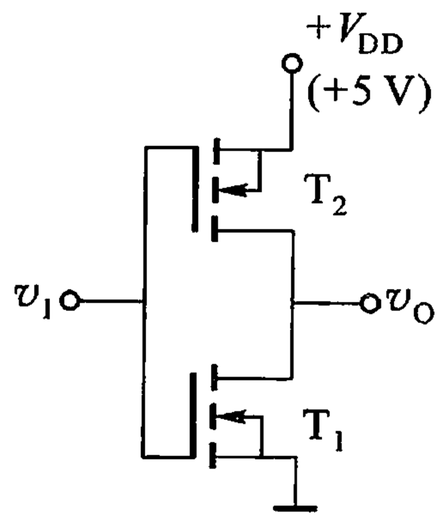


图 7.6.4　CMOS 非门

CMOS 非门的电压传输特性如图 7.6.5 所示。由图可见，$V_{OH} = V_{DD} = 5$ V，$V_{OL} = 0$ V，逻辑摆幅比较大，转折区比较小。其高、低电平干扰容限为 2 V，比 TTL 电路(约为 0.4 V)大得多，因此，抗干扰能力较强。

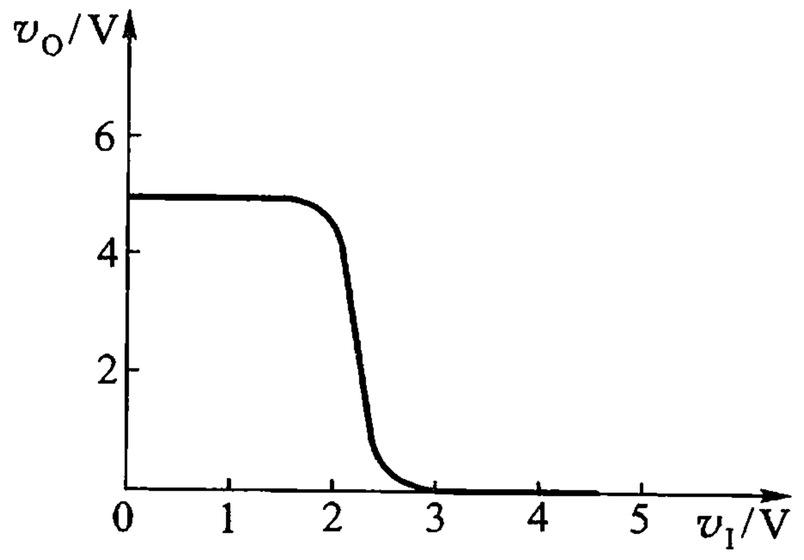


图 7.6.5　CMOS 非门电压传输特性

由于 CMOS 非门具有一管导通另一管必为截止的特点，电源向非门电路提供的电流仅为纳安级的截止漏电流，其功耗非常微小。

同时由于 CMOS 非门在工作时 T_1 和 T_2 都不同时导通，因此，其输出电压的大小与管的导通电阻之比无关。这样，在CMOS非门中，可使 MOS 管的跨导 $g_{m1} \approx g_{m2}$，且都较大，两管的导通电阻都较小。由于 CMOS 门的传输时间 t_{pd} 由负载电容 C_L 和充、放电路的电阻共同决定。当输入电压 v_I 为低电平时，T_2 管导通，电源 V_{DD} 通过较小的电阻 r_{ds2} 给 C_L 快速充电，使 v_O 迅速上升为高电平 V_{OH}；当输入电压 v_I 转为高电平时，T_1 导通，C_L 经较小的电阻 r_{ds1} 放电，使 v_O 迅速下降为低电平 V_{OL}。因此，CMOS 非门电路的工作速度大为提高。

2. CMOS 与非门

图 7.6.6 所示为两输入端 CMOS 与非门电路。它由两个串联的 N 沟道增强型 MOS 管和两个并联的 P 沟道增强型 MOS 管组成。每一个输入端分别与一个 NMOS 管和一个 PMOS 管的栅极相接。当输入端 A、B 全为低电平(0 V)时，T_1、T_2 均截止，T_3、T_4 均导通，输出为高电平 V_{OH}，且 $V_{OH} \approx V_{DD}$；当任一输入端为低电平时，与它相连的 NMOS 管截止，而与它相接的 PMOS 管导通，输出为高电平 V_{OH}，且 $V_{OH} \approx V_{DD}$；仅当 A、B 全为高电平时，T_1、T_2 导通，T_3、T_4 截止，输出为低电平，且 $V_{OL} \approx 0$ V。由此可知，这种电路执行是**与非**逻辑，即 $Y = \overline{AB}$。

3. CMOS 或非门

图 7.6.7 所示为两输入端 CMOS **或非**门电路。它由两个并联的 N 沟道增强型 MOS 管和两个串联的 P 沟道增强型 MOS 管组成。当输入端的 A、B 全为低电平时，T_1、T_2 都截止，T_3、T_4 都导通，输出为高电平 V_{OH}，且 $V_{OH} \approx V_{DD}$；当输入端的 A、B 任一为高电平时，与它相连的 NMOS 管导通，与它相接的 PMOS 管截止，输出为低电平 V_{OL}，且 $V_{OL} \approx 0$；当 A、B 全为高电平时，T_1、T_2 都导通，T_3、T_4 都截止，输出为低电平 V_{OL}，且 $V_{OL} \approx 0$ V，可见，这种电路执行的是**或非**逻辑，即 $Y = \overline{A + B}$。

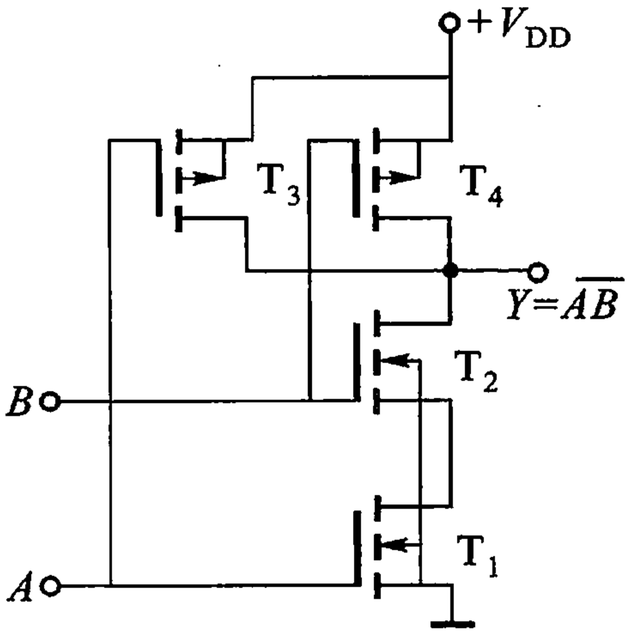


图 7.6.6　CMOS 与非门

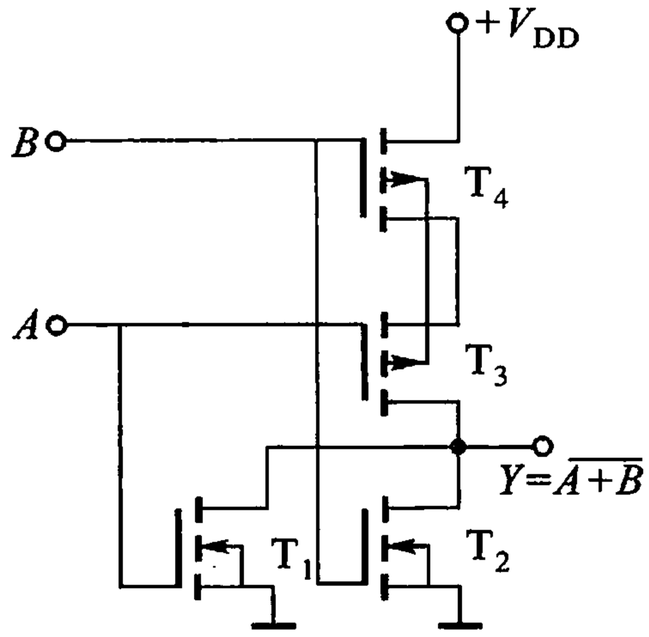


图 7.6.7　CMOS 或非门

4. CMOS 传输门

CMOS 传输门电路如图 7.6.8(a)所示，逻辑符号如图 7.6.8(b)所示。它是由一个 N 沟道和一个 P 沟道增强型 MOS 管并联组成。一管的源极与另一管的漏极相接作为输入端，同样，此管的漏极与另一管的源极相接作为输出端。两管的栅极作为控制端，加上一个互补的控制电压端 C 和 $\overline{C}$。由于 MOS 管结构完全对称，源极和漏极可以互换，所以输入和输出端是可以对换的。设输入信号的变化范围为 0 ~ +5 V，为使衬底与漏 - 源之间的 PN 结在任何时刻不致正偏(因 T_1 是 N 沟道 MOS 管，是 P 型衬底；T_2 是 P 沟道 MOS 管，是 N 型衬底。)，故 T_1 的衬

底接地，T_2 的衬底接 +5 V。CMOS 传输门的原理简述如下。

设 $V_{GSN(th)} = |V_{GSP(th)}| = 2$ V。如果控制信号的高、低电平分别为 +5 V 和 0 V，则当 C 接低电平(0 V)、$\overline{C}$ 接高电平(+5 V)时，那么不管输入信号 v_I 在 0 V 到 +5 V 范围内的任何值，T_1、T_2 都截止，输入与输出间呈高阻态，相当于开关断开，这时输入信号不能传到输出端。

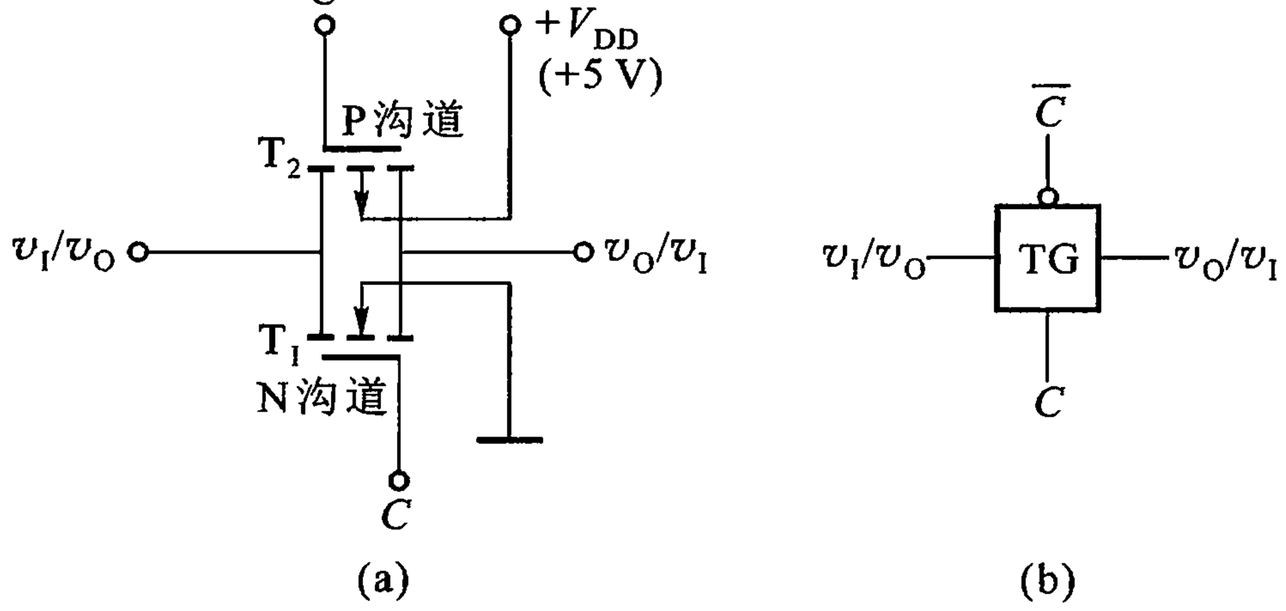


图 7.6.8　CMOS 传输门

(a) 电路　(b) 逻辑符号

若 C 接高电平(+5 V)，C 接低电平(0 V)，当 $0 \leqslant v_I \leqslant V_{DD} - V_{GSN(th)}$，即 v_I 在 0 ~ 3 V范围内变化时，T_1 导通；当 $|V_{GSP(th)}| \leqslant v_I \leqslant V_{DD}$，即 v_I 在 2 ~ 5 V 范围内变化时，T_2 导通。当 v_I 在 0 ~ V_{DD}(即 0 ~ +5 V)范围内变化时，T_1 和 T_2 至少有一个管子是导通的，使输入 v_I 与输出 v_O 间呈低阻态(小于 1 kΩ)，相当于开关接通，输入信号可以传到输出端。

CMOS 传输门如同 CMOS 非门一样，也是构成各种 CMOS 逻辑门的一种基本逻辑单元电路，其功能是一种传输信号的可控开关电路。

5. CMOS 电路与 TTL 电路的连接

目前使用最广的是 TTL 门电路和 CMOS 门电路。在实际中如果同时采用这两种不同类型的器件，这便出现 TTL 电路与 CMOS 电路的连接问题。两类门电路在连接时，前者称为驱动门，后者称为负载门。无论是用 TTL 电路作为驱动门，还是用 CMOS 电路作为驱动门，驱动门必须能为负载门提供合乎要求的高、低电平和足够的驱动电流，这就必须同时满足下列条件：

驱动门		负载门	
V_{OHmin}	$\geqslant$	V_{IHmin}	(7.6.1)
V_{OLmax}	$\leqslant$	V_{ILmax}	(7.6.2)
I_{OHmax}	$\geqslant$	I_{IHmax}	(7.6.3)
I_{OLmax}	$\geqslant$	I_{ILmax}	(7.6.4)

为了便于对 TTL 系列和 CMOS 系列进行对照比较，表 7.6.1 中列出了这两种门电路输出电压、输出电流、输入电压和输入电流的有关参数。

表 7.6.1 TTL、CMOS 电路的输入、输出特性参数

电路种类 / 参数名称	TTL 74 系列	TTL 74LS 系列	CMOS 4000 系列	高速 CMOS 74HC 系列	高速 CMOS 74HCT 系列
V_{OHmin}/V	2.4	2.7	4.6	4.4	4.4
V_{OLmax}/V	0.4	0.5	0.05	0.1	0.1
I_{OHmax}/mA	0.4	0.4	0.51	4	4
I_{OLmax}/mA	16	8	0.51	4	4
V_{IHmin}/V	2	2	3.5	3.5	2
V_{ILmax}/V	0.8	0.8	1.5	1	0.8
I_{IHmax}/μA	40	20	0.1	0.1	0.1
I_{ILmax}/mA	1.6	0.4	0.1×10^{-3}	0.1×10^{-3}	0.1×10^{-3}

(1) 用 TTL 电路驱动 CMOS 电路

根据表 7.6.1 给出的有关参数可知，TTL 系列作为驱动门能满足式(7.6.2)～式(7.6.4)，但不能满足式(7.6.1)(即 $V_{OHmin} > V_{IHmin}$)的要求，要使 TTL 电路能驱动 CMOS 电路，就必须解决两者逻辑电平不匹配的问题，这就要设法提高 TTL 电路的 V_{OHmin} 值，使 $V_{OHmin} \geqslant 3.5$ V。采用最简单的解决方法是在 TTL 门的输出端与 V_{DD} 之间接上拉电阻 R_X，如图 7.6.9 所示。当驱动门 TTL 电路的输出为高电平时，输出级的负载管和驱动管同时截止，故有

$$V_{OH} = V_{DD} - R_X(I_{OH} + I_{IH})$$

从 TTL 电路的输出级和 CMOS 电路的输入级可知，I_{OH} 和 I_{IH} 都很小，因此，只要 R_X 的阻值选择适当，TTL 的输出高电平可拉到 $V_{OH} \approx V_{DD}$。这样连接以后，TTL 电路能驱动 CMOS 电路。R_X 的取值可根据 TTL 电路不同系列的 I_{OH} 值决定，对于 TTL74 系列，R_X 的值一般取 0.27～4.7 kΩ；对于 TTL74LS 系列，R_X 的值一般取 0.82～12 kΩ。

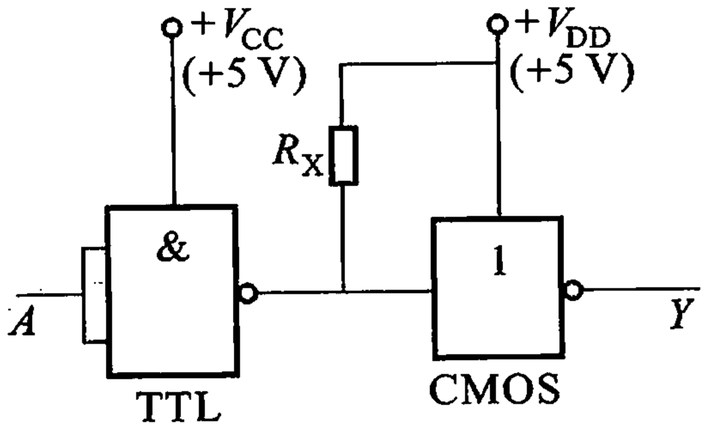


图 7.6.9 用上拉电阻抬高输出高电平

(2) 用 CMOS 电路驱动 TTL 电路

用 74HC/74HCT 系列 CMOS 电路作为驱动门，TTL 电路作为负载门，从表 7.6.1 给出的有关参数可以看出，能同时满足式(7.6.1)～式(7.6.4)，则这两种系列的 CMOS 门均能驱动 TTL 门，并且还可以根据表 7.6.1 给出的数据求出这两种系列的 CMOS 门分别能带动 TTL 门的数目。可见，这时驱动门的输出端可以与负载门的输入端直接连接。

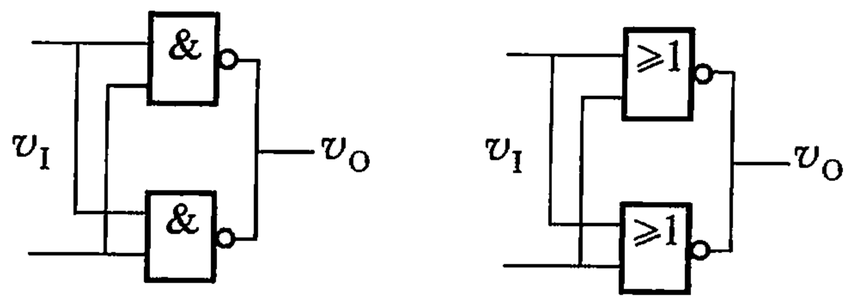


图 7.6.10　并接实现电流扩展

用 4000 系列 CMOS 电路驱动 74 系列 TTL 电路，从表 7.6.1 给出的有关参数可以知道，能满足式(7.6.1) ~ 式(7.6.3)，但不符合式(7.6.4)(即 $I_{OLmax} \geqslant I_{ILmax}$)的要求，为了使 4000 系列 CMOS 电路输出低电平时有足够的驱动电流，最简单的方法是将同一封装内的门电路并接使用，如图 7.6.10 所示。还可以在 CMOS 门的输出端与 TTL 门之间增加一级用分立器件组成的电流放大器实现电流扩展，如图 7.6.11 所示。在实际运用中，只要正确使用其中一条解决的方法，4000 系列 CMOS 门就能驱动 74 系列 TTL 门。

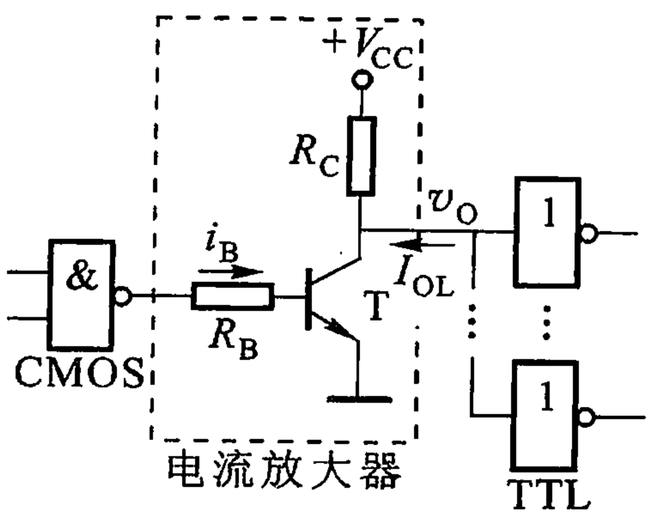


图 7.6.11　增加电流放大器实现电流扩展

用 4000 系列 CMOS 电路驱动 74LS 系列 TTL 电路，如果负载是 $m = 1$ 个门的输入端，能同时满足式(7.6.1) ~ 式(7.6.4)，这时驱动门的输出端可以与负载门的输入端直接连接。若负载是 $m >$ 1 个门的输入端，则能满足式(7.6.1) ~ 式(7.6.3)，但不符合式(7.6.4)的要求，解决的方法与用 4000 系列 CMOS 电路驱动 74 系列 TTL 电路相同。

7.6.3　几种逻辑门电路的比较

已经介绍了 DTL、TTL 逻辑门，常用的双极型逻辑门还有高阈值门(HTL)、射极耦合逻辑门(ECL)和集成注入逻辑门(I^2L)几种①。

HTL 门是在 DTL 门(见图 7.4.6)的基础上改进而成的。将电源电压 V_{CC} 由 5 V 提高到 15 V，用射极跟随器代替了一个移位二极管 D_5，并将另一个移位二极管 D_4 改为稳压值约为 6 V 的稳压管(见习题 7.12)。采取了这些措施，使逻辑摆幅($V_{OH} - V_{OL}$)猛增到 12 V，干扰容限增加到 5.5 V 左右，成为抗干扰能力最强的逻辑电路。其缺点是功耗较大，速度较低。

ECL 电路的核心是带有射极电阻 R_E 的差分放大器，通过 R_E 的耦合而工

① HTL 为 High - Threshold Logic 的缩写；ECL 为 Emitter - Coupled Logic 的缩写；IIL 或 I^2L 为 Integrated - Injection Logic 的缩写。

作,故取名“射极耦合逻辑”。电路的特点是各管工作在放大区和截止区,避免了基区因饱和而产生多余的存储电荷,使电路的传输时间 t_{pd} 缩短到 0.1 ns 以内,是目前各种数字集成电路中工作速度最快的一种逻辑电路。其主要缺点是功耗较大和抗干扰能力较差。

I^2L 电路的基本单元是一个多集电极晶体管构成的反相器,其基极的“注入”电流是由横向 PNP 型晶体管提供的,故称“注入逻辑”。I^2L 电路简单,结构紧凑,功耗低,是目前集成度最高的一种逻辑电路(它的集成度可达到 500 门/mm^2 以上)。其主要缺点是抗干扰能力较差,开关速度较慢。I^2L 反相器的传输延迟时间可达 20 ~ 30 ns。

本章主要讨论了 TTL **与非**门和 CMOS 门电路。值得注意的是,在使用 TTL **与非**门时,最好不让多余的输入端悬空,以防干扰信号的引入。为了不改变电路的工作状态,使之稳定可靠,可将多余的输入端通过一个(1 ~ 3 kΩ)的电阻接于电源 V_{CC} 端。在使用 CMOS 门电路时,对 CMOS **与非**门可将多余的输入端直接接 V_{DD} 或通过一个大电阻接 V_{DD}(相当于多余的输入端接高电平);对于 CMOS **或非**门可将多余的输入端直接接地,也可通过一个大电阻接地(相当于多余的输入端为**0**)。



小结

1. 取值为**0**和**1**的二值逻辑,其基本逻辑关系只有**与**、**或**、**非** 3 种,与此相对应,在逻辑代数中只有 3 种基本运算,即**与**运算、**或**运算和**非**运算。

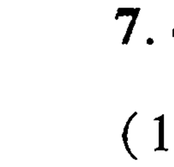
2. 逻辑函数共介绍了 4 种表示方法,这就是真值表、逻辑函数表达式、卡诺图和逻辑图。它们各具特点,相互间可以任意转换。在使用时可按照需要选择最适当的一种形式。

3. 逻辑函数的代数化简法(简称公式化简法)和卡诺图化简法是化简逻辑函数常用的两种方法。公式化简法是利用逻辑代数的基本公式和常用公式进行化简。使用公式化简法可不受任何条件的限制,但在化简过程中,不仅要求熟练掌握各种公式和规则,而且技巧性也很强;卡诺图化简法是把需要化简的逻辑函数用卡诺图表示出来,再按相邻方格可以合并的原则进行化简,这种化简方法简单、直观。

4. 本章在介绍晶体三极管的开关特性、基本逻辑门电路的基础上,重点讨论了目前应用较普遍的 TTL 和 CMOS 门电路,讨论了它们的逻辑功能和电气特性,特别是它的外特性。描述门电路性能的参数,对于所有的数字器件,有普遍的意义。

5. 目前使用的数字集成电路大体上可分为两大类:双极型数字集成电路和 MOS 型数字集成电路。在双极型门电路中,有 TTL 电路,还有 HTL、ECL 和 I^2L 等

几种;在 MOS 门电路中,有 PMOS、NMOS 和 CMOS 3 种,而 PMOS 电路应用较少。



习题与思考题

7.1　将下列的二进制数转换为八进制数、十进制数和十六进制数。

(1) $(\mathbf{100101})_2$;　　(2) $(\mathbf{1011})_2$;

(3) $(\mathbf{1011.11})_2$;　　(4) $(\mathbf{11010.011})_2$。

7.2　将下列十进制数转换为二进制数和十六进制数。

(1) $(29)_{10}$;　　(2) $(219)_{10}$;

(3) $(0.65)_{10}$;　　(4) $(17.84)_{10}$。

7.3　列出逻辑函数 $Y=A\overline{B}+AB+BC$ 的真值表。

7.4　根据反演规则,求出下列函数的反函数:

(1) $Y=AB+\overline{C}D$;

(2) $Y=AB(\overline{B}C+\overline{D})$;

(3) $Y=(\overline{A}B+\overline{B}C+\overline{A}C)C\overline{D}$;

(4) $Y=\overline{A}+B+\overline{B}+C+AC$;

(5) $Y=\overline{AB+BC}(A+B)$。

7.5　试用真值表证明分配律

$$A+BC=(A+B)(A+C)。$$

7.6　用代数法化简下列各式:

(1) $Y=AB(A+\overline{B})$;

(2) $Y=A+ABC+A\overline{B}\,\overline{C}+BC+\overline{B}C$;

(3) $Y=AB\,C\overline{D}+ABD+B\,C\overline{D}+AB\,C+AD+B\overline{C}$;

(4) $Y=\overline{\overline{A}+B}+\overline{A+\overline{B}}+\overline{(\overline{A}B)}\;\overline{(AB)}$。

7.7　将下列函数展开为最小项表达式:

(1) $Y(A,B,C)=\overline{\overline{A}B+A\overline{C}}$;

(2) $Y(A,B,C,D)=\overline{(A+B)(C\oplus D)}$。

7.8　用卡诺图化简下列各式:

(1) $Y(A,B,C)=\overline{AC+\overline{A}BC+\overline{B}C+AB\overline{C}}$;

(2) $Y(A,B,C,D)=A\overline{B}\,CD+AB\overline{C}D+A\overline{B}+A\overline{D}+A\overline{B}C+\overline{A}BCD$;

(3) $Y(A,B,C,D)=\Sigma(0,2,5,7,8,10,13,15)$;

(4) $Y(A,B,C,D)=\Sigma(1,3,4,9,11,12,14)$;

(5) $Y(A,B,C,D)=\Sigma(1,3,6,7,9)$,且无关项 $\Sigma_d(10,11,12,13,14,15)$;

(6) $Y(A,B,C,D)=\Sigma(0,2,6,7)$,且无关项 $\Sigma_d(8,11,14,15)$。

7.9 画出用**与非**门和反相器实现下列函数的逻辑图。

(1) $Y=\overline{AB+CD}$; (2) $Y=(\overline{A}+B)(A+\overline{B})C$。

7.10 写出图 P7.10 所示逻辑电路的表达式。

[图(b)中 G_3 为**与或非**门,若设 a,b,c,d 为其输入变量,则输出 $Y=\overline{ab+cd}$]

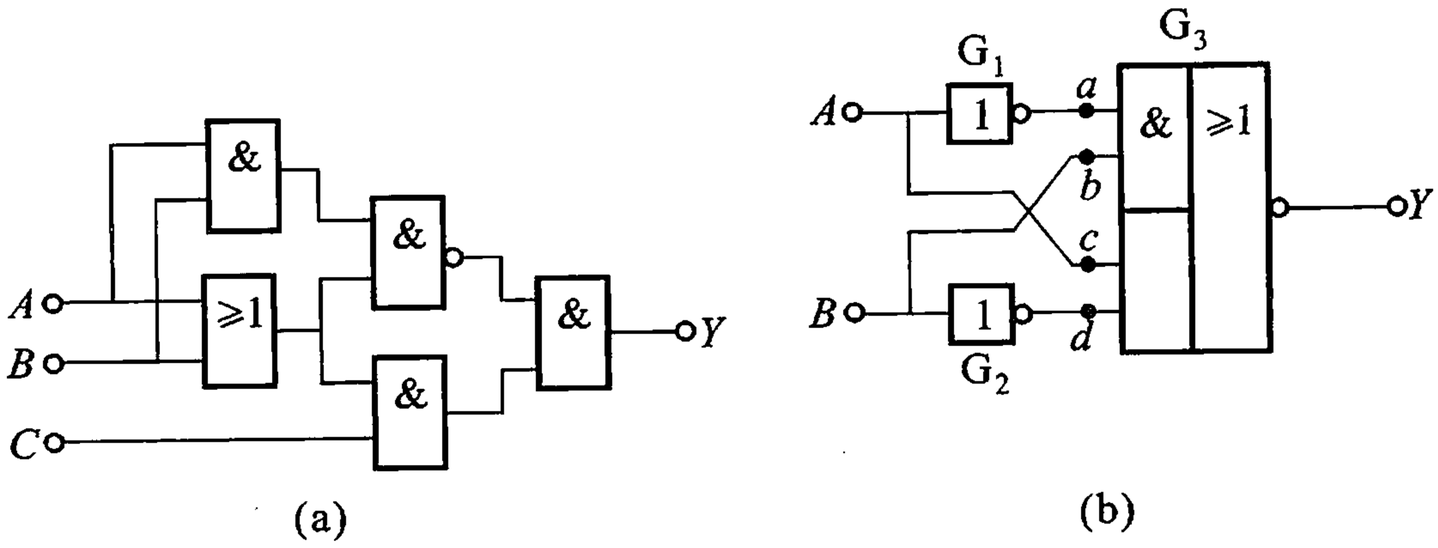


图 P7.10

7.11 由 NPN 型硅管组成的反相器(**非**门电路)如图 P7.11 所示。

(1) 要求 T 可靠截止,v_I低电平的最大值是多少?

(2) 要求 T 可靠饱和,v_I高电平的最小值是多少?

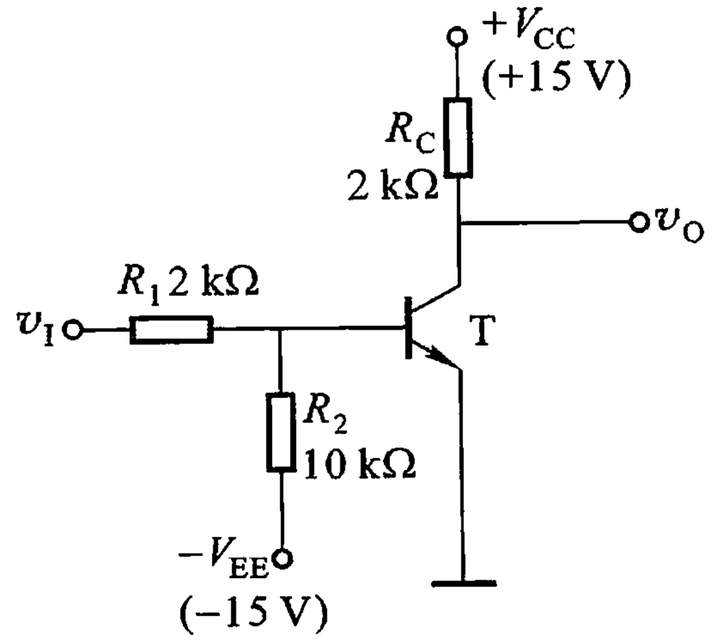


图 P7.11

7.12 图 P7.12 所示为高阈值**与非**门电路(HTL),设 $V_{OH}=13$ V,$V_{OL}=1$ V,$V_Z=6$ V。

(1) 与图 7.4.6(a)对照,说明它的工作原理;

(2) 求门的阈值电压 V_{th}(即 T_2 开始导通时门的输入电压);

(3) 设电压传输特性的转折区为 0.5 V。试大致画出电压传输特性,并估算干扰容限 V_{NL}、V_{NH}。

7.13 已知输入波形如图 P7.13(a)所示,试画出图(b)、(c)、(d)各门的输出波形。

7.14 已知图 P7.14 各门电路都是 74LS 系列 TTL 系列电路,指出各门电路的输出是什么状态(高电平、低电平或高阻态)。

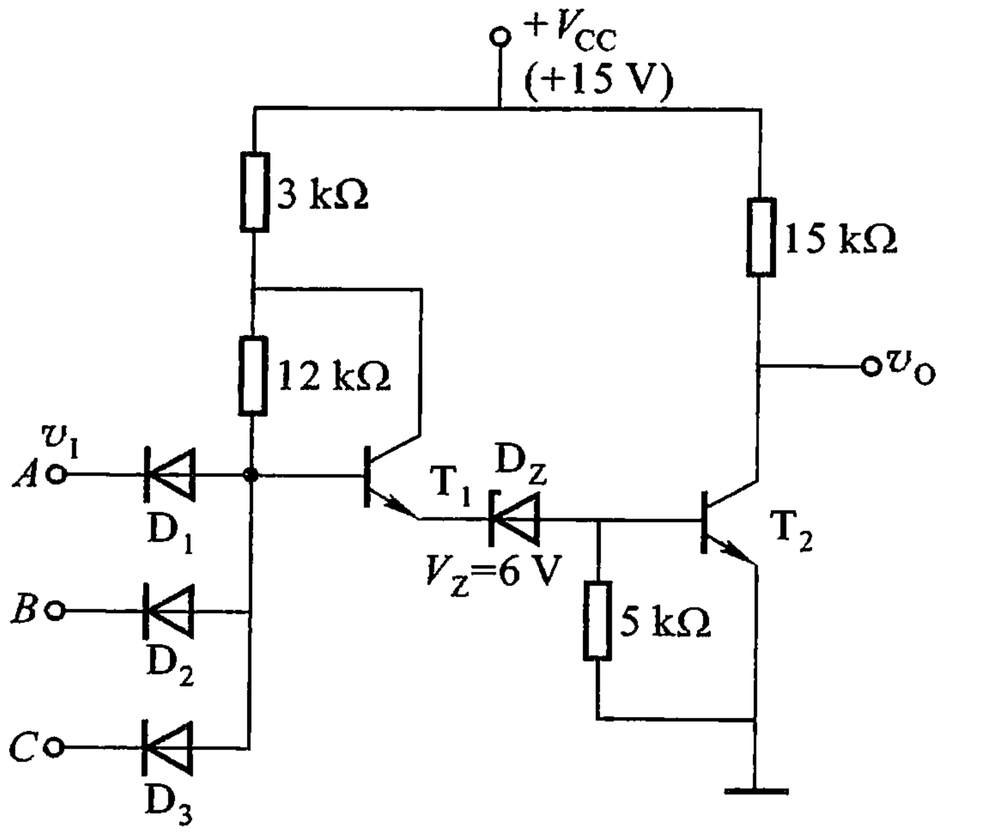


图 P7.12

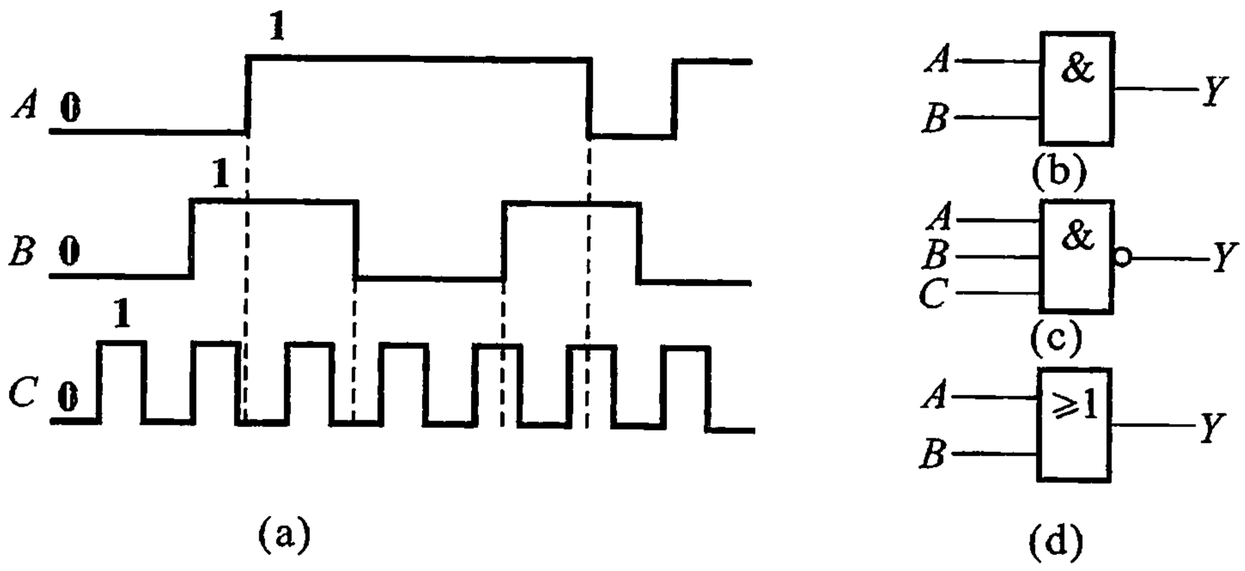
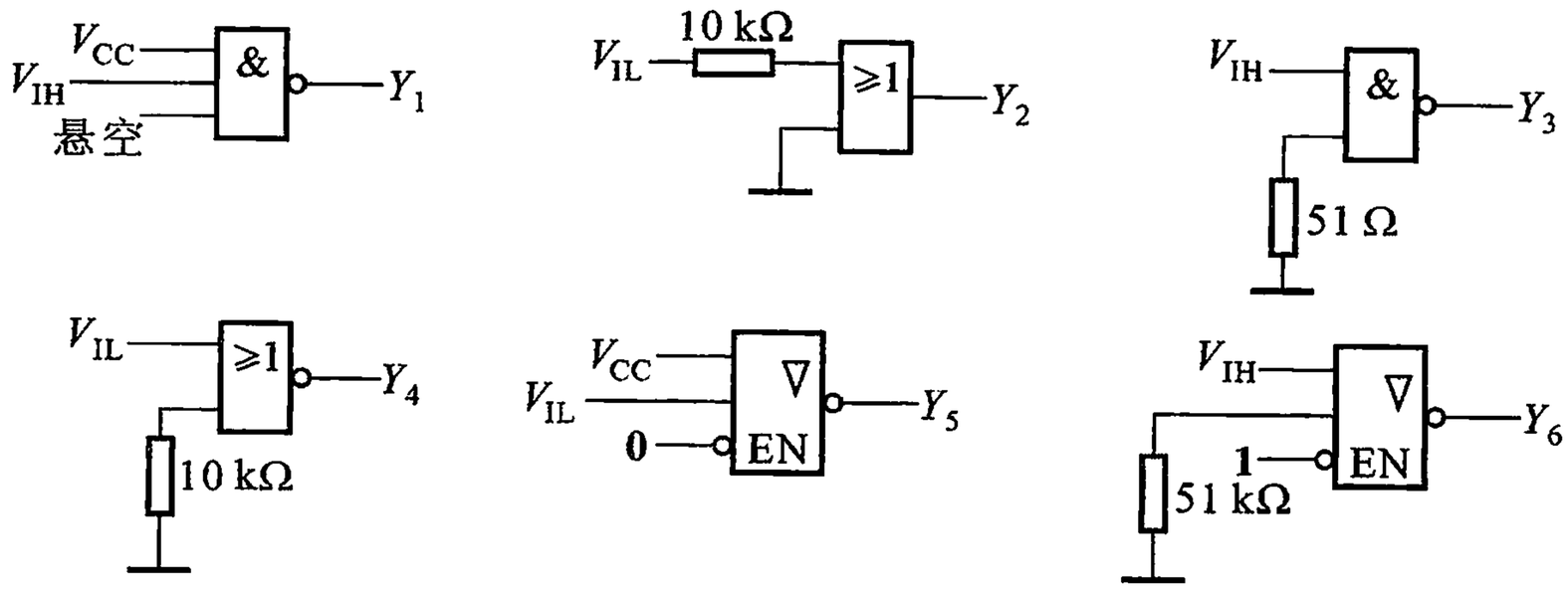


图 P7.13



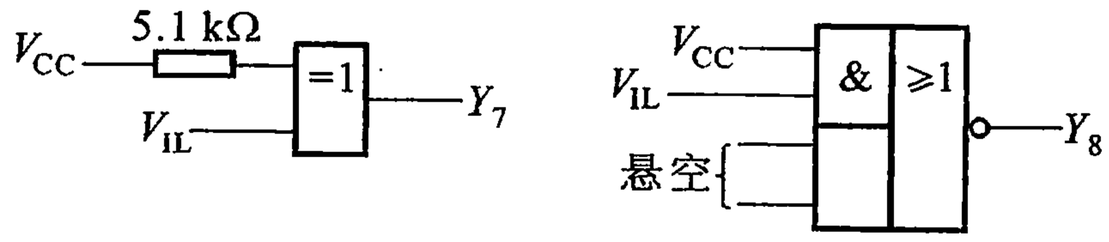


图 P7.14

7.15　电路如图 P7.15(a)所示。已知三极管导通时 $V_{BE}=0.7$ V,饱和压降 $V_{CE(sat)}=0.3$ V,三极管的电流放大系数 $\beta=100$;OC 门的最大允许灌电流 $I_{LM}=10$ mA,输出低电平 $V_{OL}=0.3$ V,OC 门 G_1 截止时的漏电流可以忽略;$G_2\sim G_5$ 均

为 74 系列 TTL 电路，它们的输入特性如图 P7.15(b)所示。

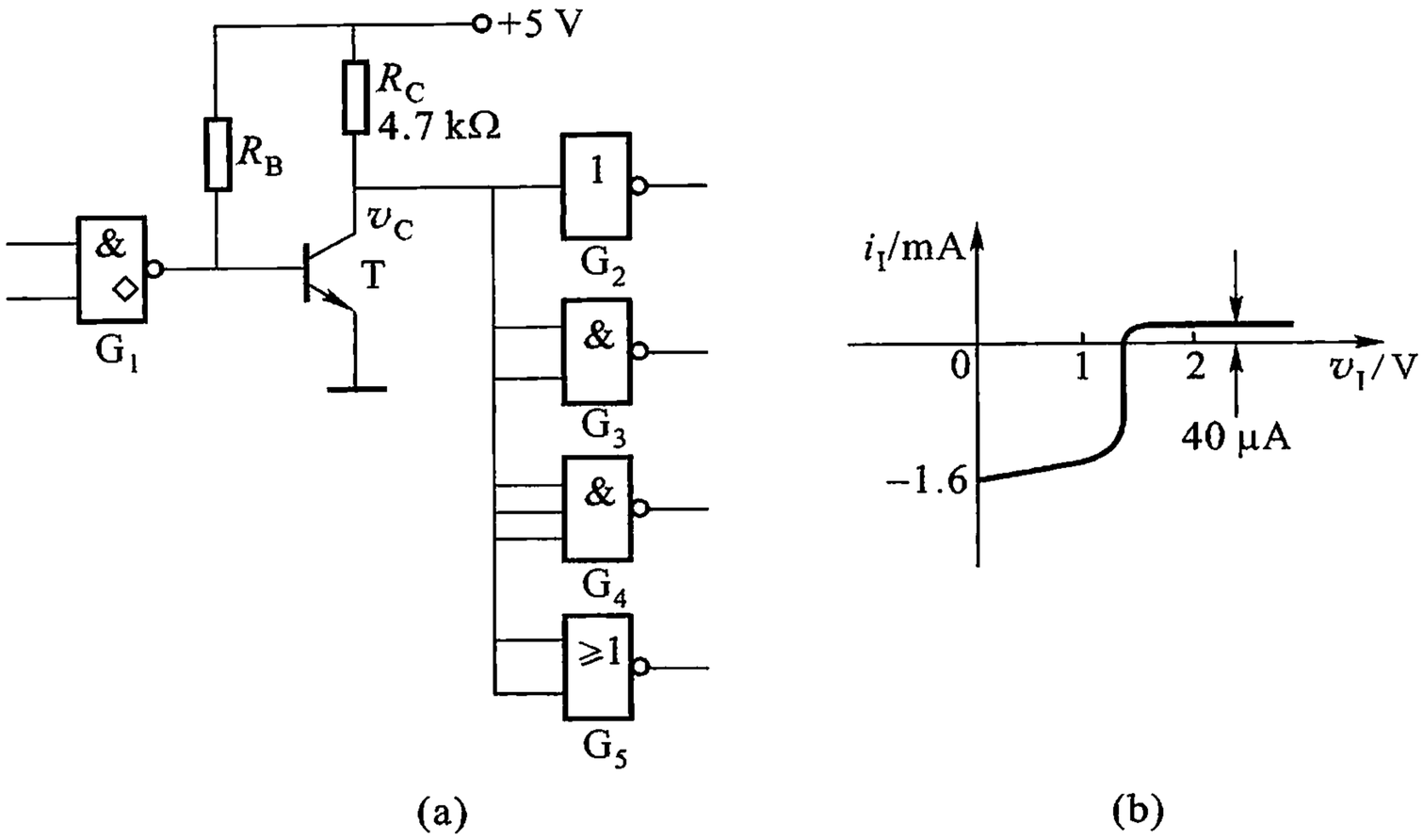


图 P7.15

(1) 在三极管集电极输出的高、低电压满足 $V_{OH} \geqslant 3.5$ V、$V_{OL} \leqslant 0.3$ V 的条件下，R_B 的取值范围为多大？

(2) 若 $R_B = 20$ kΩ，则此电路能带多少个 TTL 门？

(3) 若将 OC 门换成普通 TTL 与非门，则电路会发生什么问题？

7.16 试分析图 P7.16 电路的逻辑功能，写出输出函数表达式。

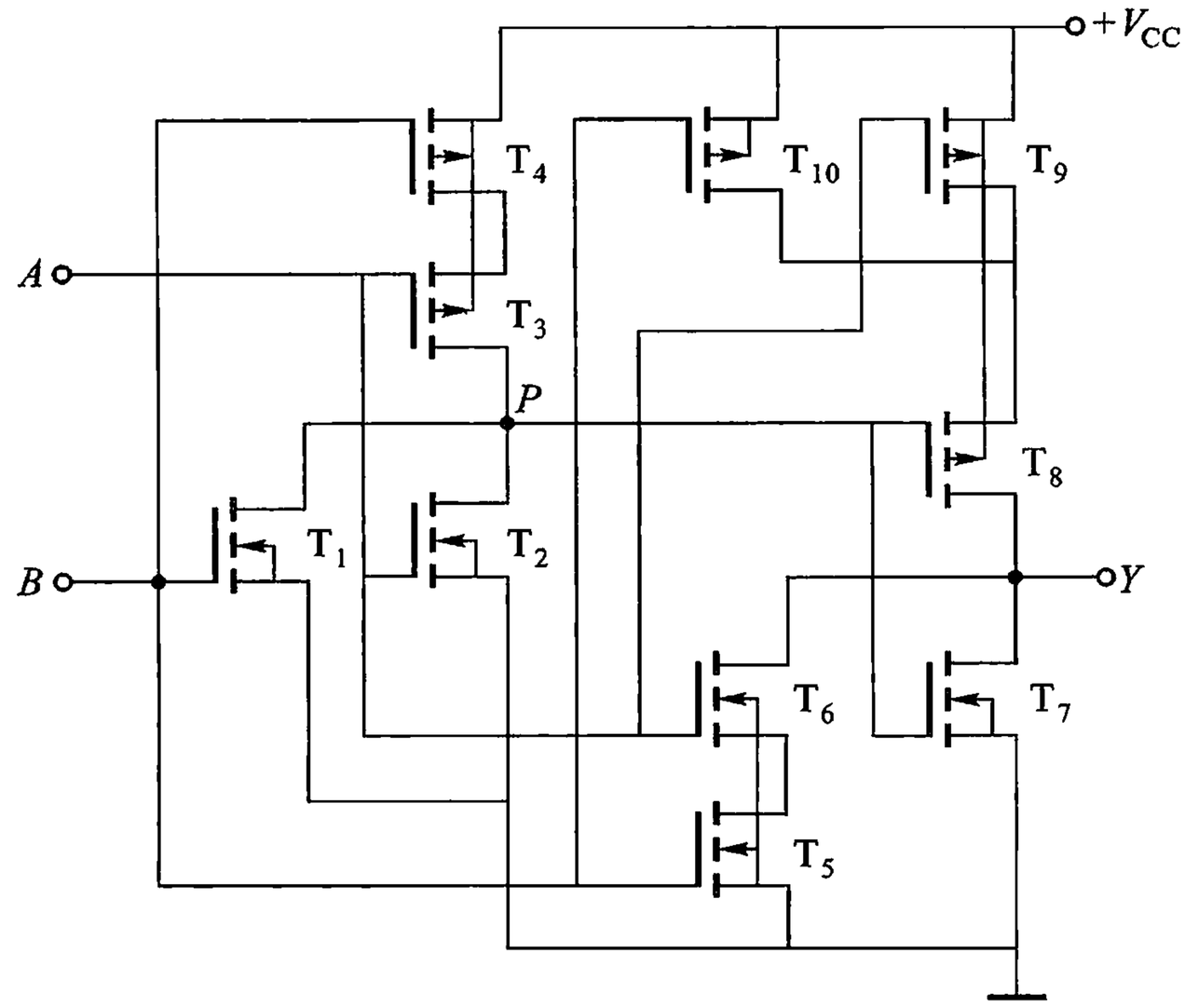


图 P7.16

7.17 试画出实现**异或**逻辑功能的 NMOS 电路。

7.18 试画出逻辑关系为 $Y = \overline{AB} + C$ 的 CMOS 电路。

第 8 章　组合逻辑电路

引　言

数字电路按逻辑功能的不同特点，可分为两大类，一类为组合逻辑电路，简称组合电路；另一类为时序逻辑电路，简称时序电路。

组合逻辑电路的特点是电路在任意时刻的输出状态只取决于该时刻的输入状态，而与该时刻前的电路输入状态无关。组合逻辑电路基本上由逻辑门电路组成；只有从输入到输出的通道，没有从输出到输入的回路。组合逻辑电路不具有记忆功能。



图 8.0.1　组合逻辑电路框图

组合逻辑电路的一般框图如图 8.0.1 所示。图中输入信号为二值逻辑信号 $X_1, X_2, \cdots, X_n$，输出信号 $F_1, F_2, \cdots, F_m$ 为输入信号的函数，表示为：

$$F_1 = f_1(X_1, X_2, \cdots, X_n)$$

$$F_2 = f_2(X_1, X_2, \cdots, X_n)$$

……

$$F_m = f_m(X_1, X_2, \cdots, X_n)$$

在本章中，首先讲述组合逻辑电路的分析和设计方法；然后介绍常用的组合逻辑器件及使用中规模集成组合逻辑器件设计简单的组合逻辑电路；最后介绍组合逻辑电路中的竞争冒险问题。此外，本章还简略地介绍可编程逻辑器件。

8.1　组合逻辑电路的分析方法和设计方法

8.1.1　组合逻辑电路的分析方法

组合逻辑电路的分析，就是根据给定的组合逻辑电路图，找出电路输出信号和输入信号之间的逻辑关系，从而确定该组合逻辑电路的逻辑功能。

分析组合逻辑电路的步骤大致如下：

（1）由逻辑图写出输出信号的逻辑表达式；

（2）化简逻辑表达式；

(3) 列出真值表;

(4) 根据真值表和表达式确定电路的逻辑功能。

例 8.1.1　试分析如图 8.1.1 所示组合逻辑电路的逻辑功能。

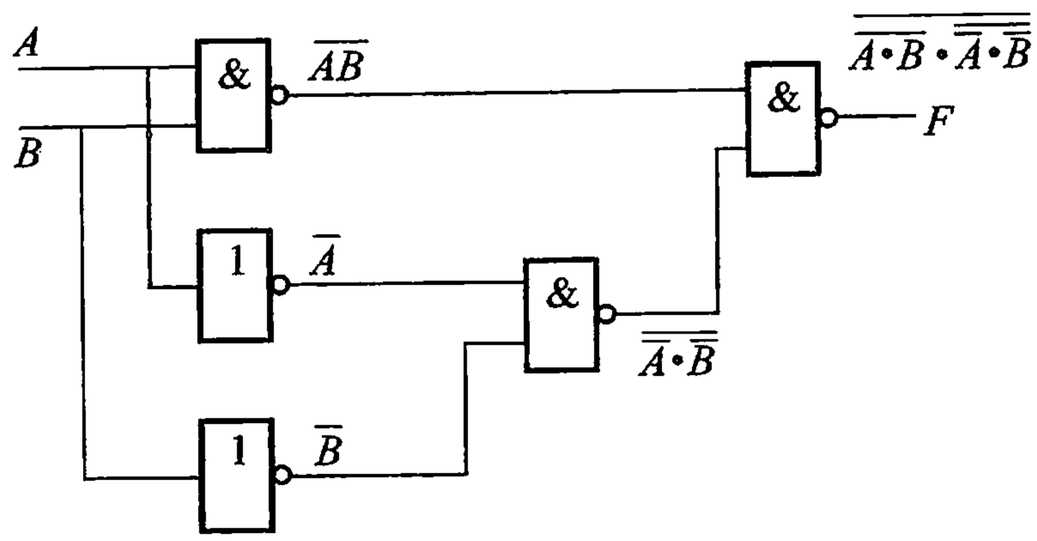


图 8.1.1　例 8.1.1 逻辑电路图

解　如图所示电路是由 3 个**与非**门和 2 个**非**门构成的三级组合逻辑电路。首先从输入到输出逐级写出各门电路输出端的逻辑函数表达式,最后得到输出信号的逻辑表达式为

$$F=\overline{\overline{A\cdot B}\cdot\overline{\overline{A}\cdot\overline{B}}}=\overline{\overline{A\cdot B}}+\overline{\overline{\overline{A}\cdot\overline{B}}}=A\cdot B+\overline{A}\cdot\overline{B} \tag{8.1.1}$$

由式(8.1.1)可列出真值表,如表 8.1.1 所示。从真值表可看出,该电路的逻辑功能是,输入信号 A 和 B 相同时,输出为高电平 **1**,A 和 B 不相同时,输出为低电平 **0**。这为**同或**逻辑关系,这该电路为**同或**电路。

表 8.1.1　例 8.1.1 真值表

A	B	F
0	**0**	**1**
0	**1**	**0**
1	**0**	**0**
1	**1**	**1**

上面通过一个简单的组合电路的分析,说明了组合逻辑电路的分析过程。实际组合逻辑电路的结构都较复杂,下面讲述常用组合逻辑器件可进一步掌握组合逻辑电路的分析过程。

8.1.2　组合逻辑电路的设计方法

组合逻辑电路的设计,就是根据所要实现的逻辑功能和器件资源情况,设计

出实现该功能的最佳电路。这里只讨论采用小规模集成电路实现组合逻辑电路的设计方法。

设计步骤：

（1）指定实际问题的逻辑含义，设定逻辑变量，进行逻辑赋值，列出真值表；

（2）根据真值表列出逻辑表达式，对逻辑表达式进行化简或根据要求改变逻辑表达式的类型；

（3）根据逻辑表达式画出逻辑图。

例 8.1.2　一个保险柜具有 A、B、C 3 个控制按钮，要求当 B 和 C 都按下时锁才能被打开，而在其他情况下（A、B、C 均不按下情况除外）锁均打不开并能自动报警。试设计这个保险锁的控制逻辑电路。

解　根据题意可知，该逻辑电路输入变量有三个：A、B 和 C，输出变量有两个：Y 和 S，分别代表锁和报警信号。对输入变量，**0** 表示按钮没有按下，**1** 表示按钮按下；对输出信号，Y 为 **0** 表示锁没有打开，Y 为 **1** 表示锁被打开；S 为 **0** 表示不报警，S 为 **1** 表示报警。

按照对逻辑电路的要求可列出真值表如下。

表 8.1.2　例 8.1.2 真值表

A	B	C	Y	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	1
1	1	0	0	1
1	1	1	0	1

由真值表可得逻辑表达式

$$Y = \overline{A}BC \tag{8.1.2a}$$

$$S = \overline{\overline{A}\,\overline{B}\,\overline{C} + \overline{A}BC} \tag{8.1.2b}$$

根据逻辑表达式(8.1.2)，可画出逻辑电路图如图 8.1.2 所示。

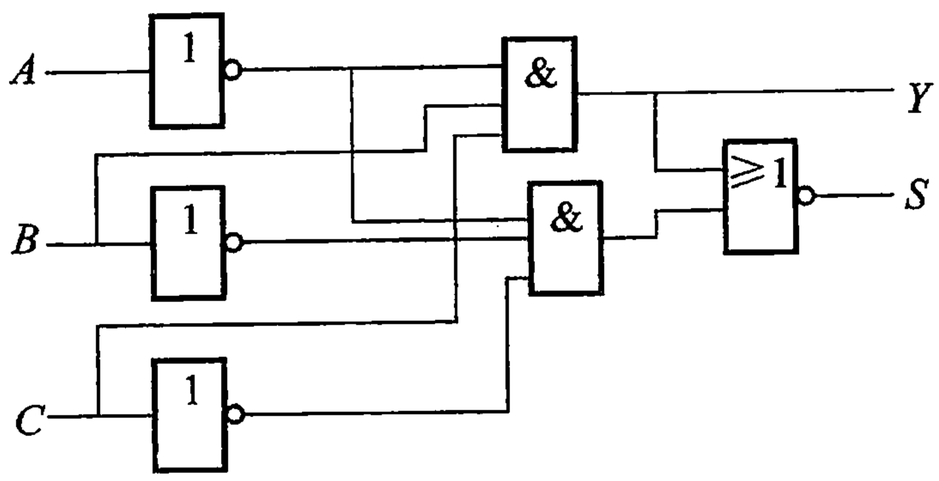


图 8.1.2　例 8.1.2 逻辑电路图

8.2　常用的组合逻辑电路

8.2.1　编码器

编码是将二进制数按一定的规律编排，使各组代码都具有确切含义的过程。能完成编码过程的电路称为编码器，其工作示意图如图 8.2.1 所示。

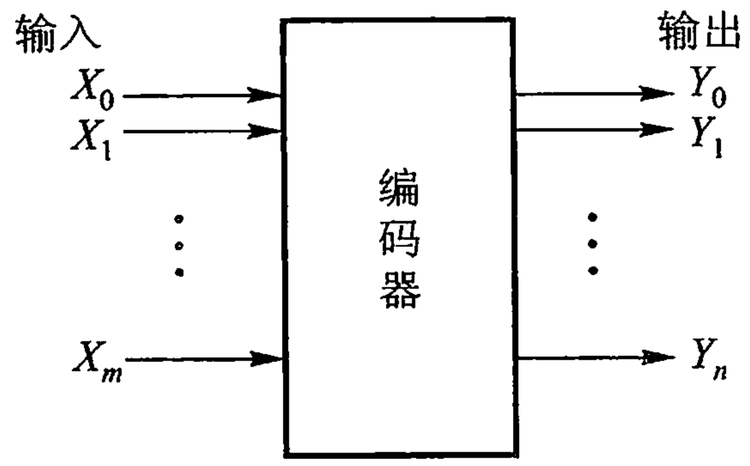


图 8.2.1　编码器框图

1. 普通编码器

编码器可分为普通编码器和优先编码器。普通编码器正常工作时，在任何时刻所有输入中只有一个输入信号有效，有效电平既可能是高电平，也可能是低电平，输出的位数通常少于输入的位数，即 $m > n$（m 为输入位数，n 为输出位数）。

图 8.2.2 所示为一种输入低电平有效的编码器的逻辑图，其中 S 为控制使用标志。下面应用上节所述的组合电路分析方法来分析该电路完成编码的过程。

由逻辑图可得各输出变量的逻辑表达式：

$$A = \overline{\overline{S}_8 \cdot \overline{S}_9} = \overline{S}_8 + \overline{S}_9$$

$$B = \overline{\overline{S}_4 \cdot \overline{S}_5 \cdot \overline{S}_6 \cdot \overline{S}_7} = \overline{S}_4 + \overline{S}_5 + \overline{S}_6 + \overline{S}_7$$

$$C = \overline{\overline{S}_2 \cdot \overline{S}_3 \cdot \overline{S}_6 \cdot \overline{S}_7} = \overline{S}_2 + \overline{S}_3 + \overline{S}_6 + \overline{S}_7$$

$$C = \overline{\overline{S}_1 \cdot \overline{S}_3 \cdot \overline{S}_5 \cdot \overline{S}_7 \cdot \overline{S}_9} = \overline{S}_1 + \overline{S}_3 + \overline{S}_5 + \overline{S}_7 + \overline{S}_9$$

$$S = \overline{\overline{A + B + C + D} \cdot \overline{S}_0} = A + B + C + D + \overline{S}_0$$

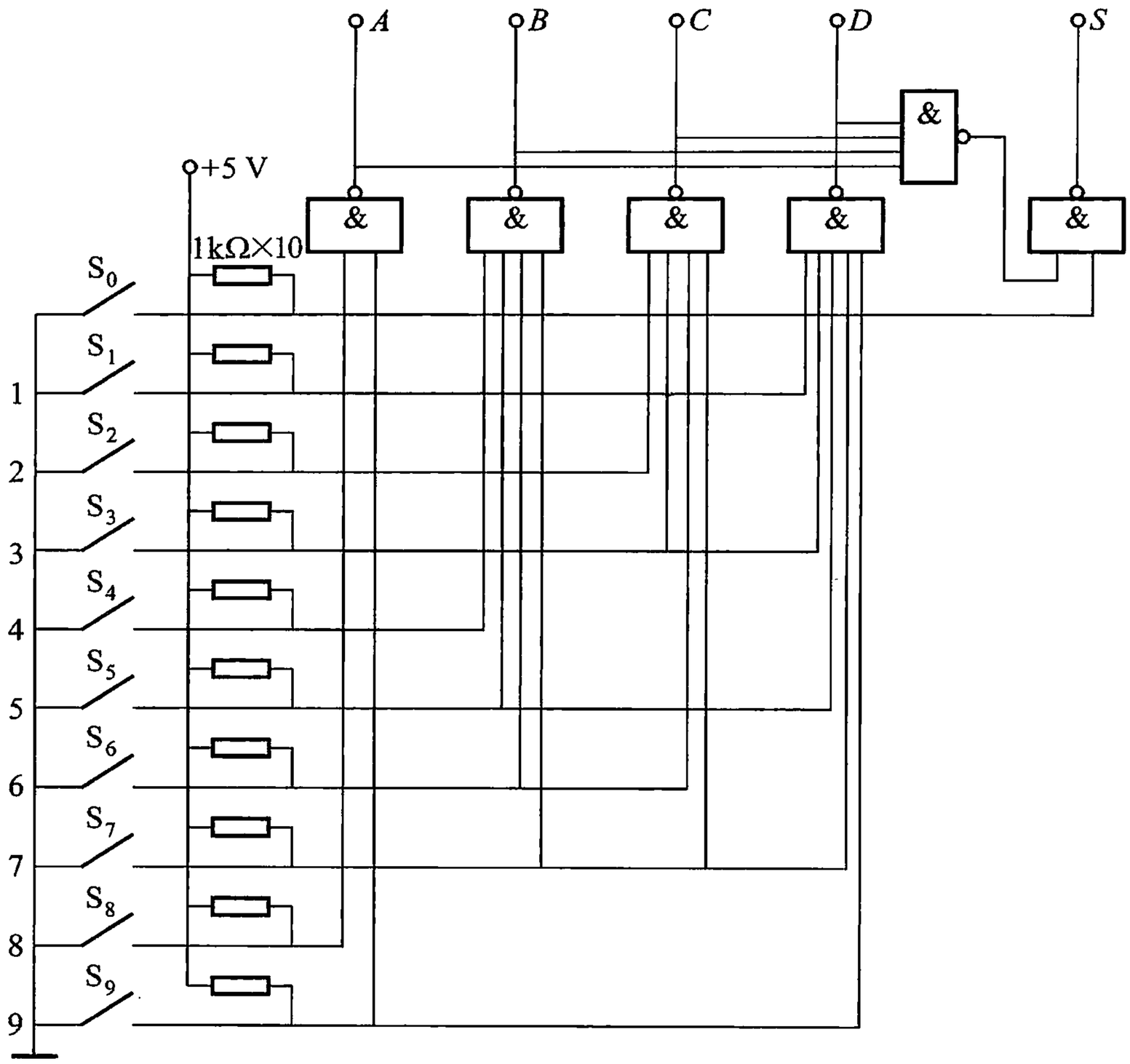


图 8.2.2　键控 8421BCD 码编码器原理逻辑图

由以上逻辑表达式可得出真值表，即表 8.2.1，由真值表可以看出输出为 8421 BCD 码，所以该电路为 8421 BCD 编码器。

表 8.2.1　8421 BCD 码编码器真值表

对应十进制数	输　入										输　出				
	S_9	S_8	S_7	S_6	S_5	S_4	S_3	S_2	S_1	S_0	A	B	C	D	S
	1	**1**	**1**	**1**	**1**	**1**	**1**	**1**	**1**	**1**	**0**	**0**	**0**	**0**	**0**
0	**1**	**1**	**1**	**1**	**1**	**1**	**1**	**1**	**1**	**0**	**0**	**0**	**0**	**0**	**1**
1	**1**	**1**	**1**	**1**	**1**	**1**	**1**	**1**	**0**	**1**	**0**	**0**	**0**	**1**	**1**
2	**1**	**1**	**1**	**1**	**1**	**1**	**1**	**0**	**1**	**1**	**0**	**0**	**1**	**0**	**1**
3	**1**	**1**	**1**	**1**	**1**	**1**	**0**	**1**	**1**	**1**	**0**	**0**	**1**	**1**	**1**
4	**1**	**1**	**1**	**1**	**1**	**0**	**1**	**1**	**1**	**1**	**0**	**1**	**0**	**0**	**1**
5	**1**	**1**	**1**	**1**	**0**	**1**	**1**	**1**	**1**	**1**	**0**	**1**	**0**	**1**	**1**
6	**1**	**1**	**1**	**0**	**1**	**1**	**1**	**1**	**1**	**1**	**0**	**1**	**1**	**0**	**1**

续表

对应十进制数	输入										输出				
	S_9	S_8	S_7	S_6	S_5	S_4	S_3	S_2	S_1	S_0	A	B	C	D	S
7	1	1	0	1	1	1	1	1	1	1	0	1	1	1	1
8	1	0	1	1	1	1	1	1	1	1	1	0	0	0	1
9	0	1	1	1	1	1	1	1	1	1	1	0	0	1	1

2. 优先编码器

普通编码器正常工作时，在任何时刻所有输入中只有一个输入信号有效，即输入信号是相互排斥的。而优先编码器不同，允许几个输入信号同时优先，电路只对其中优先级别最高的输入信号进行编码。

集成优先编码器 74148 的逻辑图如图 8.2.3 所示。该编码器有 8 个信号输入端，3 个二进制码输出端。此外，电路还设置了输入使能端 *EI*，输出使能端 *EO*

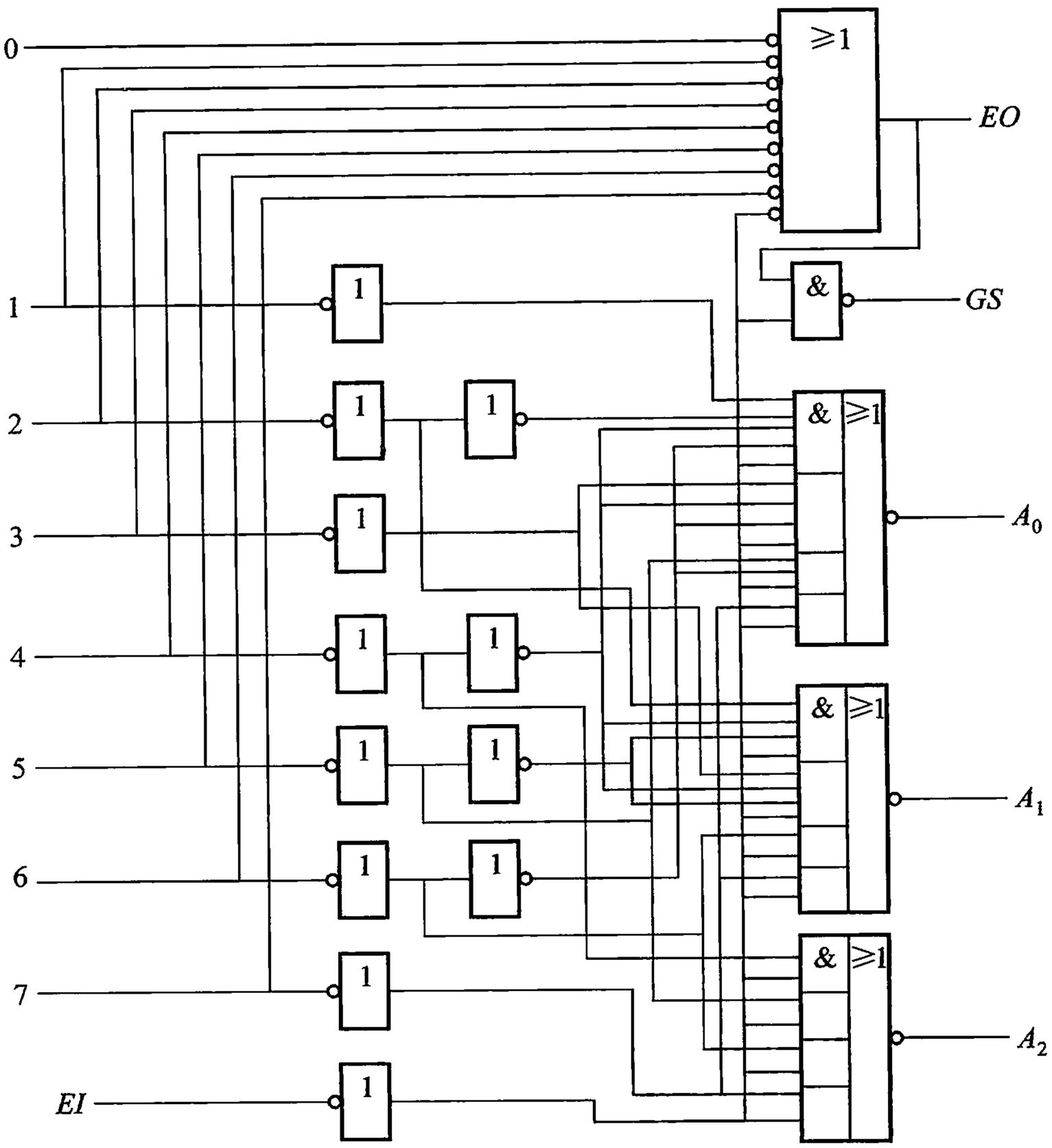


图 8.2.3 集成优先编码器 74148 逻辑图

和优先编码工作状态标志端 GS。当 $EI=0$ 时，编码器工作；当 $EI=1$ 时，则不论 8 个输入端为何种状态，3 个输出端均为高电平，且优先标志端和输出使能端均为高电平，编码器处于非工作状态。这种情况被称为输入低电平有效，输出也有低电平有效的情况。当 EI 为 **0**，且至少有一个输入端有编码请求信号（逻辑 **0**）时，优先编码工作状态标志 GS 为 **0**，表明编码处于工作状态，否则为 **1**。由功能表（表 8.2.2）可知，在 8 个输入端均无低电平输入信号和只有输入 0 端（优先级别最低位）有低电平输入时，$A_2A_1A_0$ 为 **111**，出现了输入条件不同输出代码相同的情况，这可由 GS 的状态加以区别，$GS=1$ 时，表示 8 个输入端均为无低电平输入，此时 $A_2A_1A_0=111$ 为非编码输出；$GS=0$ 时，$A_2A_1A_0=111$ 表示响应输入 0 的输出代码，$A_2A_1A_0=111$ 为编码输出。EO 只有在 EI 为 **0**，且所有输入端都为 **1** 时，输出为 **0**，它可与另一片同样器件的 EI 连接，以便组成更多输入端的优先编码器。

其功能表如表 8.2.2 所示。

表 8.2.2　集成优先编码器 74148 功能表

输入									输出				
EI	0	1	2	3	4	5	6	7	A_2	A_1	A_0	GS	EO
H	×	×	×	×	×	×	×	×	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	×	×	×	×	×	×	×	L	L	L	L	L	H
L	×	×	×	×	×	×	L	H	L	L	H	L	H
L	×	×	×	×	×	L	H	H	L	H	L	L	H
L	×	×	×	×	L	H	H	H	L	H	H	L	H
L	×	×	×	L	H	H	H	H	H	L	L	L	H
L	×	×	L	H	H	H	H	H	H	L	H	L	H
L	×	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

注：H 表示高电平，L 表示低电平，× 表示任意状态。

常用的集成优先编码器有 74LS148、74LS348 等。

8.2.2　译码器

译码器的功能与编码器的功能相反，它能将特定含义的二进制码“翻译”出来，还原成相应的数字、文字、符号或控制信号，其工作示意图如图 8.2.4 所示，输入为 8421 BCD 码、自然二进制码等二进制代码，而输出则为一组控制信号，

可以是高电平有效，也可以是低电平有效，而且通常输入的位数小于输出的位数，即 $m < n$。译码器正常工作时对应每一组输入代码，只有一个输出端为有效电平，因此，如果输入 m 位二进制代码，则译码器最多有 2^m 个输出端。

常用的译码器有二进制译码器、二－十进制译码器和显示译码器。

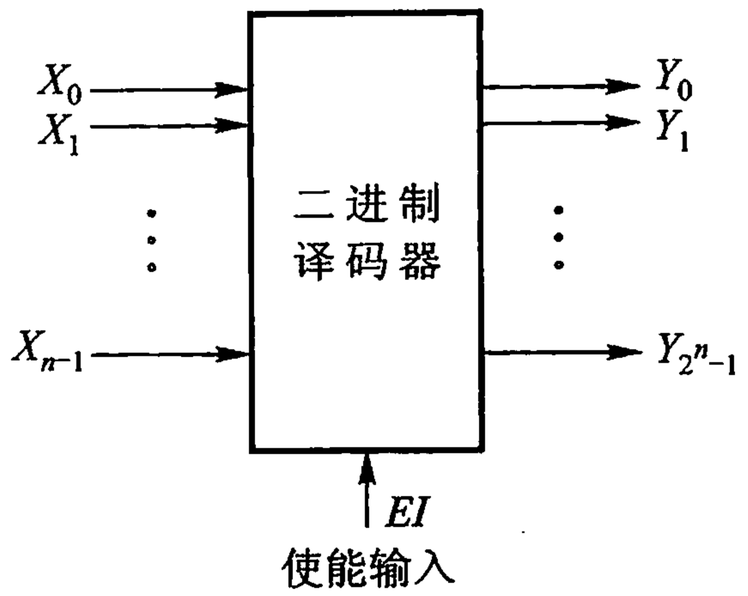


图 8.2.4　二进制译码器的示意框图

1. 二进制译码器

把二进制代码的各种状态，按其原意翻译成对应的输出信号的电路，叫做二进制译码器，图 8.2.4 给出了二进制译码器的示意框图。

这里介绍 3 线－8 线集成译码器 74138，其原理图和外引脚排列图如图 8.2.5所示，其功能表如表 8.2.3 所示。

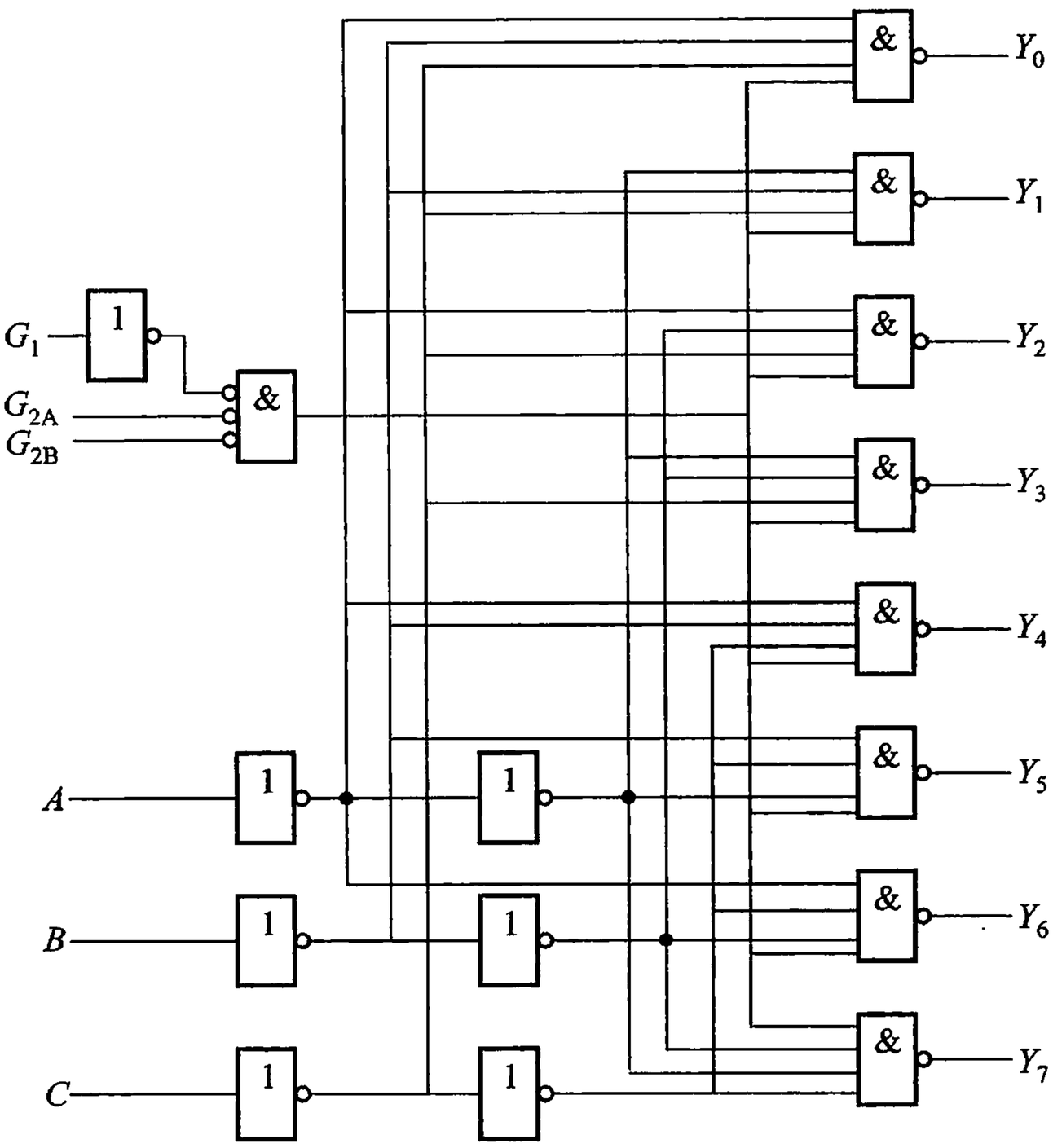


图 8.2.5　译码器 74138

(a) 原理图　(b)外引脚排列图

表 8.2.3　集成译码器 74138 的功能表

输入						输出							
G_1	G_{2A}	G_{2B}	C	B	A	Y_0	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7
×	H	×	×	×	×	H	H	H	H	H	H	H	H
×	×	H	×	×	×	H	H	H	H	H	H	H	H
L	×	×	×	×	×	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	H	L	H	H	H	H
H	L	L	H	L	L	H	H	H	H	L	H	H	H
H	L	L	H	L	H	H	H	H	H	H	L	H	H
H	L	L	H	H	L	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L

由功能表有：

$$\overline{Y_0} = G_1 \cdot \overline{G}_{2A} \cdot \overline{G}_{2B} \cdot \overline{C} \cdot \overline{B} \cdot \overline{A}$$

$$Y_0 = \overline{G_1 \cdot \overline{G}_{2A} \cdot \overline{G}_{2B} \cdot \overline{C} \cdot \overline{B} \cdot \overline{A}}$$

$$\overline{Y_1} = G_1 \cdot \overline{G}_{2A} \cdot \overline{G}_{2B} \cdot \overline{C} \cdot \overline{B} \cdot A$$

$$Y_1 = \overline{G_1 \cdot \overline{G}_{2A} \cdot \overline{G}_{2B} \cdot \overline{C} \cdot \overline{B} \cdot A}$$

……

显然，一个 3 线 -8 线译码器能产生 3 变量函数的全部最小项，利用这一点能够方便地实现 3 变量逻辑函数。

2. 二 - 十进制译码器

二 - 十进制译码器具有将二进制数变换为十进制数的功能。这里用本章开始介绍的组合电路设计方法，来设计一个 8421 二 - 十进制译码器。

首先依据对电路的逻辑功能的要求列出真值表，如表 8.2.4 所示。从表中可以看出这种译码器应有 4 个输入端，10 个输出端，因此，也称为 4 线 -10 线译码器。

表 8.2.4　二 - 十进制译码器真值表

	输入				输出										对应十进制数
	A_3	A_2	A_1	A_0	$\overline{L}_9$	$\overline{L}_8$	$\overline{L}_7$	$\overline{L}_6$	$\overline{L}_5$	$\overline{L}_4$	$\overline{L}_3$	$\overline{L}_2$	$\overline{L}_1$	$\overline{L}_0$	
许用码组	0	0	0	0	1	1	1	1	1	1	1	1	1	0	0
	0	0	0	1	1	1	1	1	1	1	1	1	0	1	1
	0	0	1	0	1	1	1	1	1	1	1	0	1	1	2
	0	0	1	1	1	1	1	1	1	1	0	1	1	1	3
	0	1	0	0	1	1	1	1	1	0	1	1	1	1	4
	0	1	0	1	1	1	1	1	0	1	1	1	1	1	5
	0	1	1	0	1	1	1	0	1	1	1	1	1	1	6
	0	1	1	1	1	1	0	1	1	1	1	1	1	1	7
	1	0	0	0	1	0	1	1	1	1	1	1	1	1	8
	1	0	0	1	0	1	1	1	1	1	1	1	1	1	9

续表

	输入				输出										对应十进制数
	A_3	A_2	A_1	A_0	$\overline{L}_9$	$\overline{L}_8$	$\overline{L}_7$	$\overline{L}_6$	$\overline{L}_5$	$\overline{L}_4$	$\overline{L}_3$	$\overline{L}_2$	$\overline{L}_1$	$\overline{L}_0$	
禁用码组	1	0	1	0	×	×	×	×	×	×	×	×	×	×	
	1	0	1	1	×	×	×	×	×	×	×	×	×	×	
	1	1	0	0	×	×	×	×	×	×	×	×	×	×	
	1	1	0	1	×	×	×	×	×	×	×	×	×	×	
	1	1	1	0	×	×	×	×	×	×	×	×	×	×	
	1	1	1	1	×	×	×	×	×	×	×	×	×	×	

然后由真值表画出卡诺图，得到每一个输出量的逻辑表达式。例如，L_0 的卡诺图如图 8.2.6 所示，由于图中用圈 **0** 化简逻辑表达式更容易，所以可以先得出 L_0 的负逻辑表达式（逻辑非的表达式）为

$$\overline{\overline{L}}_0 = \overline{A}_3\overline{A}_2\overline{A}_1\overline{A}_0$$

则有

$$\overline{L}_0 = \overline{\overline{A}_3\overline{A}_2\overline{A}_1\overline{A}_0} \qquad (8.2.1a)$$

同理，有

$$\overline{L}_1 = \overline{\overline{A}_3\overline{A}_2\overline{A}_1 A_0} \qquad (8.2.1b)$$

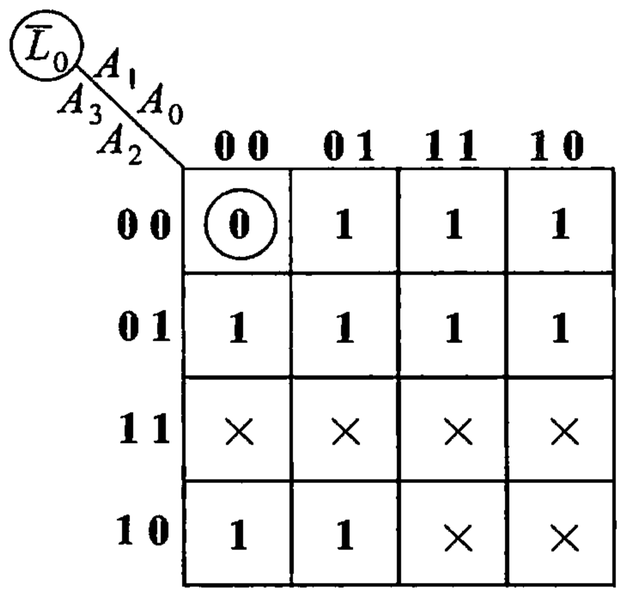


图 8.2.6 输出量 $\overline{L}_0$ 的卡诺图

$$\overline{L}_2 = \overline{\overline{A}_2 A_1\overline{A}_0} \qquad (8.2.1c)$$

$$\overline{L}_3 = \overline{\overline{A}_2 A_1 A_0} \qquad (8.2.1d)$$

$$\overline{L}_4 = \overline{A_2\overline{A}_1\overline{A}_0} \qquad (8.2.1e)$$

$$\overline{L}_5 = \overline{A_2\overline{A}_1 A_0} \qquad (8.2.1f)$$

$$\overline{L}_6 = \overline{A_2 A_1\overline{A}_0} \qquad (8.2.1g)$$

$$\overline{L}_7 = \overline{A_2 A_1 A_0} \qquad (8.2.1h)$$

$$\overline{L}_8 = \overline{A_3\overline{A}_0} \qquad (8.2.1i)$$

$$\overline{L}_9 = \overline{A_3 A_0} \qquad (8.2.1j)$$

最后，根据上述逻辑表达式（8.2.1 a）~（8.2.1 j）可画出逻辑图如图 8.2.7 所示。

3. 显示译码器

数字显示电路是数字系统中不可缺少的部分，目前数字显示方式有 3 种：第

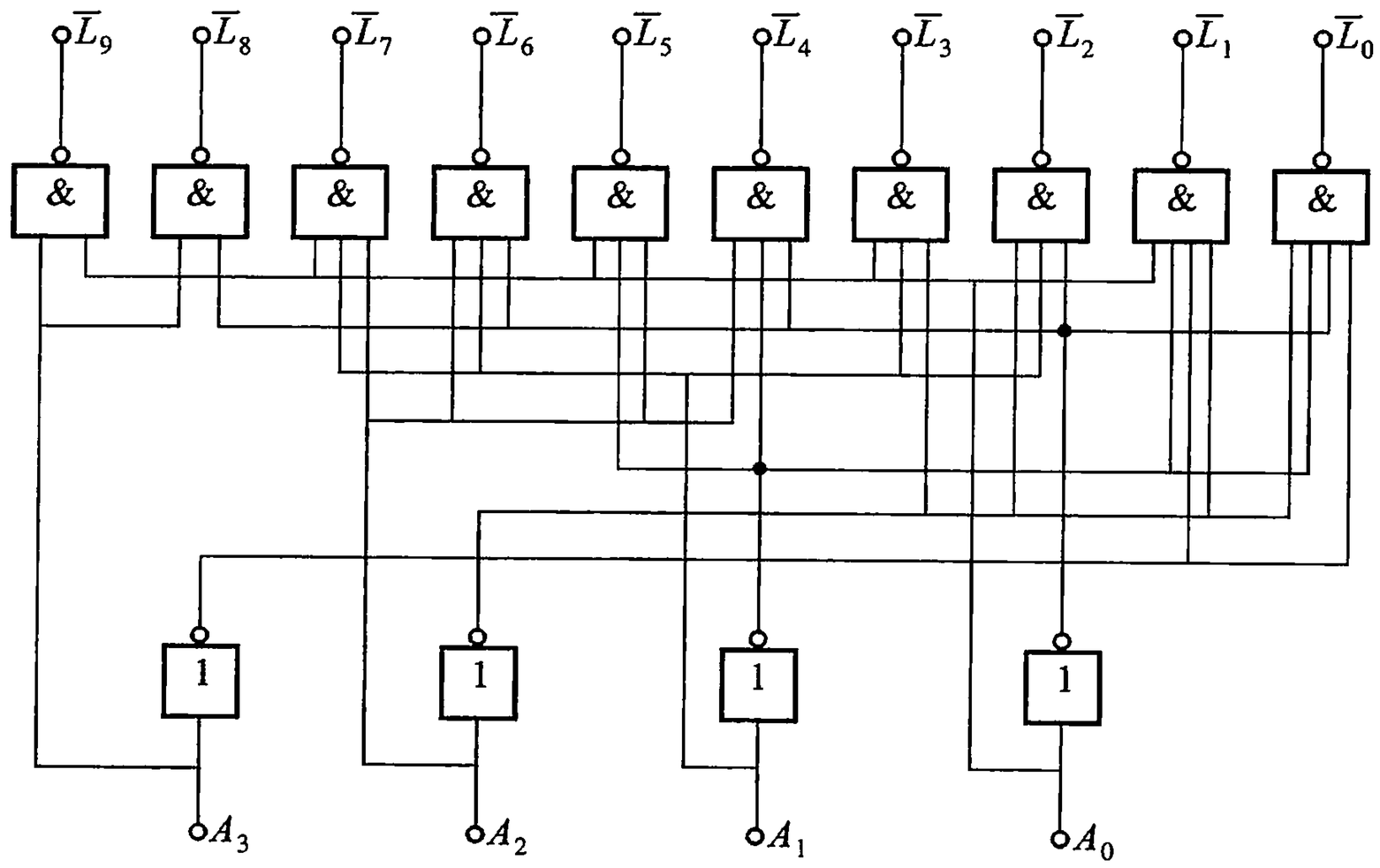


图 8.2.7　8421 二－十进制译码器逻辑图

一种是字形重叠，将不同字符的电极重叠在一起，要显示某字符，只需使相应的电极发光即可；第二种是分段显示，数码由分布在同一平面上若干段发光的笔划组成；第三种是点阵显示，它由按一定规律排列的可发光的点阵组成，利用光点的不同组合可显示不同的数码、字符，这种显示方法常用于大屏幕显示。分段显示应用较为普遍。因此，本书重点介绍 8421 BCD 码七段显示译码器。

七段数字显示器的分段布置和段组合如图8.2.8所示，每一段均为一个发光

图 8.2.8　七段发光二极管数字显示器及其等效电路

（a）七段笔划形式　（b）七段笔划形式与十进制数字的关系　（c）共阴极　（d）共阳极

二极管，其连接方式有两种：图(c)为共阴极显示器，每一段为正电平有效；图(d)为共阳极显示器，每一段为负电平有效。例如，对共阳极显示器，如果要显示“1”，需使 b、c 两段为低电平；要显示“4”，需使 b、c、g 和 f 四段为低电平。由七段码的显示原理，可以得到当输入为 8421 码时，共阳极七段显示器的真值表如表 8.2.5 所示，由表中可以得出译码器输出 a 的卡诺图如图 8.2.9 所示，推出输出 a 的负逻辑表达式为

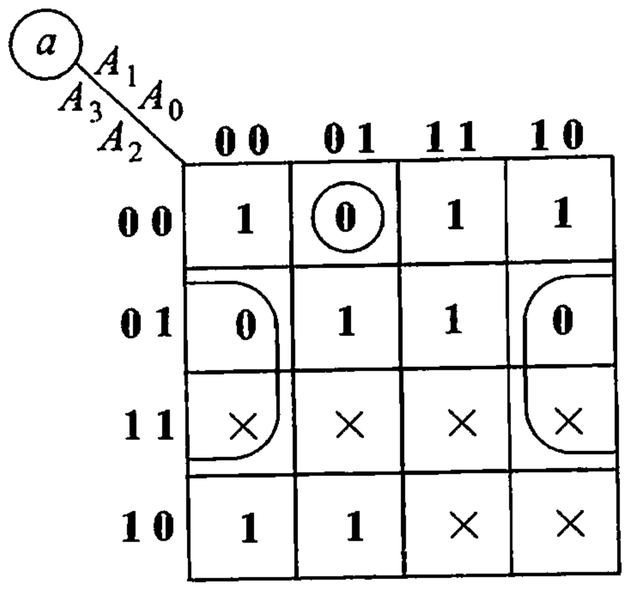


图 8.2.9　七段译码器 a 段卡诺图

表 8.2.5　8421 BCD 码七段显示译码器真值表

输入				输出							显示字形
A_3	A_2	A_1	A_0	a	b	c	d	e	f	g	
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	2
0	0	1	1	1	1	1	1	0	0	1	3
0	1	0	0	0	1	1	0	0	1	1	4
0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	1	1	1	1	0	1	1	9

$$\overline{a} = \overline{A}_3\overline{A}_2\overline{A}_1A_0 + A_2\overline{A}_0 = \overline{\overline{\overline{A}_3\overline{A}_2\overline{A}_1A_0} \cdot \overline{A_2\overline{A}_0}} \tag{8.2.2a}$$

用相同方法可以得到所有输出的负逻辑表达式，分别为：

$$\overline{b} = \overline{\overline{A_2\overline{A}_1A_0} \cdot \overline{A_2A_1\overline{A}_0}} \tag{8.2.2b}$$

$$\overline{c} = \overline{\overline{A}_2A_1\overline{A}_0} \tag{8.2.2c}$$

$$\overline{d}=\overline{\overline{A_2A_1A_0}\cdot\overline{A_2\overline{A}_1\overline{A}_0}\cdot\overline{\overline{A}_2\overline{A}_1A_0}} \tag{8.2.2d}$$

$$\overline{e}=\overline{\overline{A}_0\cdot\overline{A_2\overline{A}_1}} \tag{8.2.2e}$$

$$\overline{f}=\overline{\overline{\overline{A}_2A_1}\cdot\overline{A_1A_0}\cdot\overline{\overline{A}_2\overline{A}_3A_0}} \tag{8.2.2f}$$

$$\overline{g}=\overline{\overline{\overline{A}_3\overline{A}_2\overline{A}_1}\cdot\overline{A_2A_1A_0}} \tag{8.2.2g}$$

由逻辑表达式(8.2.2 a) ~ (8.2.2 g)可以得全部用**与非**门实现的七段显示译码器的逻辑图如图 8.2.10 所示。由于采用共阳极显示器,负电平有效,所以用译码器的各段输出$\overline{a}$ ~ $\overline{g}$直接驱动显示器的 a ~ g 段就可以了。

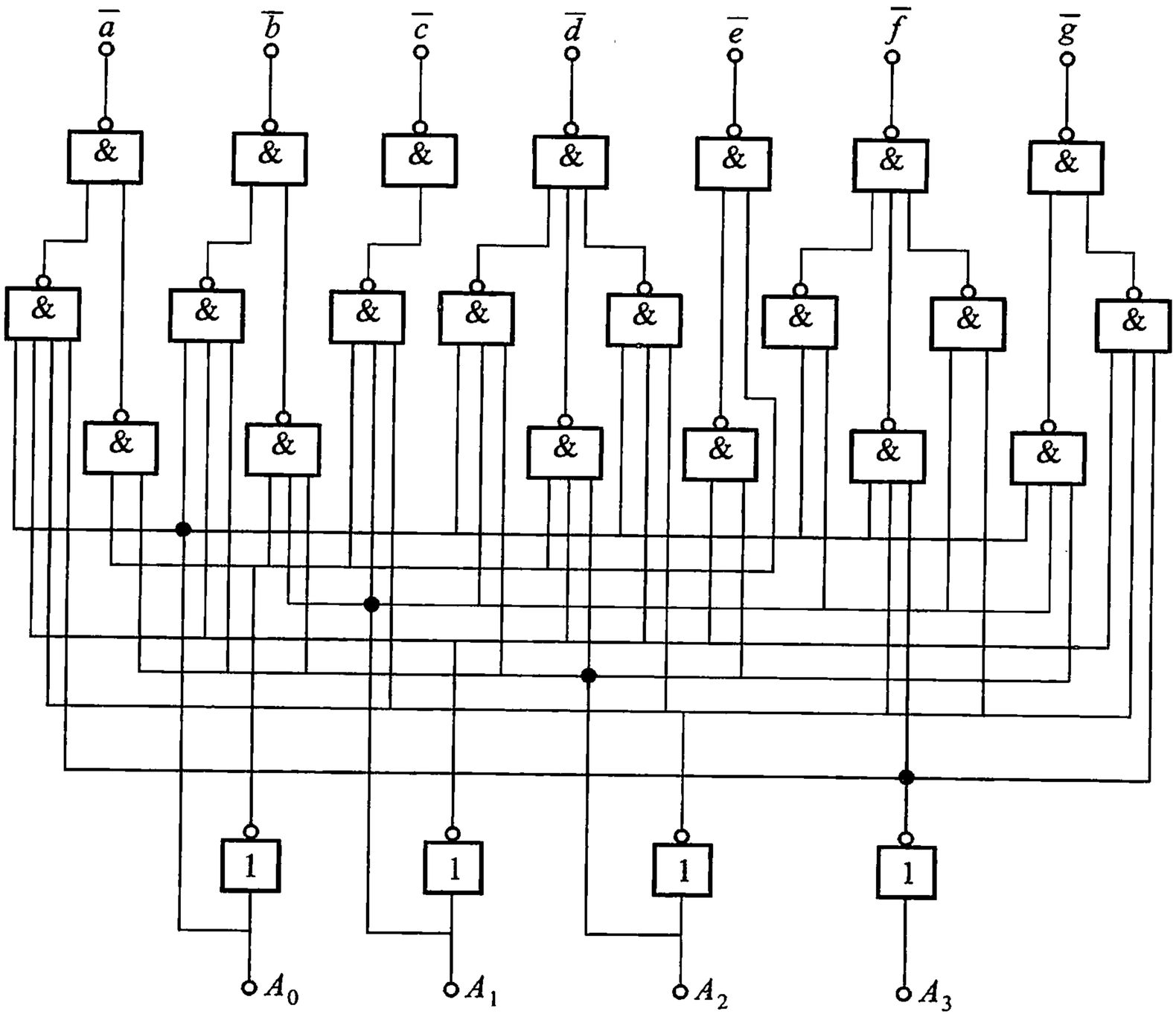


图 8.2.10　8421 BCD 码七段显示译码器逻辑图

8.2.3　数据分配器和数据选择器

1. 数据分配器

在数据的传输过程中,常常需要将一路数据分配到多路装置中去,执行这种功能的电路称为数据分配器,图 8.2.11 所示为它的原理示意图,图中$\overline{E}$为使能

端，使能端是许多集成芯片都具有的控制端，只有使能输入有效时，电路才能完成正常的逻辑功能，图中的使能端是低电平有效，开关 S 受输入 A_1、A_0 的控制，A_1A_0 为 **00** 时，S 接通 W_0，数据 D 由 W_0 传送出去，由于 A_1A_0 有 4 种组合状态，所以 D 的输出有 4 路选择，通常将 A_1A_0 称为地址输入，表 8.2.6 是不同地址输入时，数据所选择的输出通道，如果地址输入有 3 位，则有 8 路输出选择。依此类推，所以输出多少路是由地址输入的位数决定的。数据 D 可以是 1 位也可以是多位。而输出中每一路的位数则由输入 D 的位数决定。

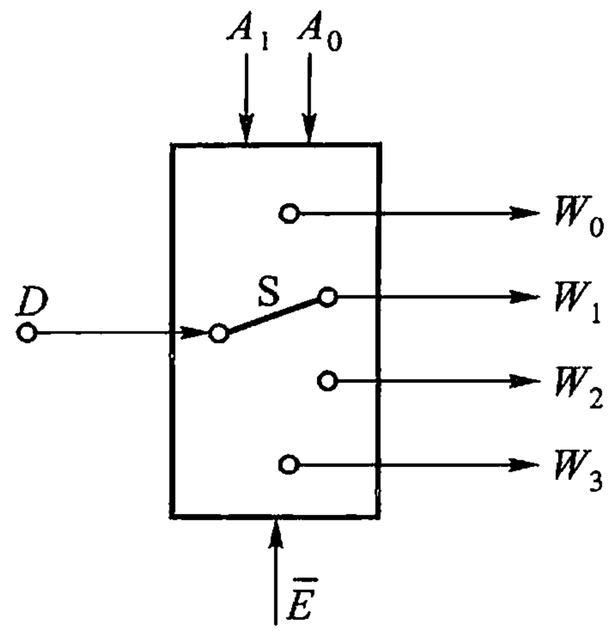


图 8.2.11　数据分配器原理图

表 8.2.6　数据分配器功能表

输入			输　出			
地址		使能				
A_1	A_0	E	W_0	W_1	W_2	W_3
×	×	**1**	**1**	**1**	**1**	**1**
0	**0**	**0**	D	**1**	**1**	**1**
0	**1**	**0**	**1**	D	**1**	**1**
1	**0**	**0**	**1**	**1**	D	**1**
1	**1**	**0**	**1**	**1**	**1**	D

图 8.2.12 所示为一种数据分配器的逻辑图，由逻辑图可以得到它的功能表如表 8.2.7，显然这是一个 1 位 4 路分配器，E_1 为使能端，高电平有效。如果有

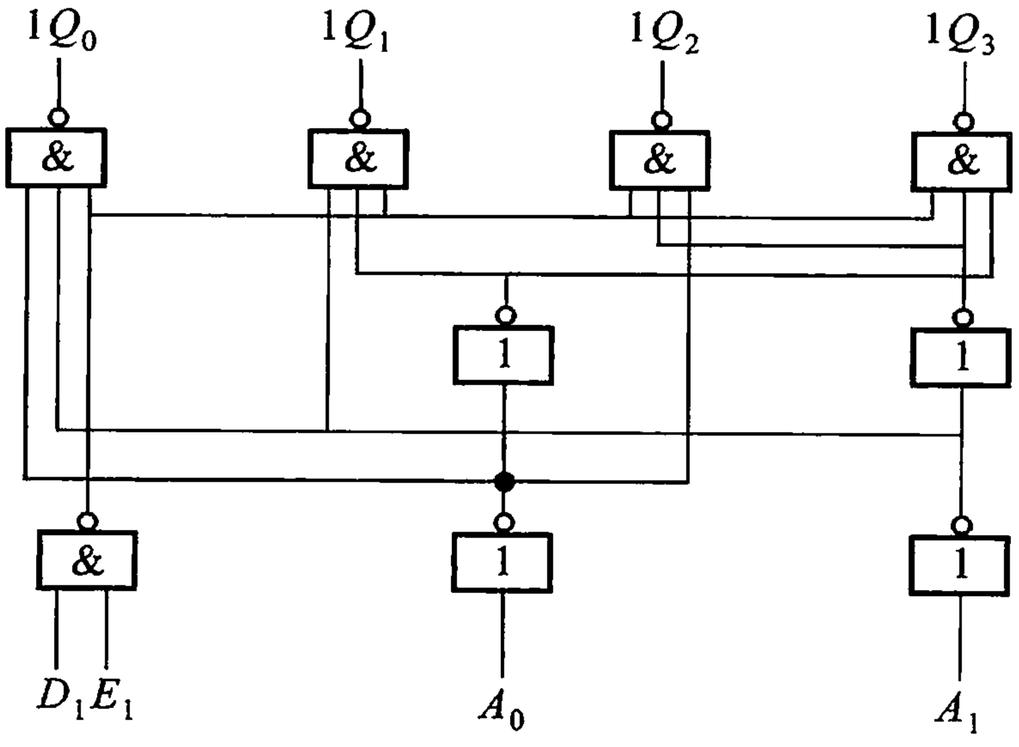


图 8.2.12　一位数据分配器的逻辑图

两个这样的 1 位 4 路分配器并联使用，就可以得到 2 位 4 路数据分配器，即输入 D 为 2 位，输出由两个 1 位数据分配器各输出 1 位，也是 2 位。多位数据分配器的原理与 1 位数据分配器的原理是相同的，只是使能控制和地址控制更复杂一些。

表 8.2.7　1 位数据分配器功能表

输入			输出			
地址		使能				
A_1	A_0	E_1	$1Q_0$	$1Q_1$	$1Q_2$	$1Q_3$
×	×	**0**	**1**	**1**	**1**	**1**
0	**0**	**1**	D_1	**1**	**1**	**1**
0	**1**	**1**	**1**	D_1	**1**	**1**
1	**0**	**1**	**1**	**1**	D_1	**1**
1	**1**	**1**	**1**	**1**	**1**	D_1

2. 数据选择器

数据选择器的功能与数据分配器恰好相反，数据分配器是将一路数据分配到多路输出通道上去。可以是公共数据线上的信号传送到不同的单元中去，而数据选择器则是将多路输入信号中的某一路信号选择到唯一的输出通道上去，也可以是将多个通道的信号有序地传送到公共数据线上去。图 8.2.13 所示为数据选择器的示意图和逻辑符号。

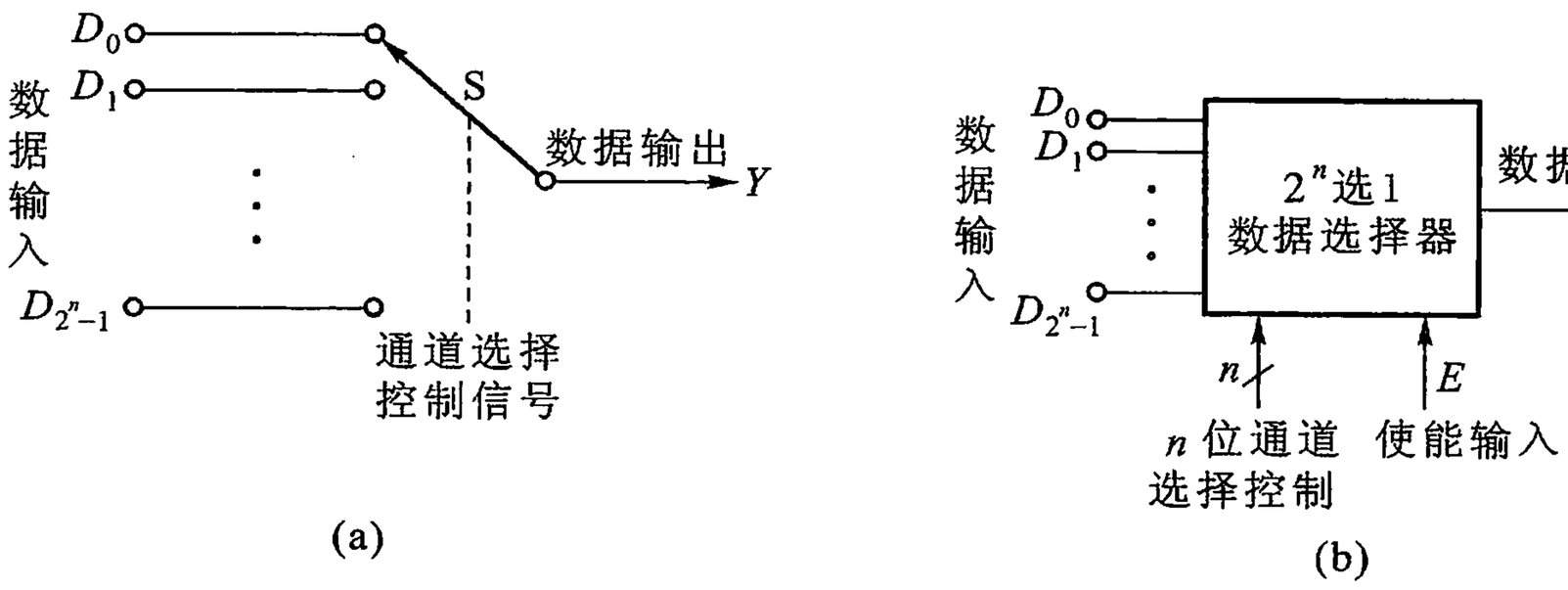


图 8.2.13　数据选择器

(a) 示意图　(b) 逻辑符号

图 8.2.13 中开关 S 仍然受通道选择控制信号即地址输入的控制，因此，如有 2^n 个数据输入，则需要有 n 位地址信号控制。例如，有 8 路数据输入，就必须有 3 位地址控制信号。图 8.2.14 所示为一种数据选择器的逻辑图，由逻辑图可以得到输出的逻辑表达式(暂不考虑使能输入$\overline{E}$)：

$$\begin{aligned} Y &= (\overline{A}_2\,\overline{A}_1\,\overline{A}_0)D_0 + (\overline{A}_2\,\overline{A}_1A_0)D_1 + (\overline{A}_2A_1\,\overline{A}_0)D_2 + \\ &\quad (\overline{A}_2A_1A_0)D_3 + (A_2\,\overline{A}_1\,\overline{A}_0)D_4 + (A_2\,\overline{A}_1A_0)D_5 + \\ &\quad (A_2A_1\,\overline{A}_0)D_6 + (A_2A_1A_0)D_7 \\ &= m_0D_0 + m_1D_1 + m_2D_2 + m_3D_3 + m_4D_4 + \\ &\quad m_5D_5 + m_6D_6 + m_7D_7 \\ &= \sum_{i=0}^{7}(m_iD_i) \end{aligned} \tag{8.2.3}$$

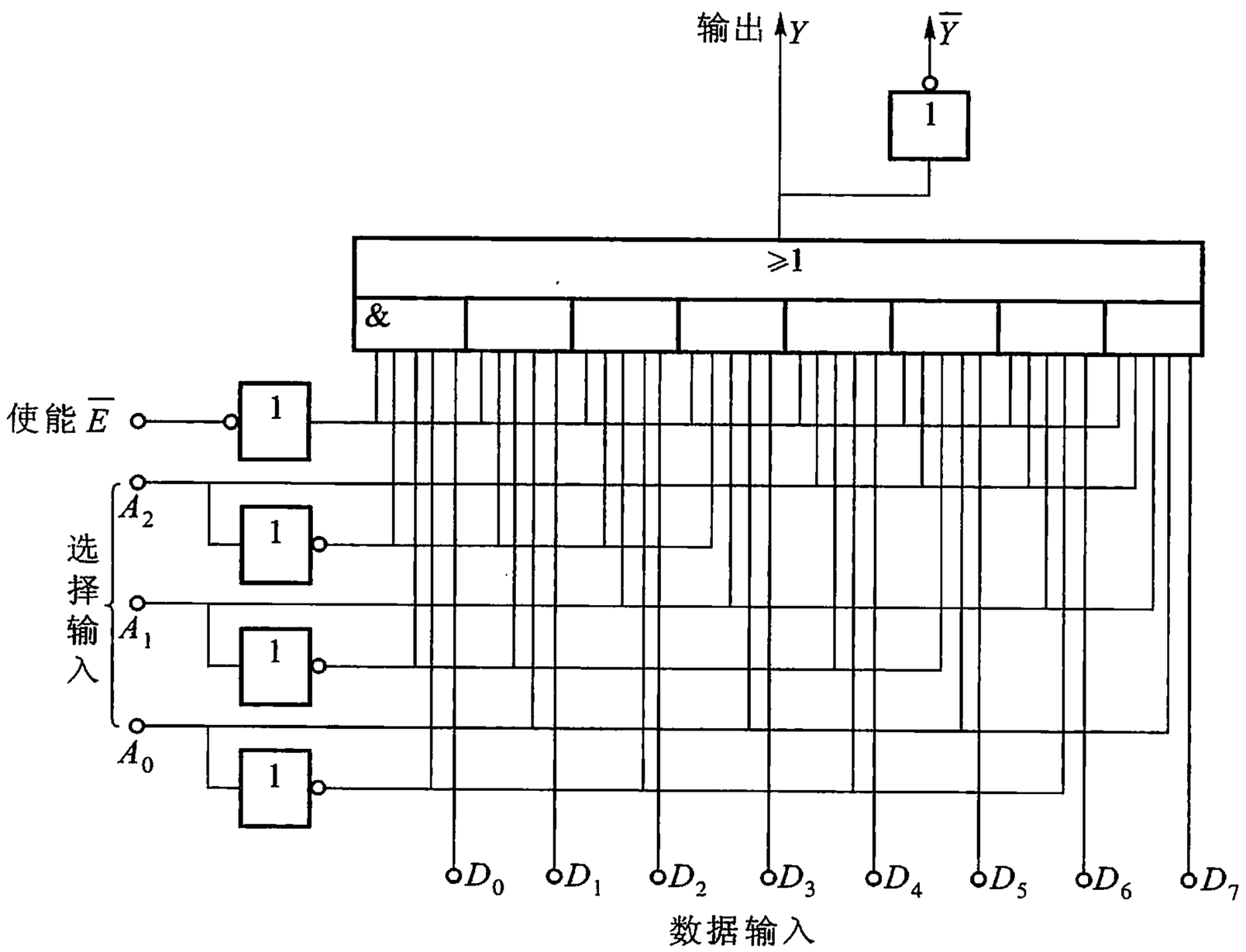


图 8.2.14　8 选 1 数据选择器逻辑图

式(8.2.3)中，m_i 为 A_2、A_1、A_0 的最小项。例如，当 $A_2A_1A_0$ 为 **011** 时，据最小项的性质。只有 $m_3 = \mathbf{1}$，其余最小项均为 **0**，得 $Y = D_3$，即只有数据 D_3 传送到输出端，因此，可以得到真值表如表 8.2.8 所示。从真值表可以看出这是一个 8 选 1 数据选择器。

表 8.2.8　8 选 1 数据选择器真值表

使能$\overline{E}$	选择输入			输出	
	A_2	A_1	A_0	Y	$\overline{Y}$
1	×	×	×	0	1
0	0	0	0	D_0	$\overline{D}_0$
0	0	0	1	D_1	$\overline{D}_1$
0	0	1	0	D_2	$\overline{D}_2$
0	0	1	1	D_3	$\overline{D}_3$
0	1	0	0	D_4	$\overline{D}_4$
0	1	0	1	D_5	$\overline{D}_5$
0	1	1	0	D_6	$\overline{D}_6$
0	1	1	1	D_7	$\overline{D}_7$

上面讨论的数据选择器的输入数据、输出数据均是 1 位，如果输入数据为多位时，只需将与输入数据位数相同的 1 位数据选择器并联使用就可以了。所谓并联使用就是将多个 1 位数据选择器的选择输入端和使能端联在一起，图 8.2.15 所示为由两个 1 位 8 选 1 数据选择器构成的 2 位 8 选 1 数据选择器的逻辑图。

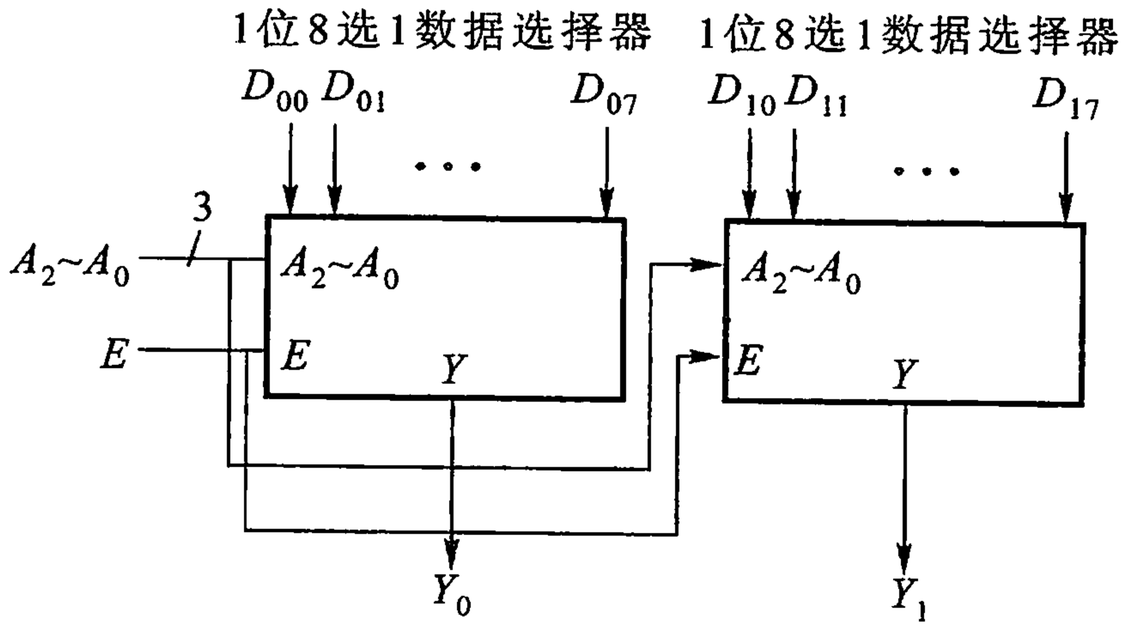


图 8.2.15　2 位 8 选 1 数据选择器逻辑图

8.2.4　数值比较器

在数字系统中往往需要对两个数进行比较，这两个数可能是二进制数，也可能是其他进制的编码，能够判断出两个数（A 和 B）的大小的电路，称为数值比较器。应该注意的是比较的结果应该有 3 种，$A > B$、$A < B$ 和 $A = B$，图 8.2.16 所示

为数值比较器的逻辑符号和逻辑示意图。

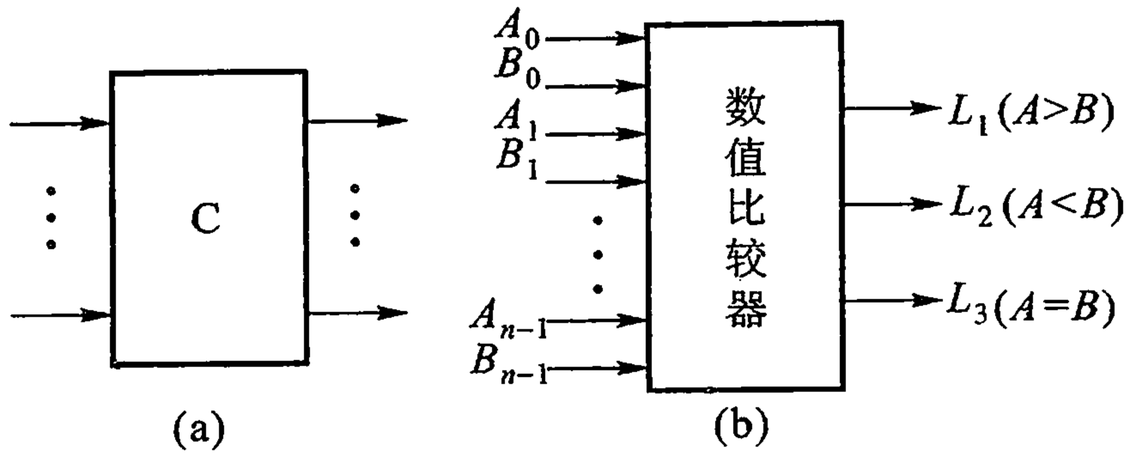


图 8.2.16 数值比较器逻辑符号和逻辑示意图

(a) 逻辑符号 (b) 逻辑示意图

表 8.2.9 1 位数值比较器真值表

比较输入		比较输出		
A	B	$F_{A>B}$	$F_{A<B}$	$F_{A=B}$
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1

1. 1 位数值比较器

假设 A、B 两个数值均为 1 位二进制数，对 A、B 两数进行比较，比较的结果也有 $A>B$、$A<B$ 以及 $A=B$ 三种情况，真值表如表 8.2.9 所示，由真值表可以得出输出量的逻辑表达式：

$$F_{A>B}=A\overline{B}$$

$$F_{A<B}=\overline{A}B$$

$$F_{A=B}=\overline{A}\,\overline{B}+AB=A\odot B \tag{8.2.4}$$

由以上逻辑表达式可以得出 1 位数值比较器的逻辑图如图 8.2.17 所示。

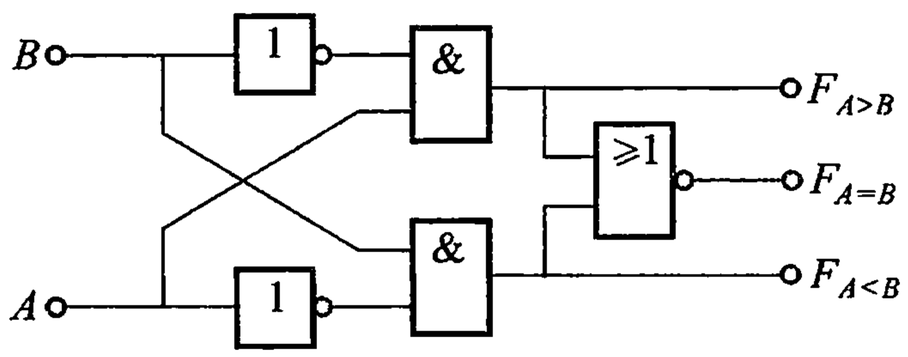


图 8.2.17 1 位数值比较器逻辑图

2. 集成 4 位数值比较器

在 1 位数值比较器的基础上可以得到如图 8.2.18 所示的 4 位数值比较器。图 8.2.18 中 $A'>B'$、$A'<B'$、$A'=B'$是级联信号，用于多片数值比较器的连接，在暂时不考虑级联信号的前提下，从图中可以得到 4 位数值比较器输出量的逻辑表达式和真值表。

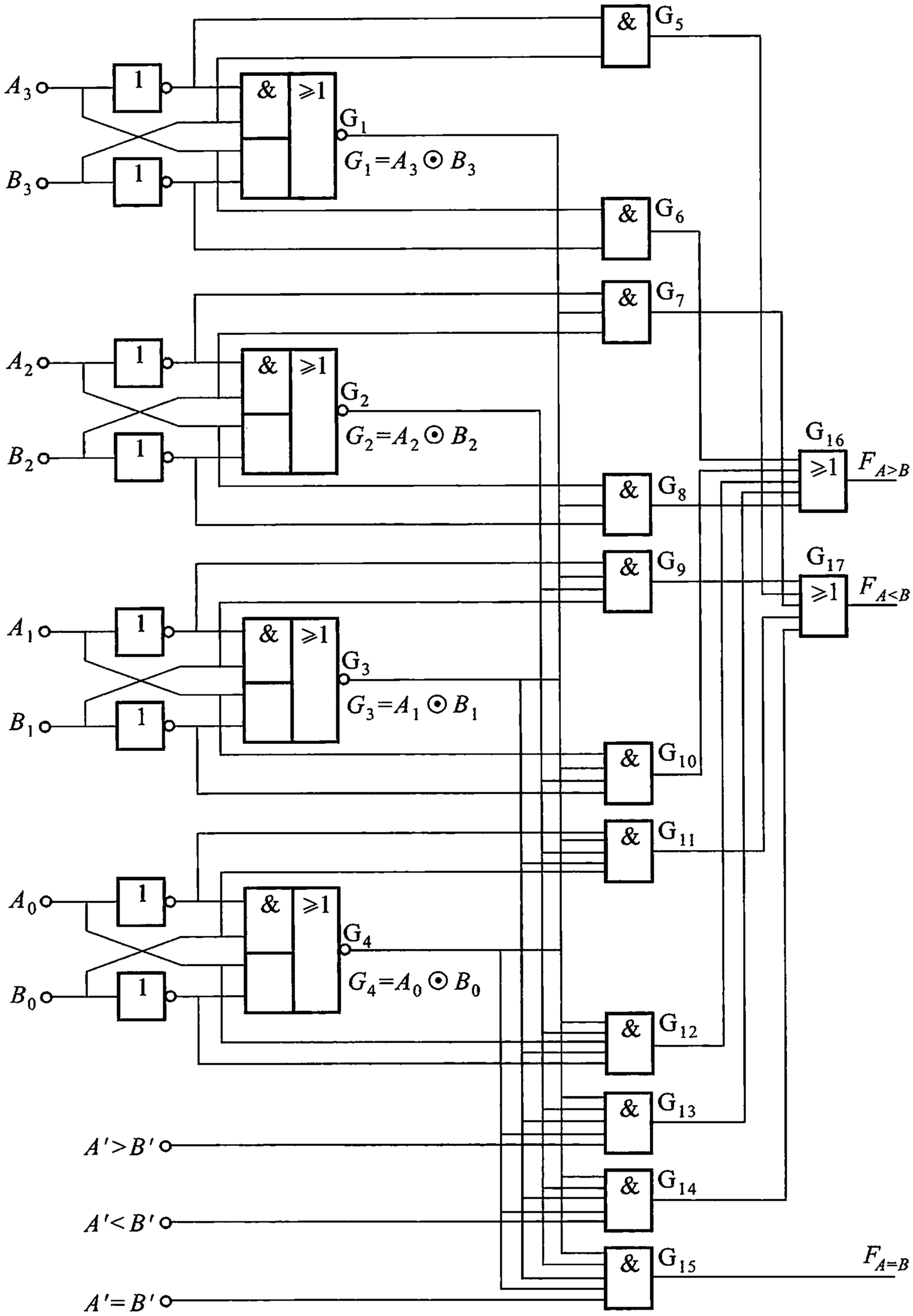


图 8.2.18　4 位数值比较器的逻辑图

$$G_1 = A_3 \odot B_3 \quad (\text{当 } A_3 = B_3 \text{ 时}, G_1 = \mathbf{1}) \tag{8.2.5a}$$

$$G_2 = A_2 \odot B_2 \quad (\text{当 } A_2 = B_2 \text{ 时}, G_2 = \mathbf{1}) \tag{8.2.5b}$$

$$G_3 = A_1 \odot B_1 \quad (\text{当 } A_1 = B_1 \text{ 时}, G_3 = \mathbf{1}) \tag{8.2.5c}$$

$$G_4 = A_0 \odot B_0 \quad (\text{当 } A_0 = B_0 \text{ 时}, G_4 = \mathbf{1}) \tag{8.2.5d}$$

$$F_{A=B} = G_1 \cdot G_2 \cdot G_3 \cdot G_4 \tag{8.2.5e}$$

即只有在 $A_3 = B_3$、$A_2 = B_2$、$A_1 = B_1$ 和 $A_0 = B_0$ 同时存在时，才有 $F_{A=B} = \mathbf{1}$，即4位数均相同时，$A = B$，这符合4位数值相等的条件。

$$F_{A<B} = G_5 + G_7 + G_9 + G_{11} \tag{8.2.5f}$$

$$= \overline{\overline{G}_5 \cdot \overline{G}_7 \cdot \overline{G}_9 \cdot \overline{G}_{11}} \tag{8.2.5g}$$

其中

$$G_5 = \overline{A}_3 \cdot B_3 \quad (\text{当 } A_3 < B_3 \text{ 时}, G_5 = \mathbf{1}) \tag{8.2.5h}$$

$$G_7 = G_1 \cdot \overline{A}_2 \cdot B_2 \quad (\text{当 } A_3 = B_3、A_2 < B_2 \text{ 时}, G_7 = \mathbf{1}) \tag{8.2.5i}$$

$$G_9 = G_1 \cdot G_2 \cdot \overline{A}_1 \cdot B_1$$

$$(\text{当 } A_3 = B_3、A_2 = B_2、A_1 < B_1 \text{ 时}, G_9 = \mathbf{1}) \tag{8.2.5j}$$

$$G_{11} = G_1 \cdot G_2 \cdot G_3 \cdot \overline{A}_0 \cdot B_0$$

$$(\text{当 } A_3 = B_3、A_2 = B_2、A_1 = B_1、A_0 < B_0 \text{ 时}, G_{11} = \mathbf{1}) \tag{8.2.5k}$$

由式(8.2.5)可知，若 A 不等于 B，当 $A_3 < B_3$，或 $A_3 = B_3$、$A_2 < B_2$，或 $A_3 = B_3$、$A_2 = B_2$、$A_1 < B_1$，或 $A_3 = B_3$、$A_2 = B_2$、$A_1 = B_1$、$A_0 < B_0$ 时，$A < B$，即比较方式是从高位开始的，然后从高位向低位依次进行比较。

同理，有

$$F_{A>B} = \overline{\overline{G}_6 \cdot \overline{G}_8 \cdot \overline{G}_{10} \cdot \overline{G}_{12}} \tag{8.2.6}$$

其中

$$G_6 = A_3 \cdot \overline{B}_3$$

$$G_8 = G_1 \cdot A_2 \cdot \overline{B}_2$$

$$G_{10} = G_1 \cdot G_2 \cdot A_1 \cdot \overline{B}_1$$

$$G_{12} = G_1 \cdot G_2 \cdot G_3 \cdot A_0 \cdot \overline{B}_0$$

由以上逻辑表达式可得真值表如表8.2.10所示。

表 8.2.10 4位数值比较器的真值表

比较输入							输出		
$A_3 \quad B_3$	$A_2 \quad B_2$	$A_1 \quad B_1$	$A_0 \quad B_0$	$A' > B'$	$A' < B'$	$A' = B'$	$F_{A>B}$	$F_{A<B}$	$F_{A=B}$
$A_3 > B_3$	×	×	×	×	×	×	**1**	**0**	**0**
$A_3 < B_3$	×	×	×	×	×	×	**0**	**1**	**0**
$A_3 = B_3$	$A_2 > B_2$	×	×	×	×	×	**1**	**0**	**0**

续表

比较输入							输出		
A_3　B_3	A_2　B_2	A_1　B_1	A_0　B_0	$A'>B'$	$A'<B'$	$A'=B'$	$F_{A>B}$	$F_{A<B}$	$F_{A=B}$
$A_3=B_3$	$A_2<B_2$	×	×	×	×	×	**0**	**1**	**0**
$A_3=B_3$	$A_2=B_2$	$A_1>B_1$	×	×	×	×	**1**	**0**	**0**
$A_3=B_3$	$A_2=B_2$	$A_1<B_1$	×	×	×	×	**0**	**1**	**0**
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0>B_0$	×	×	×	**1**	**0**	**0**
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0<B_0$	×	×	×	**0**	**1**	**0**
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	**1**	**0**	**0**	**1**	**0**	**0**
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	**0**	**1**	**0**	**0**	**1**	**0**
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	**0**	**0**	**1**	**0**	**0**	**1**

从以上逻辑式的推导过程和真值表可以看出，4 位数值比较器的比较方式是从高位开始的，然后从高位向低位依次进行比较，其中，$A'>B'$、$A'=B'$、$A'<B'$的为级联信号。比较时若最高位已比较出大小，则比较结果取决于最高位的大小；若最高位相等，则比较结果取决于次高位，依此类推。若 4 位比较结果均相同，则比较结果取决于级联输入信号。因此，利用级联输入端将 4 位数值比较器扩展成 8 位、16 位数值比较器就非常容易了，只需要将低 4 位数值比较器的输出端与高 4 位数值比较器的级联输入端相连接就可以了，图 8.2.19 所示为两片 4 位数值比较器扩展为 8 位数值比较器的逻辑图，先从高 4 位（C_1 比较器）开始比较，若高 4 位 $A_7A_6A_5A_4=B_7B_6B_5B_4$，则 C_1 的比较结果取决于 C_1 的级联信号 $A'>B'$、$A'<B'$、$A'=B'$，而这些级联信号又直接与 C_0 的输出相连，因此，比较结果就取决于低 4 位（C_0 比较器）$A_3A_2A_1A_0$ 与 $B_3B_2B_1B_0$ 的比较，如果此时的低 4 位也相等，即 $A>B$、$A<B$、$A=B$ 的状态为 **001**，那么由于 C_0 的 $A'>B'$、$A'<B'$、$A'=B'$为 **001**，则 C_1 的输出 $L_3\sim L_1$ 为 **001**，表示 8 位数值均相等。

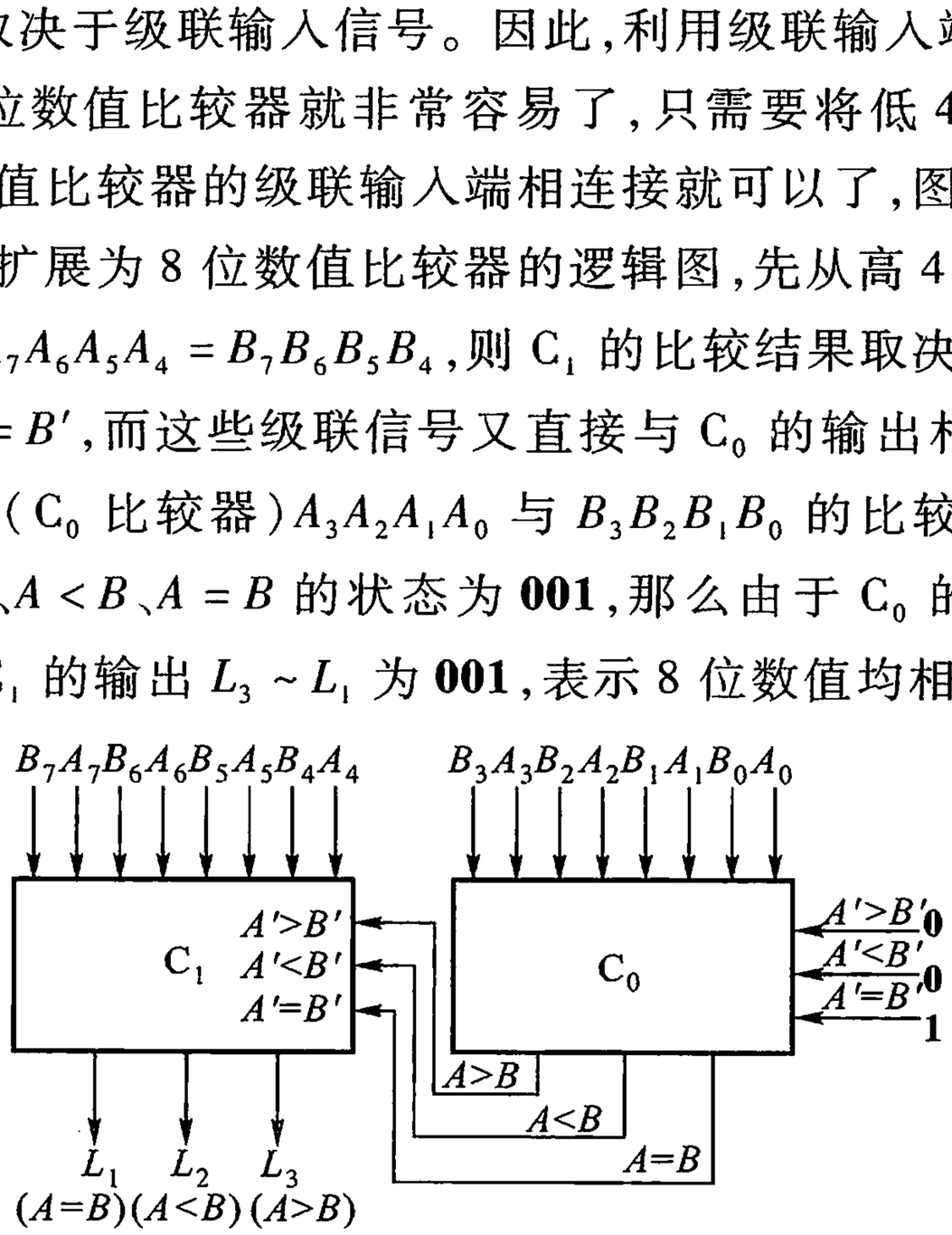


图 8.2.19　4 位数值比较器扩展为 8 位数值比较器

8.2.5　加法器

加、减、乘、除等算术运算是数字系统的基本功能，更是计算机中不可缺少的组成部分，而减法、乘法、除法都可以用加法转换后进行，因此，加法器成为数字系统中最基本的运算单元。

1. 1 位加法器

两个 1 位二进制数相加时，相加方法有两种，一种是只考虑两个加数本身，而不考虑由低位来的进位数，实现这种相加功能的电路称为半加器；另一种方法是不仅考虑两个加数本身，还要考虑来自低位的进位数，实现这种相加功能的电路称为全加器。

从二进制数加法的角度看，半加器只考虑了两个加数本身，没有考虑低位来的进位，这也就是半加一词的由来。半加器的真值表如表 8.2.11 所示。

表 8.2.11　半加器真值表

A_i	B_i	S_i	C_i
0	**0**	**0**	**0**
0	**1**	**1**	**0**
1	**0**	**1**	**0**
1	**1**	**0**	**1**

由真值表有

$$S_i = \overline{A_i}B_i + A_i\,\overline{B_i} = A_i \oplus B_i$$

$$C_i = A_iB_i$$

半加器的逻辑图和符号如图 8.2.20 所示。

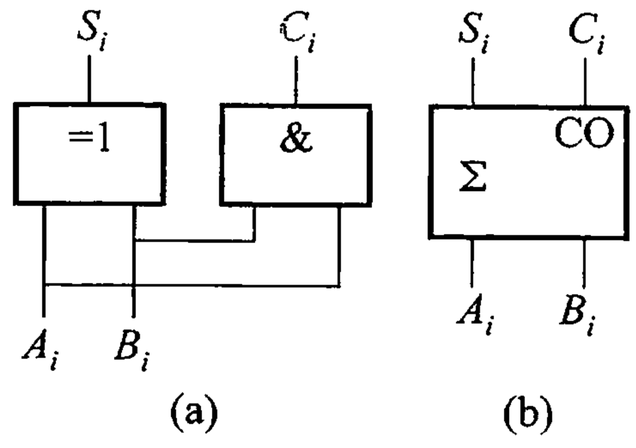


图 8.2.20　半加器

（a）逻辑图　（b）符号

实际作二进制数加法时，必须考虑从低位来的进位。下面我们讨论全加器。假设 A、B 两个二进制数相加，在考虑第 i 位上的两个 1 位二进制数相加时（$A_i + B_i$），全加器的真值表如表 8.2.12 所示，其中，S_i 为本位的和，C_{i-1} 为低 1 位的进位，C_i 为本位向高 1 位的进位，由真值表可以得到 1 位加法器输出量的逻辑表达式为

$$S_i = \overline{A}_i\overline{B}_iC_{i-1} + \overline{A}_iB_i\overline{C}_{i-1} + A_i\overline{B}_i\overline{C}_{i-1} + A_iB_iC_{i-1} \tag{8.2.7}$$

$$C_i = \overline{A}_iB_iC_{i-1} + A_i\overline{B}_iC_{i-1} + A_iB_i\overline{C}_{i-1} + A_iB_iC_{i-1} \tag{8.2.8}$$

表 8.2.12　全加器真值表

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

全加器的逻辑图和符号如图 8.2.21 所示。常用的集成全加器有 74LS182、C661 等。

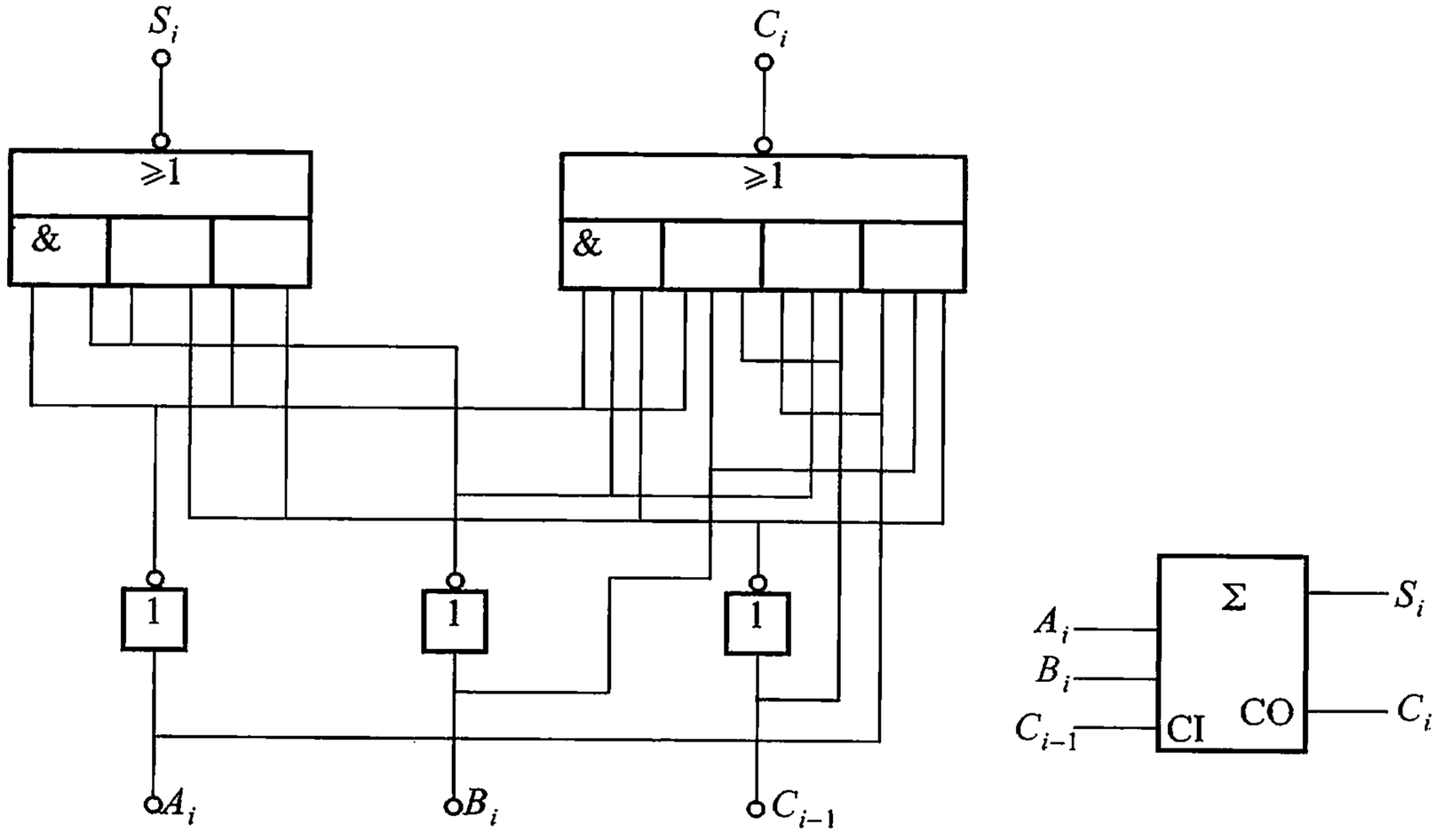


图 8.2.21　1 位全加器

（a）逻辑图　（b）符号

2. 多位加法器

多位二进制数加法器电路形式有很多，但相加时必须考虑低 1 位的进位，需要采用全加器。

（1）串行进位加法器

串行进位加法器采用串行进位方式，从二进制数的最低位开始相加，图8.2.22所示为4位二进制数串行进位的加法电路，由于每一位相加结果必须在低1位的进位产生后才能进行，因此，这种相加方式也称为逐位进位加法器。由于进位的逐级传递耗时较多，因此，这种电路虽然简单但最大的缺点是运算速度慢。

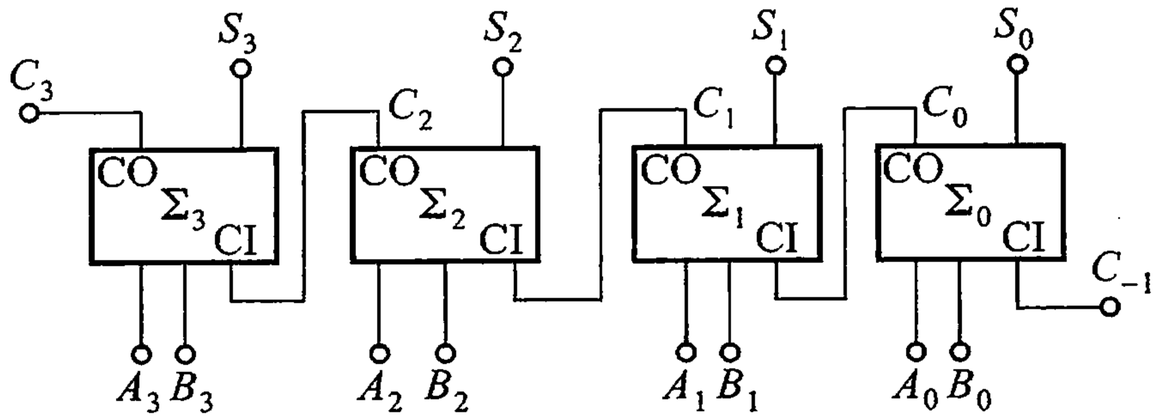


图 8.2.22 4位并行相加串行进位加法器

(2) 超前进位加法器

串行进位加法器的缺点是加法器位数增加时，加法器的运算时间也随之增加。为了克服这一弱点，又设计了一种超前进位加法器，这种加法器的进位在加法运算一开始就能确定，每一位的进位只由并行输入的加数、被加数及外部进位决定，这样可以有效地提高运算速度。

将全加器进位信号 C_i 的逻辑表达式(8.2.8)化简，得

$$C_i = A_iB_i + (A_i + B_i)C_{i-1} \tag{8.2.9}$$

为了讨论方便，令 $G_i = A_iB_i$、$P_i = A_i + B_i$，代入式(8.2.9)，有

$$C_i = G_i + P_iC_{i-1} \tag{8.2.10}$$

对于4位二进制加法器，$i = 0,1,2,3$ 分别代入式(8.2.10)，得

$$C_0 = G_0 + P_0C_{-1} \tag{8.2.10a}$$

$$C_1 = G_1 + P_1C_0 = G_1 + P_1G_0 + P_1P_0C_{-1} \tag{8.2.10b}$$

$$C_2 = G_2 + P_2C_1 = G_2 + P_2G_1 + P_2P_1G_0 + P_2P_1P_0C_{-1} \tag{8.2.10c}$$

$$C_3 = G_3 + P_3C_2 = G_3 + P_3G_2 + P_3P_2G_1 + P_3P_2P_1G_0 + P_3P_2P_1P_0C_{-1} \tag{8.2.10d}$$

由式(8.2.10)可以看出，各位全加器的进位可以直接由加数、被加数的**与**、**或**及外部输入进位 C_{-1} 求得。按照式(8.2.10)可组成4位超前进位加法器的超前进位电路。4位超前进位加法器逻辑图如图8.2.23所示。超前进位加法器的最大优点是运算速度快。常用的集成超前进位加法器有74LS283、CC4008等。

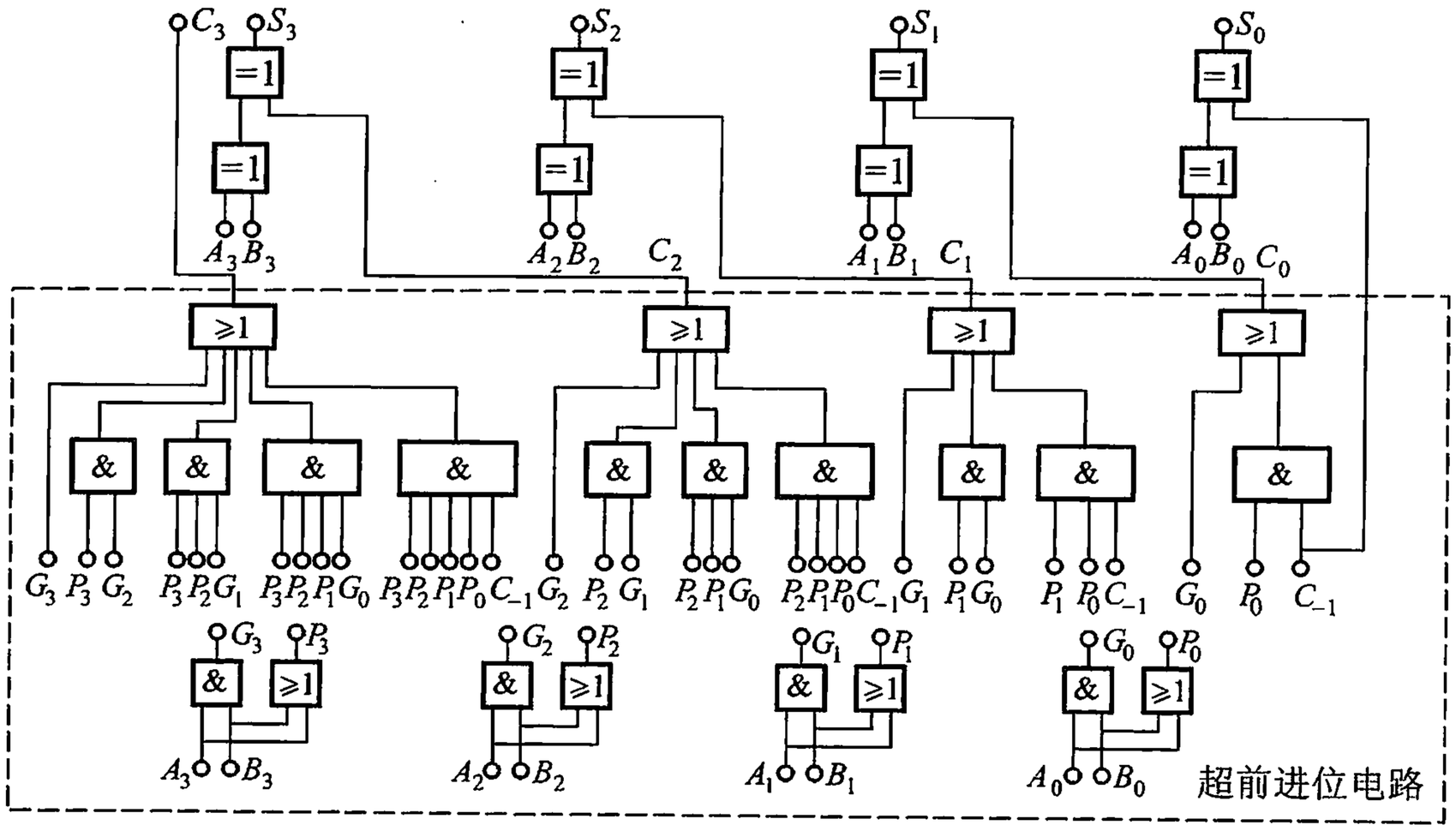


图 8.2.23　4 位超前进位加法器逻辑图

8.3　用中规模集成电路实现组合逻辑函数

用集成组合逻辑电路设计一般组合逻辑电路，常用的器件是数据选择器和译码器。

采用中规模集成电路设计组合逻辑电路的方法，和 8.1.2 节中介绍的组合逻辑电路的设计方法在前面几步相同，只是最后步骤略有不同，一般设计方法如下。

（1）根据给出的实际问题，进行逻辑抽象确定输入变量和输出变量，列出函数真值表（卡诺图），写出逻辑函数最小项表达式。

（2）根据逻辑函数包含的变量数和逻辑功能，选择合适的集成电路器件。一般单输出函数选用数据选择器，多输出函数选用译码器。

（3）写出所选器件的输出函数式。若是数据选择器，它的逻辑函数表达式比所求函数更加丰富（输入变量或乘积项多），则可对多余的变量和乘积项作适当处理；若是译码器，则需利用扩展门电路获得所求函数。

（4）根据求出的结果画出电路连线图。

8.3.1　用数据选择器实现组合逻辑函数

由数据选择器的逻辑表达式可以看出，数据选择器的输出可以用地址输入

的最小项的代数和表示，因此，可由数据选择器来产生任意的逻辑函数，用于一般组合逻辑电路的设计。

例 8.3.1　用数据选择器产生逻辑函数

$$L=\overline{A}BC+A\overline{B}C+AB$$

解　（1）把已知逻辑表达式变换成最小项表达式

$$\begin{aligned}L(A,B,C)&=\overline{A}BC+A\overline{B}C+AB=\overline{A}BC+A\overline{B}C+AB\overline{C}+ABC\\&=m_3+m_5+m_6+m_7\end{aligned}$$

（2）选用 8 选 1 数据选择器实现，由式(8.2.3)其逻辑表达式为

$$Y=m_0D_0+m_1D_1+m_2D_2+m_3D_3+m_4D_4+m_5D_5+m_6D_6+m_7D_7$$

将两逻辑表达式进行比较，要使 $L=Y$，则

$$D_0=D_1=D_2=D_4=\mathbf{0}$$
$$D_3=D_5=D_6=D_7=\mathbf{1}$$

（3）画出连线图如图 8.3.1 所示。

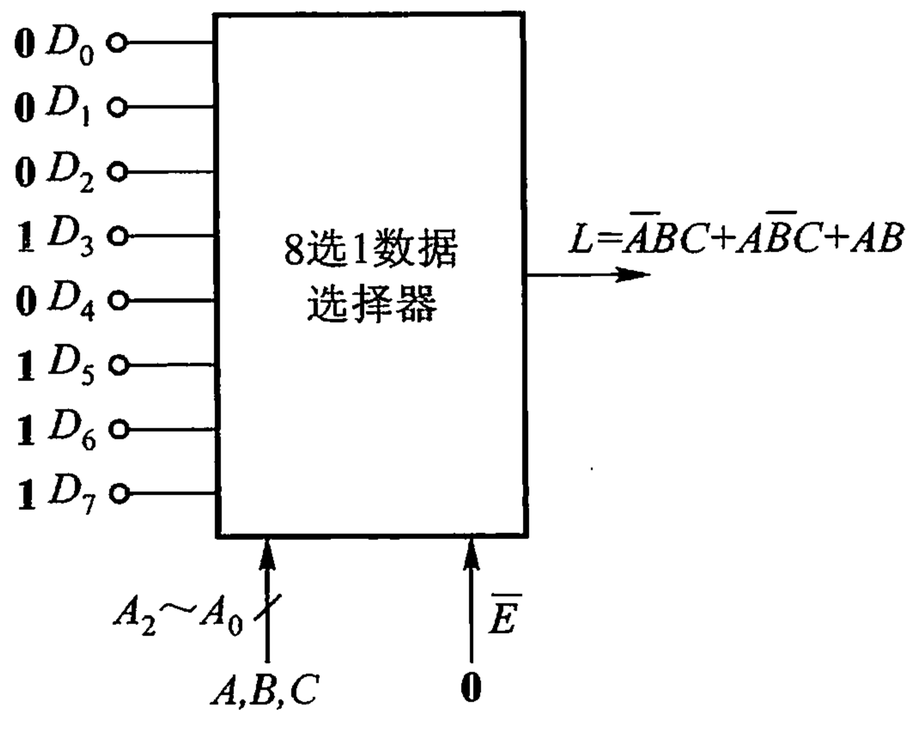


图 8.3.1　例 8.3.1 用 8 选 1 数据选择器实现逻辑电路图

实际上，三变量的逻辑表达式 L 还可用 4 选 1 数据选择器实现。

4 选 1 数据选择器的逻辑表达式为

$$Y=\overline{A_1}\,\overline{A_0}D_0+\overline{A_1}A_0D_1+A_1\,\overline{A_0}D_2+A_1A_0D_3$$

而

$$L(A,B,C)=\overline{A}BC+A\overline{B}C+AB(C+\overline{C})$$

令　$A_1=A$，$A_0=B$，$D_0=\mathbf{0}$，$D_1=C$，$D_2=C$，$D_3=\mathbf{1}$，则 $Y=L$。

可画出连线图如图 8.3.2 所示。

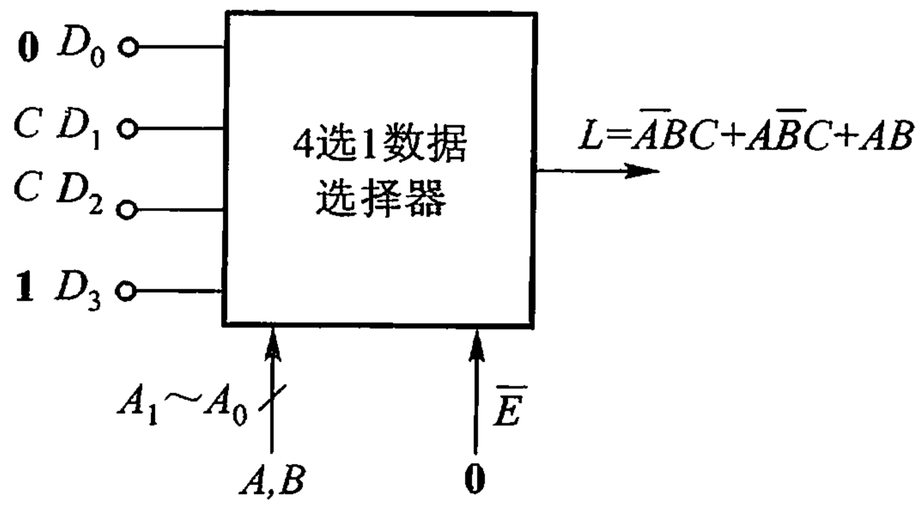


图 8.3.2　例 8.3.1 用 4 选 1 数据选择器实现逻辑电路图

8.3.2　用二进制译码器实现组合逻辑函数

集成 n 位二进制译码器的 2^n 个输出，给出了 n 个输入变量所组成的全部最小项。因此，译码器加上门电路也可用于一般组合逻辑电路的设计。

例 8.3.2　试设计一个三台设备故障监视电路，一台设备出故障红灯亮，两台设备出故障黄灯亮，三台设备出故障两灯都亮。要求用译码器 74LS138 加与非门实现。

解　（1）根据题意可知，本电路有三个输入变量 A、B、和 C，分别代表三台设备的故障信号（1 为有故障）；两个输出变量 L_1 和 L_2，分别代表红灯和黄灯（1 为灯亮）。根据对逻辑电路的要求可列出真值表如表 8.3.1 所示。

表 8.3.1　例 8.3.2 真值表

A	B	C	L_1	L_2
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

由真值表可得逻辑表达式如下：

$$L_1=\overline{A}\,\overline{B}C+\overline{A}B\overline{C}+A\,\overline{B}\,\overline{C}+ABC=m_1+m_2+m_4+m_7=\overline{\overline{m_1}\,\overline{m_2}\,\overline{m_4}\,\overline{m_7}}$$

$$L_2 = \overline{A}BC + A\,\overline{B}C + AB\,\overline{C} + ABC = m_3 + m_5 + m_6 + m_7 = \overline{\overline{m_3}\,\overline{m_5}\,\overline{m_6}\,\overline{m_7}}$$

（2）由于74LS138输出为反变量，令

$$A_2 = A,\ A_1 = B,\ A_0 = C$$

有

$$L_1 = \overline{\overline{m_1}\,\overline{m_2}\,\overline{m_4}\,\overline{m_7}} = \overline{\overline{Y_1}\,\overline{Y_2}\,\overline{Y_4}\,\overline{Y_7}}$$

$$L_2 = \overline{\overline{m_3}\,\overline{m_5}\,\overline{m_6}\,\overline{m_7}} = \overline{\overline{Y_3}\,\overline{Y_5}\,\overline{Y_6}\,\overline{Y_7}}$$

将译码器的输出接至**与非**门即可得到 L_1 和 L_2。

（3）画连线图，如图8.3.3所示。

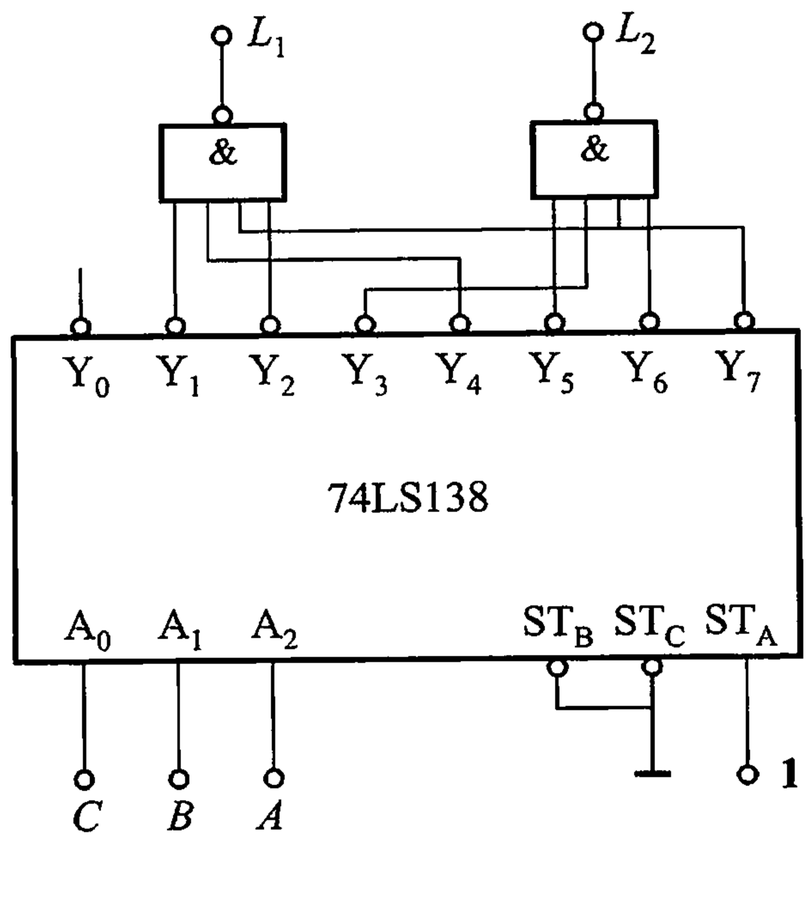


图8.3.3　例8.3.2逻辑电路图

8.4　组合逻辑电路中的竞争冒险现象

前面我们讲述组合逻辑电路的分析和设计时，都是认为电路的输入和输出均处于稳定的逻辑电平，没有考虑门电路的延迟时间。实际上，由于门电路的延迟时间和信号状态改变的过渡时间，电路在信号电平变化的瞬间，电路的输出端可能会出现虚假信号——过渡干扰脉冲的现象，叫做竞争冒险。

8.4.1　竞争冒险的成因

在组合电路中，当逻辑门有两个互补输入信号同时向相反状态变化时，输出端可能产生过渡干扰脉冲的现象。

例如，在图8.4.1中，当输入信号 A 由**1**变为**0**时，则**或**门 G_2 的两个输入信

号，一个由 **1** 变为 **0**，一个由 **0** 变为 **1**。

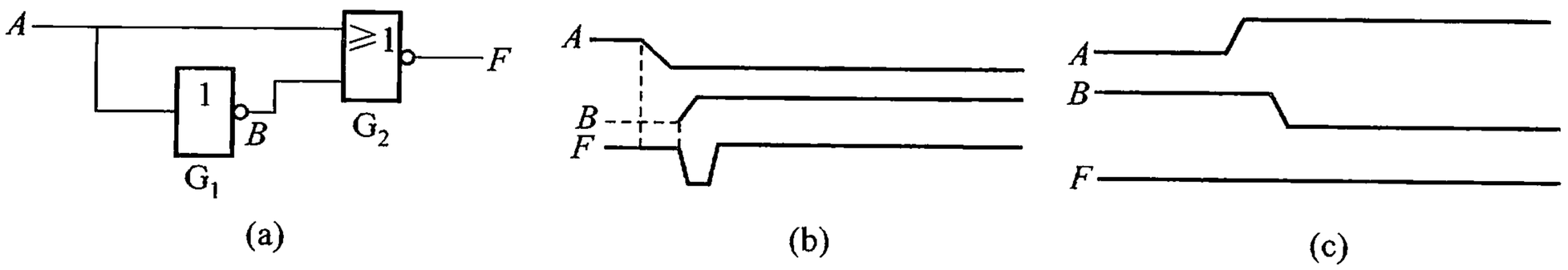


图 8.4.1　竞争冒险示例

（a）逻辑图　（b）输入信号 A 由 **1** 变为 **0** 时产生竞争冒险

（c）输入信号 A 由 **0** 变为 **1** 时没有竞争冒险

按照电路逻辑函数式，输出 F 应恒为 **1**。但是，信号在状态转换过程中，由于存在着上升和下降时间，每个门电路又有传输延迟时间，因此实际 F 信号出现了负向脉冲，见图 8.4.1(b)所示。这是因为 B 是由 A 经反相器 G_1 延迟后到达门 G_2，所以 B 的变化落后于 A 的变化。当 A 已下降为低电平时，B 还处于低电平状态，经**或**门 G_2 传输延迟后，F 出现了负向过渡干扰脉冲。通常，把门 G_2 这两个互补信号同时向相反方向变化的现象叫竞争。

可是，存在竞争现象的电路不一定都产生过渡干扰脉冲。例如，上例中当信号由 **0** 变为 **1** 时，虽然门 G_2 也有向相反状态变化的两个输入信号，但因 A 先由 **0** 变为 **1**，B 后由 **1** 变为 **0**，他们不存在同时为 **0** 的情况，故 F 恒为 **1**，不会产生干扰脉冲，见图 8.4.1(c)。可见，电路中有竞争现象只是存在产生过渡干扰脉冲的危险而已，故称其为竞争冒险。

8.4.2　消除竞争冒险的方法

当电路存在竞争冒险现象，而负载又是对脉冲敏感的电路，那么就应该设法消除竞争冒险现象。常用的方法有下述三种。

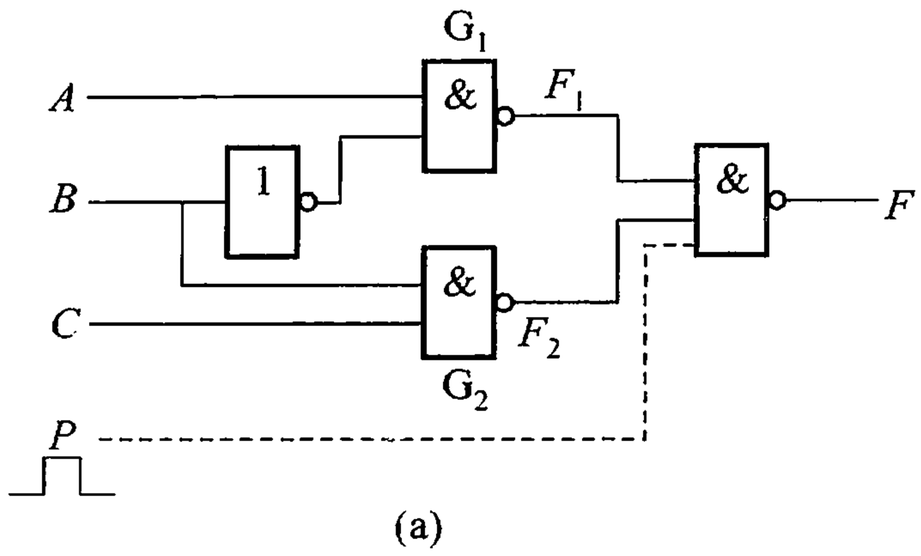
1. 加选通脉冲

我们来分析下面的组合电路如图 8.4.2(a)所示，由该电路逻辑图可直接写出输出函数式

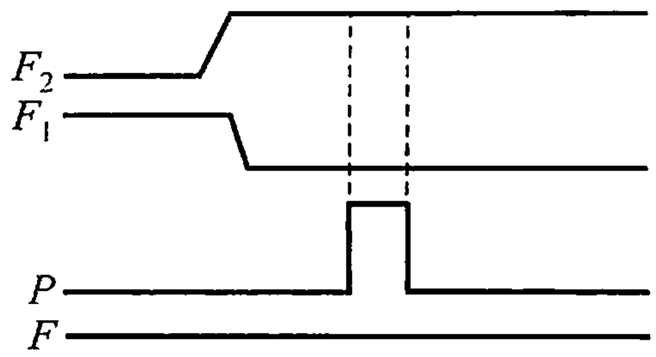
$$F = \overline{\overline{A\overline{B}} \cdot \overline{BC}} = A\overline{B} + BC$$

假定 $A = C = 1$ 时，该电路的逻辑关系和图 8.4.1(a)基本相同。函数可以写作 $F = B + \overline{B}$。当 B 由 **1** 变为 **0** 时，由于信号传输路径不同，F_2 先由 **0** 变为 **1**，F_1 后由 **1** 变为 **0**，使 F_1 和 F_2 出现同时为 **1** 的时刻，因而输出会产生负向过渡干扰脉冲。这时，该电路存在竞争冒险现象。

为了消除竞争冒险，可加选通脉冲 P，如图 8.4.2(a)所示，该选通脉冲通常是



(a)



(b)

图 8.4.2　加选通脉冲消除竞争冒险

（a）逻辑图　（b）波形图

$P=0$,使电路处于封锁状态,只有在接收了输入信号并且电路达到了新的稳态之后,才有脉冲 $P=1$,允许电路输出。这就避免了竞争冒险的影响。引入选通脉冲后的组合电路,输出信号只有在选通脉冲 $P=1$期间才有效,波形图如图 8.4.2(b)所示。

2. 修改逻辑设计

适当修改逻辑电路,可以消除某些竞争冒险现象。例如,上面分析的电路中,当 $A=C=1$时,由于 $F=B+\overline{B}$出现了互补的变化信号,所以存在竞争冒险现象。为此,我们可把表达式变换一下,根据常用逻辑数公式可知:

$$F=\overline{\overline{A\overline{B}}\cdot\overline{BC}}=A\overline{B}+BC=A\overline{B}+BC+AC$$

上式增加了多余项 AC 以后,函数关系不变,但当 $A=C=1$ 时,输出 F 恒为 1,不再产生干扰脉冲。所以,把电路按上式修改,增加一个**与非**门 G_3 即可消除竞争冒险现象。修改后的电路如图 8.4.3 所示。

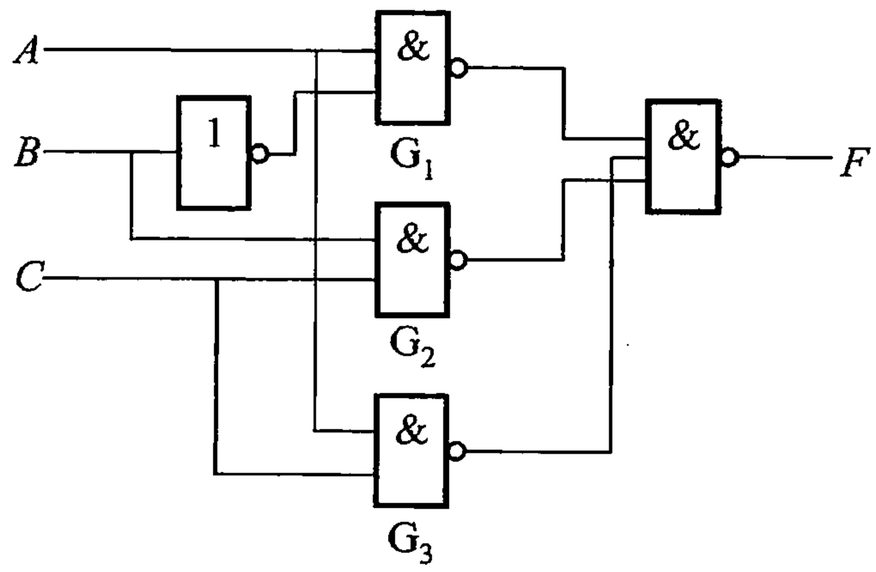


图 8.4.3　修改逻辑设计,避免竞争冒险

用增加多余项的方法修改逻辑设计,可以消除一些竞争冒险现象,但是,这种方法的适用范围是有限的。不过,只有通过逻辑设计,使得在信号转换时,电路中各个门的输入端只有一个变量改变状态,则输出就不会出现过渡脉冲干扰,

从而消除了竞争冒险现象。

3. 输出端接滤波电容

在干扰脉冲比较窄且负载对尖峰脉冲不很敏感的条件下，可用在输出端并接滤波电容 C 的方法来消除竞争冒险，电路和波形如图 8.4.4 所示。

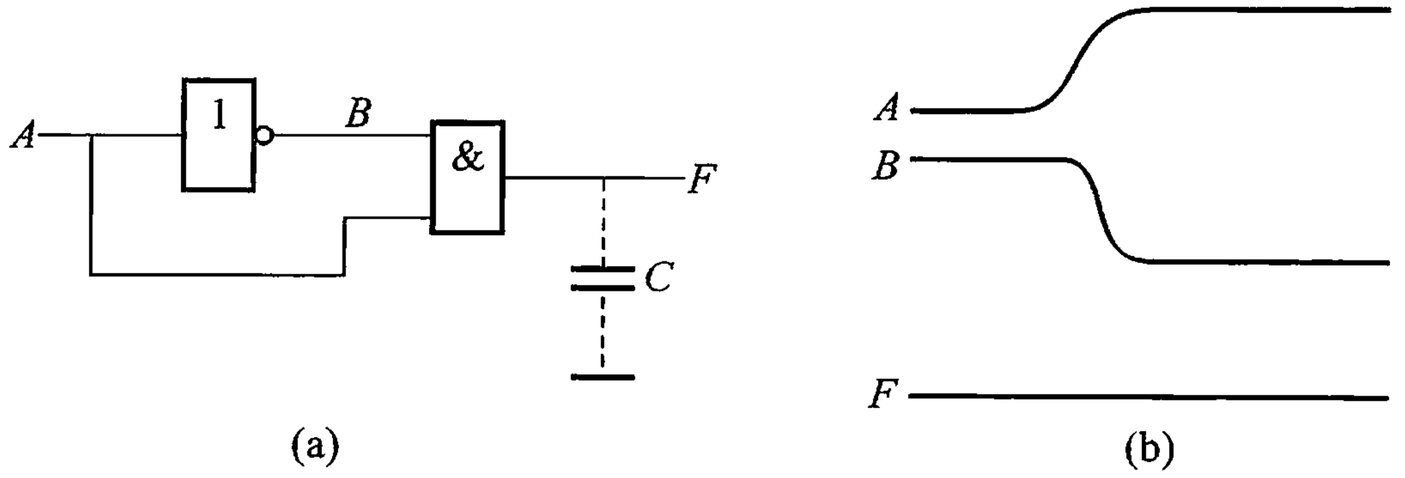


图 8.4.4　输出端接滤波电容，消除竞争冒险

（a）逻辑图　（b）波形

8.5　可编程逻辑器件

8.5.1　可编程逻辑器件的分类和逻辑表示方法

1. 概述

在前面几节，我们学过了许多不同类型的集成电路，如逻辑门电路、编码器、译码器等。这些集成电路为 SSI（Small-Scale Integration，小规模集成电路）或者 MSI（Medium-Scale Integration，中规模集成电路），它们都具有固定的逻辑功能。这类器件价格低，性能好，但因集成度低而功能有限，构成系统时灵活性差，芯片间往往要用大量的连线，最终导致系统可靠性差，费用高，功耗和体积大。

可编程逻辑器件（Programmable Logic Device，PLD）属于大规模集成电路，它包含输入、输出电路、与、或阵列和存储电路，其功能不是固定不变的，而是可根据用户的需要而进行改变，即由编程的方法来确定器件的逻辑功能。和固定功能的器件相比，PLD 具有以下优点：第一，通过使用 PLD，设计者可以将许多复杂的逻辑电路集成在一块面积很小的芯片上；第二，通过使用可擦写的 PLD，能够很容易的修改逻辑电路；第三，设计者可借助计算机程序进行辅助设计，使得电路开发时间更短。

可编程逻辑器件主要可分为三种类型：简单可编程逻辑器件（SPLD）、复杂

可编程逻辑器件(CPLD)和现场可编程门阵列(FPGA)。

SPLD 是最简单的也是最早的 PLD 器件,属于低密度可编程逻辑器件,可替代许多具有固定功能的 SSI 和 MSI 器件及其连线。SPLD 主要有:可编程只读存储器(Programmable Read-Only Memory,PROM)、可编程阵列逻辑(Programmable Array Logic,PAL)、可编程逻辑阵列(Programmable Logic Array,PLA)、通用阵列逻辑(General Array Logic,GAL)。

图 8.5.1 给出了可编程逻辑器件的分类。

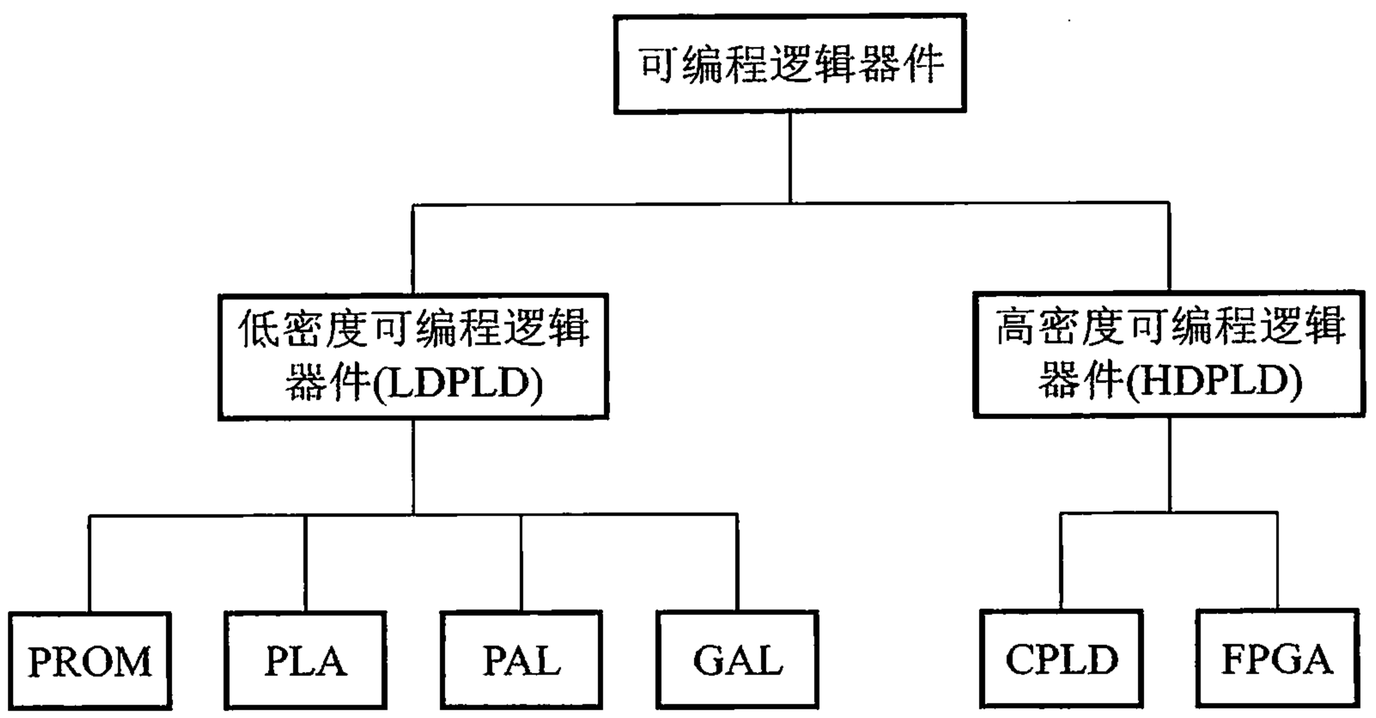


图 8.5.1　可编程逻辑器件分类

本节将重点介绍低密度可编程器件,CPLD 和 FPGA 由于篇幅所限,只做简单介绍。

2. 可编程逻辑器件的逻辑表示方法

在 PLD 器件中,交叉点的连接方式有 3 种,如图 8.5.2 所示,图(a)中两交叉线处的“×”表示“接通”,在熔丝工艺的 PLD 中,表示熔丝未被熔断,在 CMOS 工艺的 PLD 中表示一个基本开关单元(一对 MOS 管)处于导通状态。图(c)中两交叉线处无符号,表示“断开”,对应于熔丝被烧断或一个基本开关单元处于截止状态。图(b)中两交叉处的圆点表示硬线连接,硬线连接处是不可编程的。根据这种表示方法,图8.5.3(a)、(b)给出了**与**门和**或**门在 PLD 中逻辑表示方法与传统逻辑表示方式的对应关系。

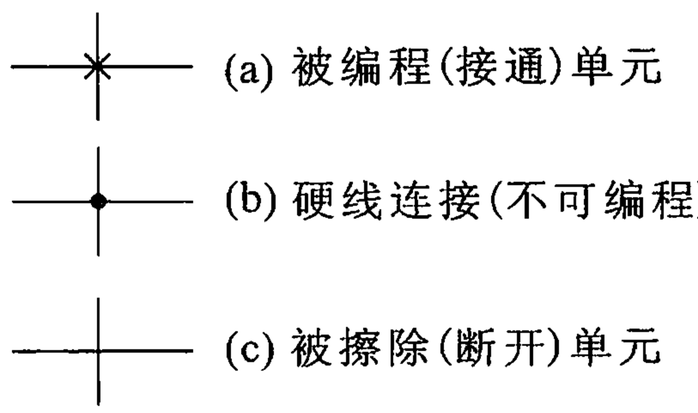


图 8.5.2　PLD 连接表示

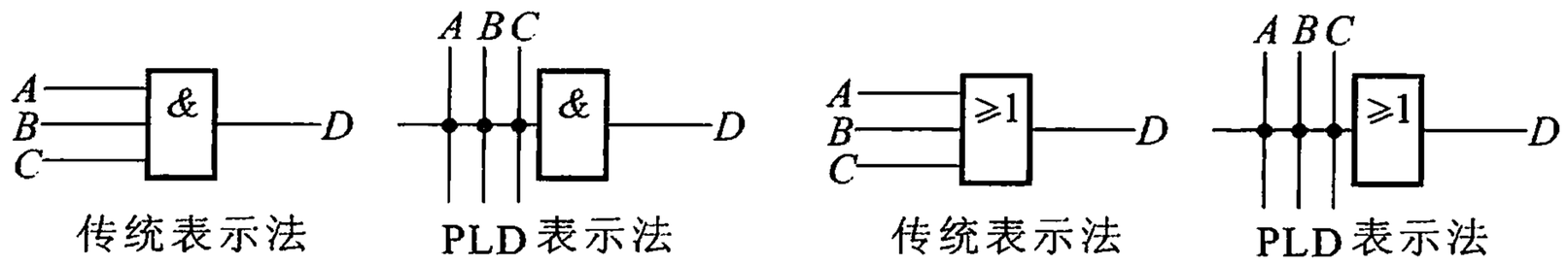


图 8.5.3　与门和或门在 PLD 中逻辑表示法与传统表示法的对应关系

（a）与门表示法　（b）或门表示法

8.5.2　简单可编程逻辑器件

1. 可编程只读存储器

可编程只读存储器(PROM)是在固定 ROM 的基础上发展起来的,PROM 的结构如图 8.5.4 所示,$A_0 \sim A_{K-1}$ 表示存储单元的地址,$D_{N-1} \sim D_0$ 表示输出的数据,该数据为 N 位,针对不同的地址,$W_{M-1} \sim W_0$ 中只有一位为高电平,这个高电平将输出数据选通,再从数据线上输出。因此,对于地址位数为 K 位,输出数据为 N 位的 PROM 来讲,其存储量 $M \times N = 2^K \times N$。其中,$M$ 为地址译码输出的位数。

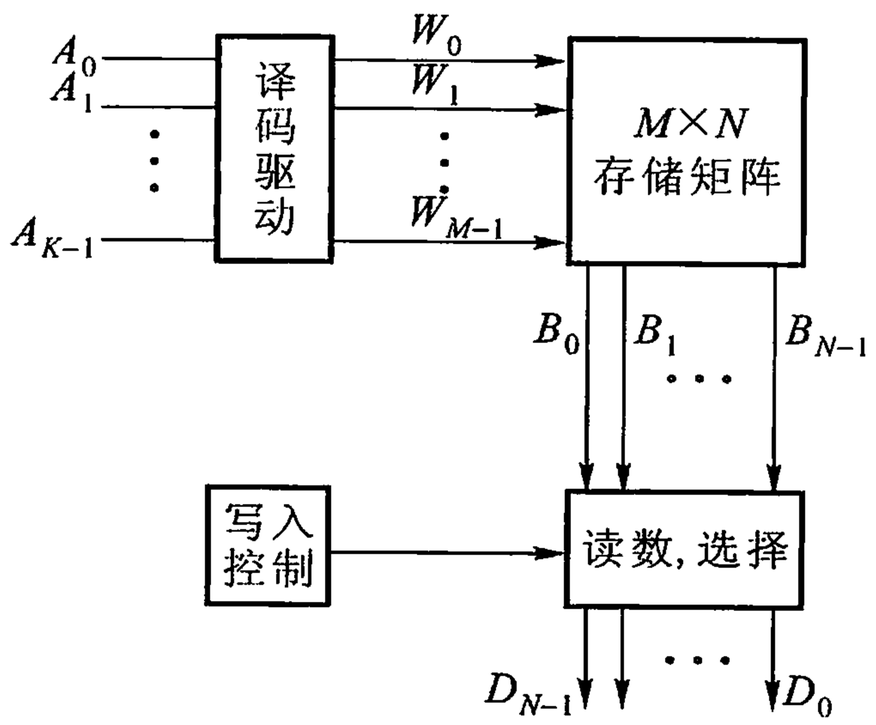


图 8.5.4　PROM 结构图

下面用 2 位地址、4 位数据输出的 ROM 来介绍其工作原理。假设需要在 **00** 地址单元里存储 **1001** 这个 4 位数,在 **01**、**10**、**11** 地址单元里分别存储 **0110**、**0111**、**1011**,则可以得到如表 8.5.1 所示的真值表,从表中可以得出:

$$\left.\begin{aligned} W_0 &= \overline{A}_0 \cdot \overline{A}_1 \\ W_1 &= A_0 \cdot \overline{A}_1 \\ W_2 &= \overline{A}_0 \cdot A_1 \\ W_3 &= A_0 \cdot A_1 \end{aligned}\right\} \tag{8.5.1}$$

$$\left.\begin{aligned} D_0 &= W_0 + W_2 + W_3 \\ D_1 &= W_1 + W_2 + W_3 \\ D_2 &= W_1 + W_2 \\ D_3 &= W_0 + W_3 \end{aligned}\right\} \tag{8.5.2}$$

表 8.5.1　2×4 ROM 真值表

A_1	A_0	W_3	W_2	W_1	W_0	D_3	D_2	D_1	D_0
0	0	0	0	0	1	1	0	0	1
0	1	0	0	1	0	0	1	1	0
1	0	0	1	0	0	0	1	1	1
1	1	1	0	0	0	1	0	1	1

由式(8.5.1)、式(8.5.2)可知存储矩阵是由一个**与**门阵列和一个**或**门阵列组成的。图 8.5.5 所示为式(8.5.2)表达的 MOS 管组成的**或**门阵列,在图中交叉点处有 MOS 管表示存 **1**,没有接 MOS 管相当于存 **0**,在地址译码输出 $W_0 \sim W_3$ 中某条线上的 MOS 管导通,所接的数据线为低电平,经输出反相后使输出数据线 $D_0 \sim D_3$ 为高电平。在哪些交叉点上有 MOS 管是根据需要存储的数据在芯片出厂前完全固定下来,使用时无法改变,也就是 ROM 存储器。

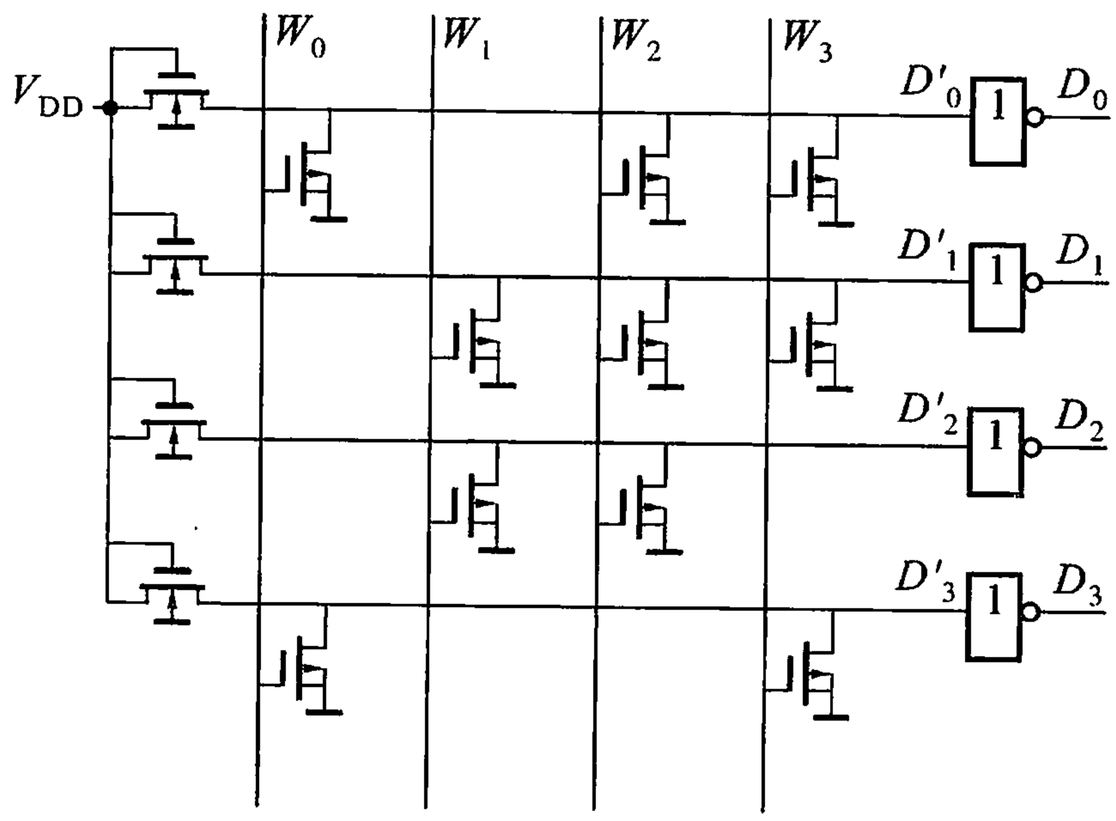


图 8.5.5　MOS ROM 结构

PROM 存储器是在上述 ROM 的基础上发展起来的,它比固定 ROM 多了一个写入控制电路,出厂时每个交叉点上都制作了三极管,如图 8.5.6 所示,在三

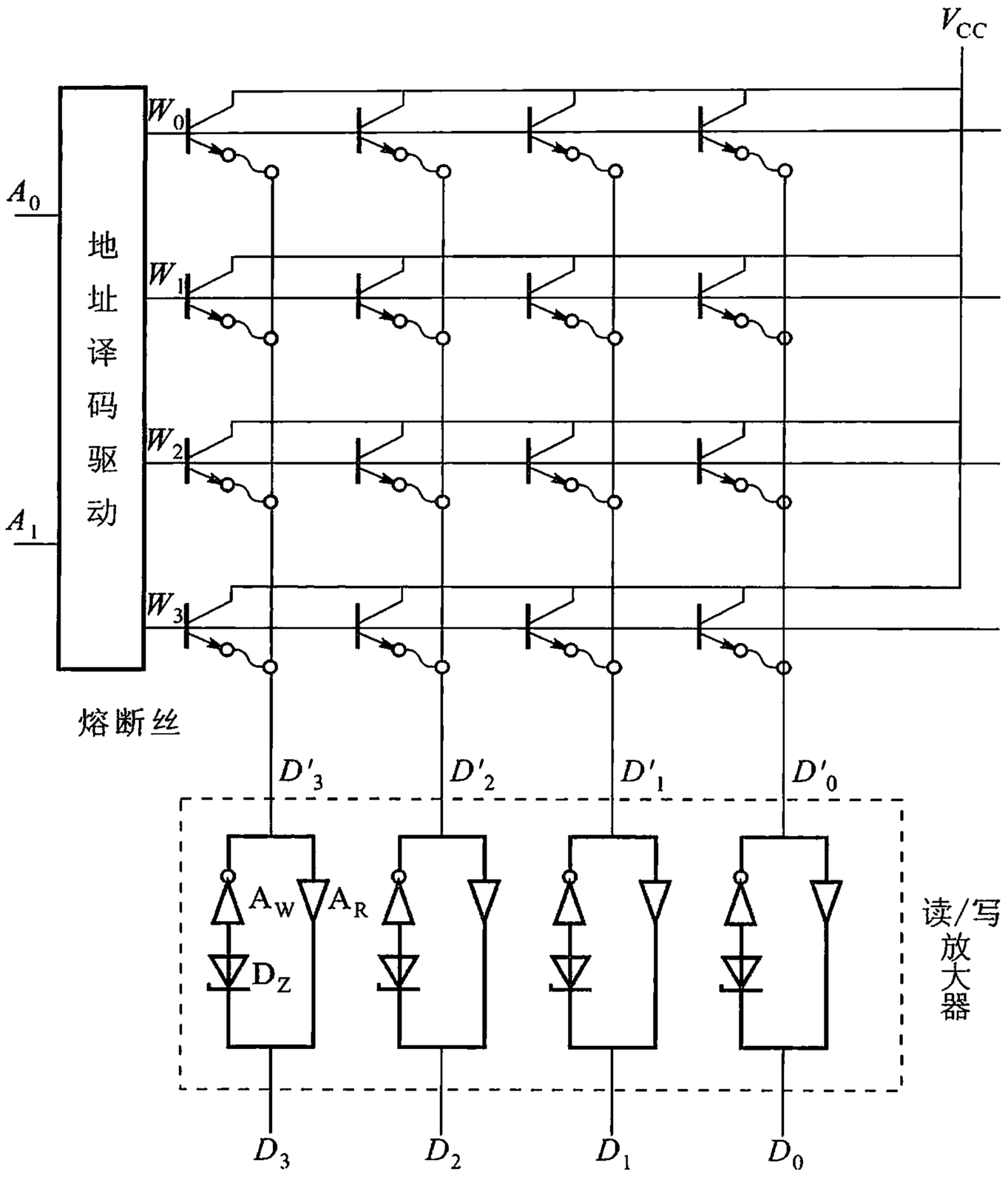
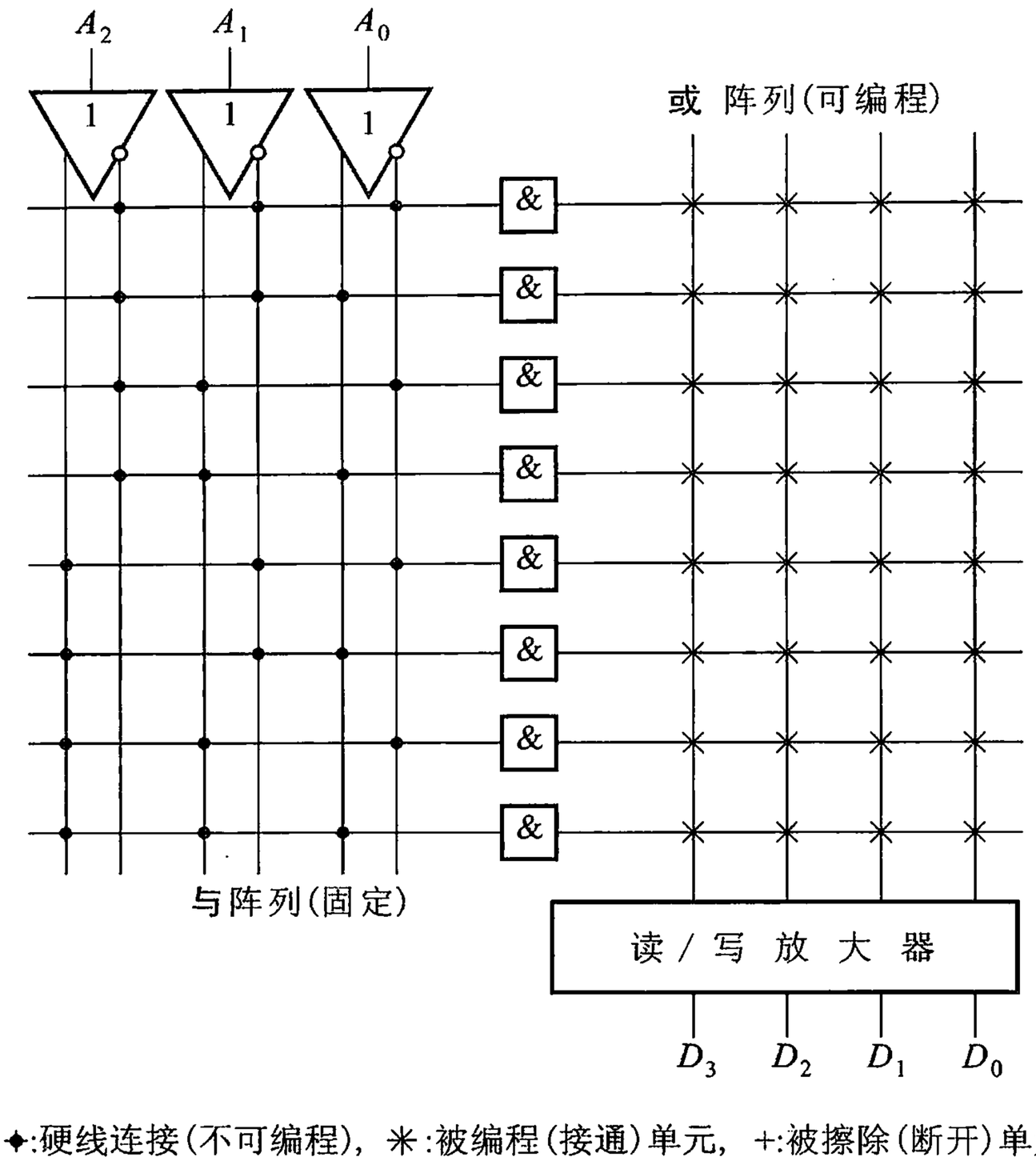


图 8.5.6　PROM 结构示意图

极管的发射极上有一根熔丝和 $W_3 \sim W_0$ 相连，在写入数据时，只要通过写入控制电路，将要存入 **0** 的那些存储单元的熔丝熔断就可以了。图 8.5.7 所示为 PROM 的逻辑表示方式，其中，硬线连接方式表示的**与**门阵列是不可编程的，**或**门阵列接通或断开的连接方式是靠编程来实现的。

2. 可擦可编程只读存储器(EPROM)

上一节中 PROM 中存储单元的熔断丝断了以后，不能再接通，因此，PROM 只能编写一次，但在开发数字电路新产品的过程中，设计人员经常需要按照自己的设想迅速修改 ROM 中的内容，因此，出现了 EPROM。EPROM 与前面讲述的 PROM 在总体结构形式上没有多大区别，只是采用了不同的存储单元，其关键是在于如何将这些编程后的存储单元恢复到出厂时的状态。最先出现的是用紫外线擦除的 EPROM，它利用 FAMOS(浮置栅雪崩注入 MOS 管)管代替熔断丝型 MOS 管，让用户可以多次使 FAMOS 管导通、截止，从而实现数据的多次写入和擦除。



✦:硬线连接(不可编程)，米:被编程(接通)单元，+:被擦除(断开)单元

图 8.5.7 PROM 的逻辑表示方法

图 8.5.8 示为 FAMOS 管的结构图和电路符号，其栅极浮置在 SiO_2 层中，处于完全绝缘隔离状态，因而栅极不带电，FAMOS 管处于截止状态。在存储矩阵中，字线(存储矩阵中的 $W_3 \sim W_0$)交叉点处都有 MOS 管，而且每个 MOS 管的源极都接着 1 个截止着的 FAMOS 管，存储器各单元全存 **1** 或 **0**，图 8.5.9 示为存储单元存 **0** 的结构形式。

写入数据时，首先选好地址，使之对应的字线为低电平，在应该写入 **1** 的那些位线(存储单元中的 $D'_3 \sim D'_0$)上加入负脉冲电压，使被选中的单元内的 FAMOS 管发生雪崩击穿，栅极带负电荷而导通，存储单元记入 **1** 信号；读出数据时，输入指定地址代码，相应的字线为低电平，与它对应的一行存储单元中浮置栅注入负电荷的 FAMOS 管导通，使所接的位线变成高电平，读出 **1** 信号；栅极未注入负电荷的 FAMOS 管仍截止，所连接的位线为低电平，读出 **0** 信号。

由于 FAMOS 管栅极注入电荷后，这些电荷没有放电通路，因此，能长久保存下来，也就是将信息存储起来，若要使存储的信息消失，常用的方法是在紫外

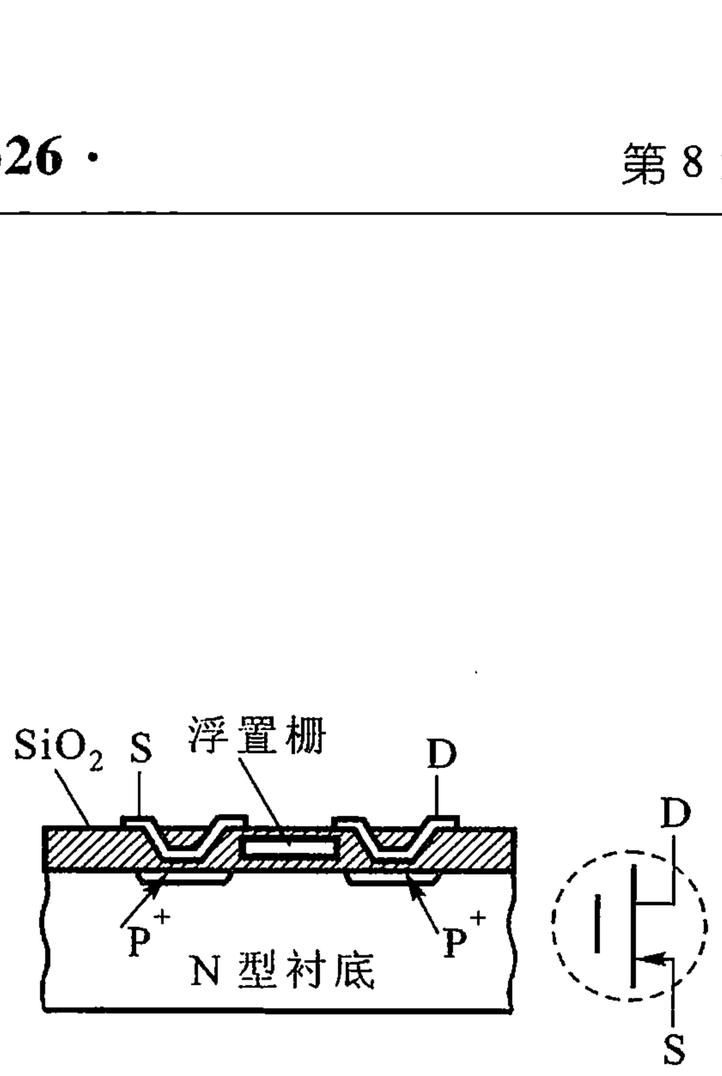


图 8.5.8　FAMOS 管的结构及符号

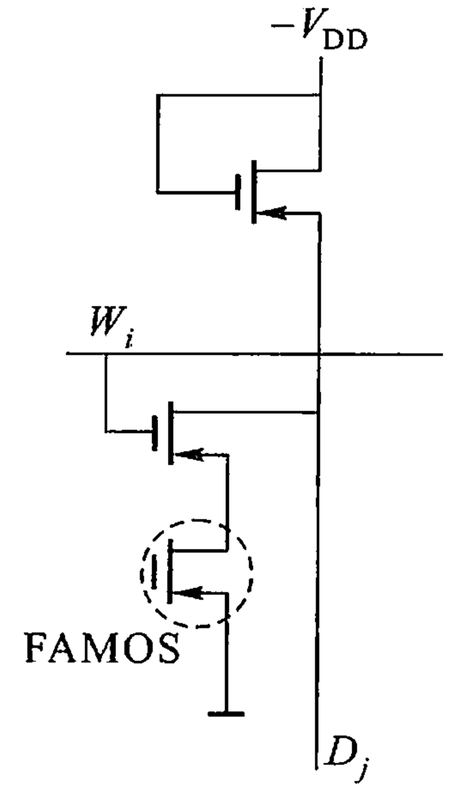


图 8.5.9　存储单元的结构

线下曝光,但这个过程必须使用专用设备,而且擦除速度很慢(一般需 15 ~ 20 min),因此,后来又出现了用电压信号快速擦除的 EPROM,即所谓电可擦写 ROM,简称 EAROM(Electrically-Alterable Read Only Memory),其存储单元采用 SIMOS 管,其结构图如图 8.5.10 所示。SIMOS 管与 FAMOS 管的区别在于:(1) 它有 2 个重叠的多晶硅栅,上面的栅与字线相连,称为控制栅。下面是浮栅,是 1 个 N 沟道增强型 MOS 管;(2) 浮栅中的电子注入不是由雪崩效应完成,而是靠沟道注入。写入数据前,浮栅是不带电的,而且在控制栅 G_c 上加上正常高电平时,能在漏 - 源之间形成导电沟道,使 SIMOS 管导通,如在漏 - 源之间加上高电压(一般取 25 V),同时在控制栅上加高电压正脉冲(一般为 25 V、50 ms),则在栅极电压作用下,使电子穿过 SiO_2 层到达浮栅,被浮栅俘获而形成注入电荷,相当于存储了数据 **1**。浮栅注入电荷后,其阈值电压 $V_{GS(th)}$ 将比未注入电荷时大大提高,这样在正常输入的栅极高电平(如 +5 V)下,注入电荷的 SIMOS 管不能导通。

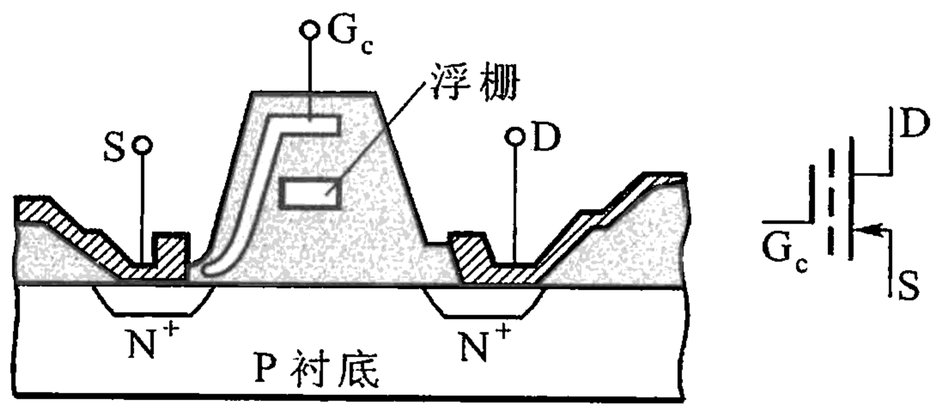


图 8.5.10　SIMOS 结构示意图

EAROM 存储单元的结构如图8.5.11所示,它由 1 只普通 N 沟道 MOS 管 T_1 和 SIMOS 管 T_2 相连,在 SIMOS 管中存入信息后,正常的电压不能使 SIMOS 管导

通，所以位线输出为 **1**。如果在 SIMOS 管的 G_c 栅上加 1 个较大幅度的负脉冲，则可以在 SiO_2 层中感应出足够的正电荷与浮栅中的负电荷中和，从而将原来存储的 **1** 擦掉。

由于采用紫外线擦除的 EPROM 一次会将所有的信息全部擦掉，而 EAROM 可以有选择性地逐字擦除，因而应用更灵活方便，但由于其可靠性较差，寿命较短，使用不如紫外线擦除的 EPROM 更普遍。

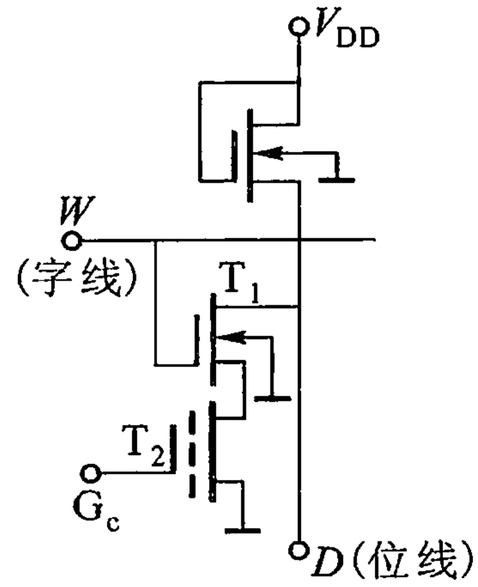


图 8.5.11　EAROM 存储单元

3. 可编程逻辑阵列(PLA)

可编程逻辑阵列 PLA 的基本结构如图 8.5.12 所示，它与 PROM 的结构十分相似，但 PROM 只能对**或**门阵列编程，而 PLA 的**与**门阵列和**或**门阵列都是可编程的，因此，使用起来非常方便。

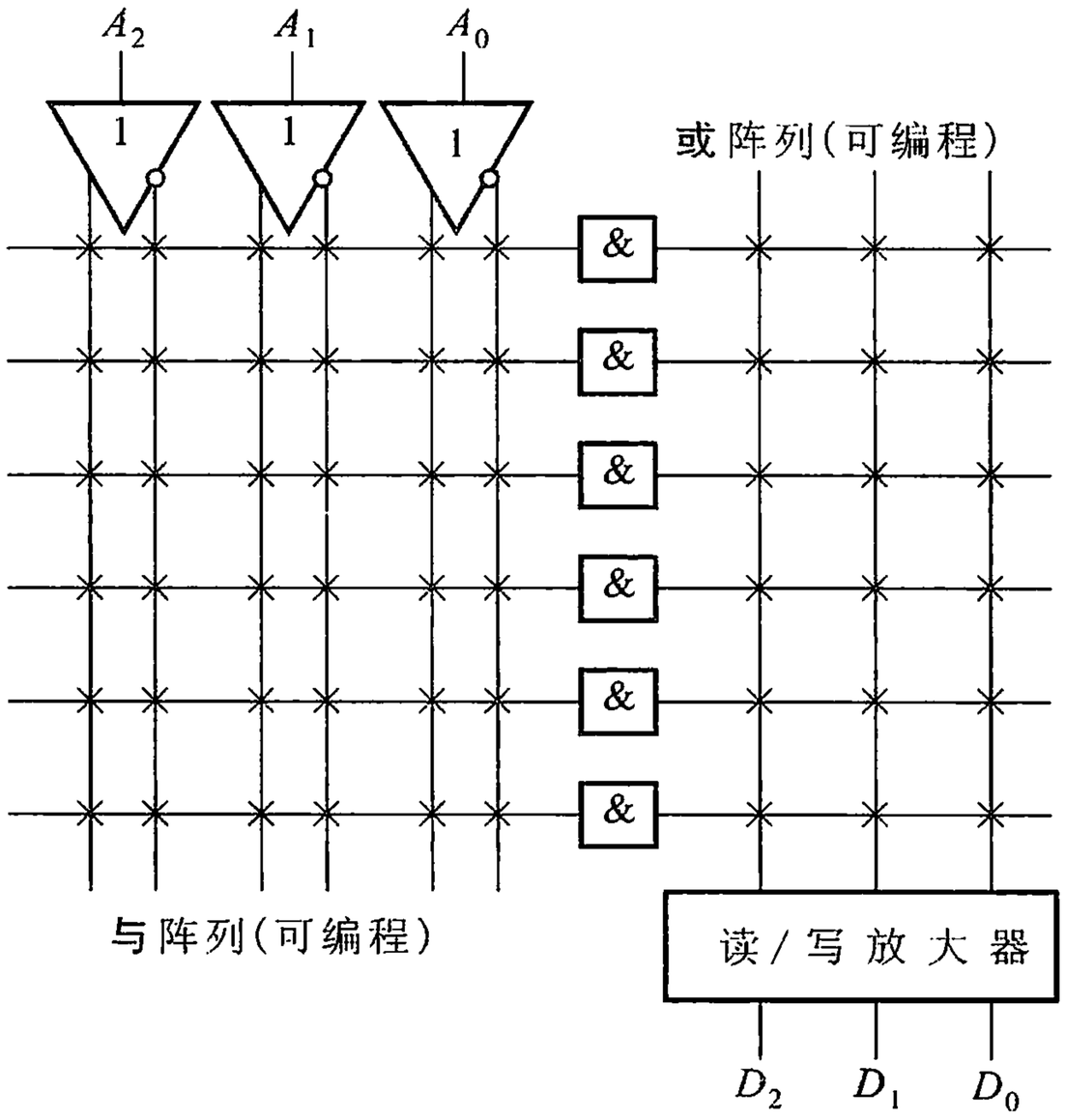


图 8.5.12　PLA 的基本结构

例 8.5.1　用 PLA 实现函数

$$\begin{cases} F_1 = A\overline{C} + BC \\ F_2 = \overline{A}B + BC + \overline{B}\,\overline{C}。 \end{cases}$$

解　利用 PLA 实现上述函数，十分方便，如图 8.5.13 所示，首先在**与**阵列中实现**与**项，图中 $Y_1 = A\overline{C}$，$Y_2 = BC$，$Y_3 = \overline{A}B$，$Y_4 = \overline{B}\overline{C}$；再在**或**阵列中实现**或**项，$F_1 = Y_1 + Y_2 = A\overline{C} + BC$，$F_2 = Y_2 + Y_3 + Y_4 = \overline{A}B + BC + \overline{B}\overline{C}$。

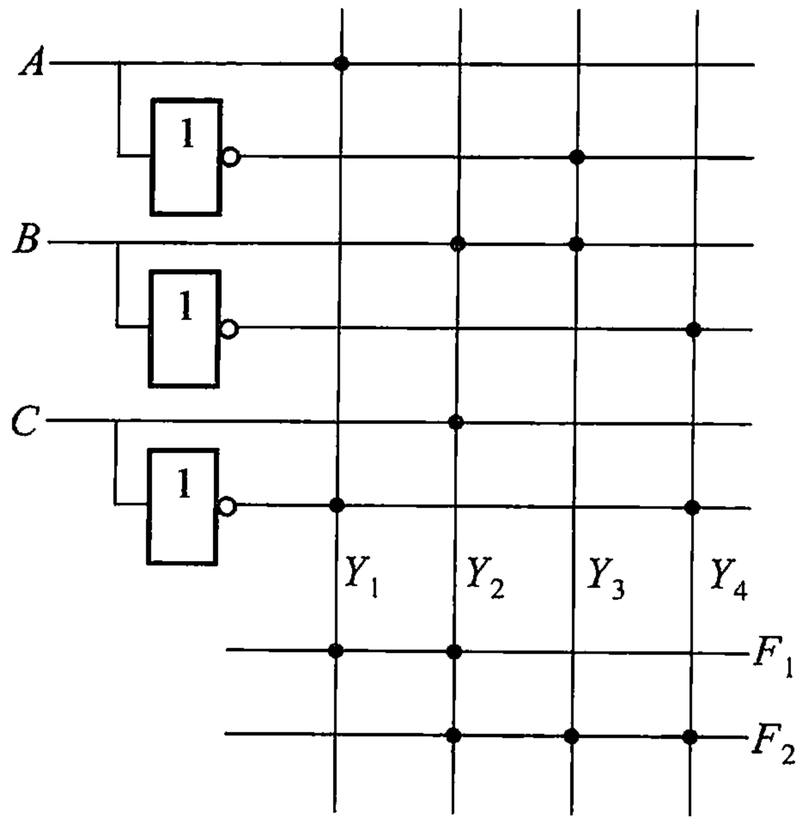


图 8.5.13　例 8.5.1 PLA 结构

PLA 从结构上又分为掩模式 PLA（MPLA）和现场编程式 PLA（FPLA）。FPLA 应用更为广泛，它主要由两种方式组成，一种是结破坏式 FPLA，其结构图如图 8.5.14(a)所示，在其**与**阵列的行线和列线交叉处集成 1 个基极开放的晶体管，处于非导通状态，编程时在交叉点处加上高电压，由于雪崩迁移，基极开放晶体管变成了 1 个导通二极管；另一种是熔丝式 FPLA，其结构如图 9.6.13(b)所示，在其行线和列线交叉处有实体熔丝，用熔断熔丝的方式进行编程。

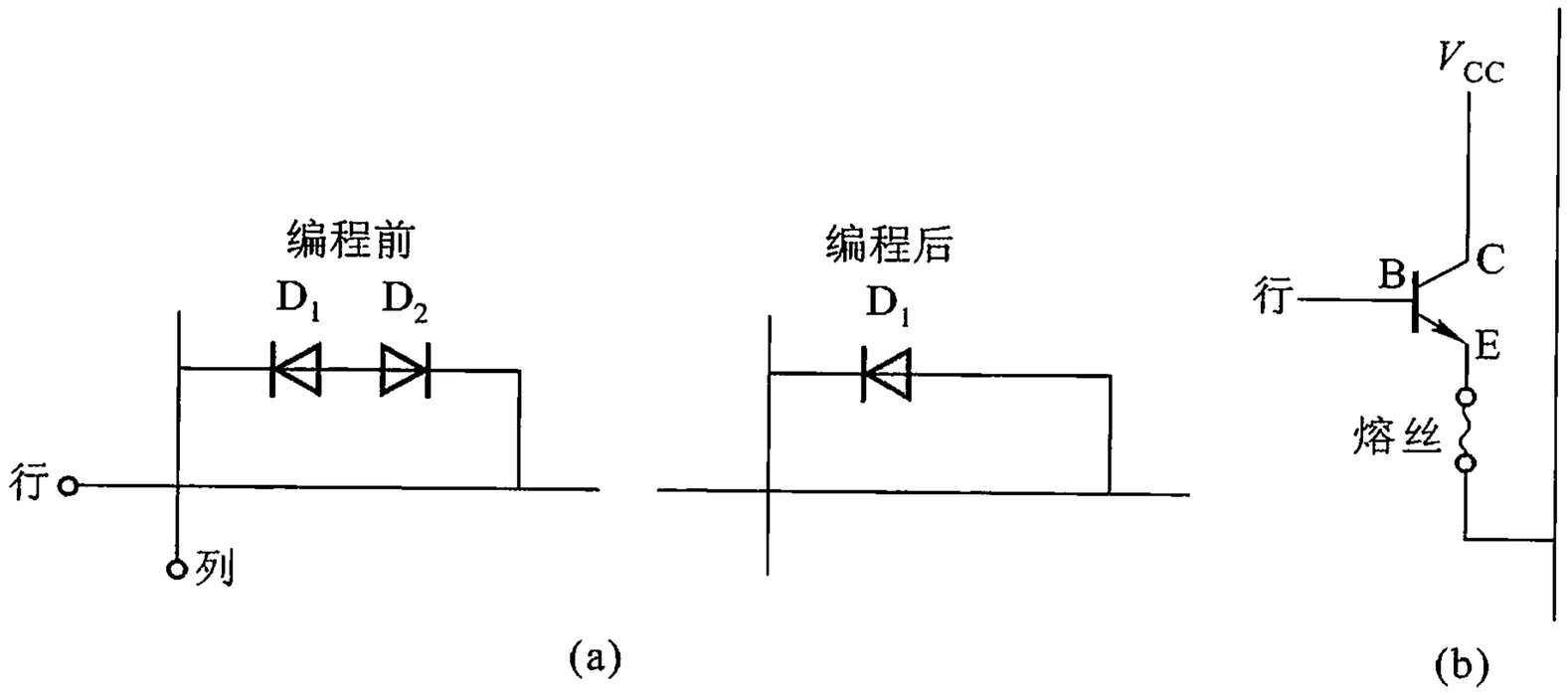


图 8.5.14　FPLA 编程点等效电路

（a）结破坏式　（b）熔丝式

4. 可编程阵列逻辑

可编程阵列逻辑 PAL 的基本结构如图 8.5.15 所示，它由 1 个可编程的**与**阵列和 1 个固定的**或**阵列组成，与 PROM 的结构正好相反。由于大多数逻辑函数都可以简化为**与 - 或**表达式，因此，这种结构对于大多数逻辑函数来说是有效的。PAL 在**与**门、**或**门的基础上，增加了多种输出及反馈电路，便构成了各种型号的 PAL 器件，其结构也分为专用输出结构、异步 I/O 输出结构、寄存器输出结构、算术选通反馈结构等。

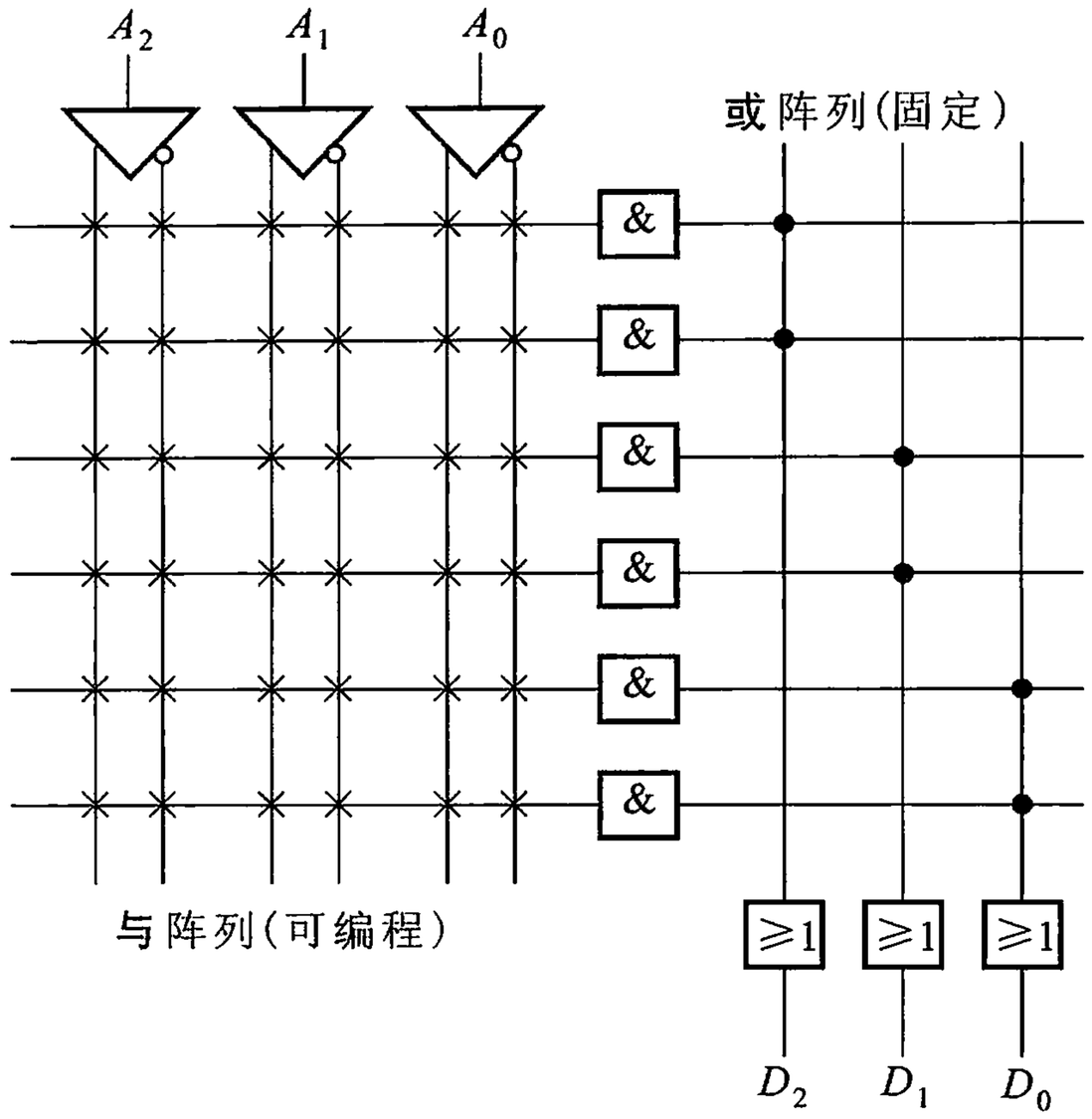


图 8.5.15 PAL 的基本门阵列结构

PAL 器件也是通过烧断熔丝达到编程的,可以取代常用的中小规模 TTL 逻辑器件,通常 20 系列的 PAL 可以取代 4 片中小规模 TTL 器件,24 系列的 PAL 可以取代 5 片中小规模 TTL 器件。

5. 通用阵列逻辑器件

PAL器件的发展和应用,给逻辑设计带来了很大的灵活性,但它采用的是熔丝工艺,一旦编程后不能再改写。GAL器件是20世纪80年代中期发展起来的新型逻辑芯片,它在结构上继承了PAL器件的“**与 - 或**结构”,形成了一种新型的“输出逻辑宏单元”结构形式。在工艺上吸收了 EPROM 的浮栅技术,并与 CMOS 静态 RAM 相结合,开拓了能长期保持数据的 E^2MOS 技术,使 GAL 器件具有可擦除、可重新编程、可重新组合结构的特点,而且在数秒内即可完成芯片的擦除和编程过程。

图 8.5.16 给出了一个 GAL 模块的电路。**与**门阵列的输出接入输出逻辑宏单元(OLMC),在 OLMC 中包括了**或**门阵列和可编程的输出逻辑,后者可以选择数据输出的方向。在典型的 GAL 电路中,**与**门阵列可以含有 8 个或更多的输入端,而 OLMC 可包括 8 个以上的输入/输出(I/O)端口。由于 OLMC 中含有触发器,所以我们在对其编程时,既可以把它作为组合型逻辑使用,又可以把它作为寄存器型逻辑使用。与输出逻辑结构固定的 PAL 相比, OLMC 显得更灵活。

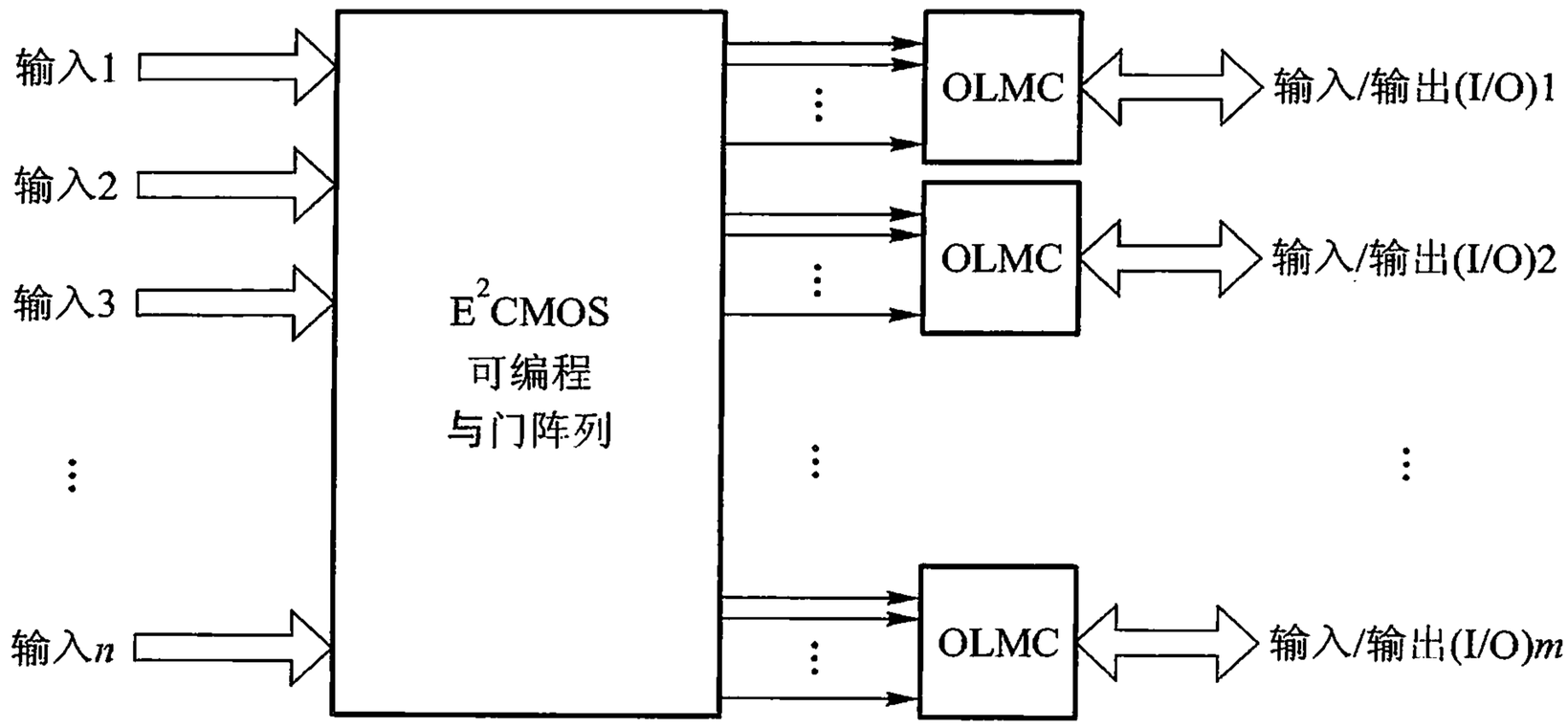


图 8.5.16　GAL 的框图

GAL16V8 是常见的一种 GAL 器件，其电路结构图如图 8.5.17 所示，图 8.5.18为其 OLMC 结构框图。它有一个 32 × 64 位的可编程与逻辑阵列、8 个 OLMC、10 个输入缓冲器、8 个三态输出缓冲器和 8 个反馈、输入缓冲器。

8.5.3　复杂可编程逻辑器件和现场可编程门阵列

复杂可编程逻辑器件（CPLD）和现场可编程门阵列（FPGA）都是高密度可编程逻辑器件，但在结构上各有不同。

1. 复杂可编程逻辑器件（CPLD）

CPLD 可以在单个芯片上集成多个 SPLD 和可编程的互连结构。图 8.5.19 所示为一般 CPLD 器件的结构框图。其中逻辑阵列块（Logic Array Block，LAB）就是有许多 PAL/GAL 阵列组成的 SPLD，CPLD 中有多个逻辑阵列块，这些逻辑阵列块之间通过使用可编程互连阵列（Programmable Interconnect Array，PIA）相互连接，实现复杂的逻辑功能。

在每个 LAB（逻辑阵列块）中，可以包含许多个宏单元，如图 8.5.20 所示。通常情况下，宏单元包括可编程的**与**门阵列，乘积项选择矩阵**或**门以及一个可编程的寄存器部件。图 8.5.21 给出了一个典型 CPLD 宏单元的简化逻辑电路。

2. 现场可编程门阵列（FPGA）

现场可编程门阵列（Field Programmable Gate Array，简称 FPGA），属于高密度 PLD。与前面介绍的几种 PLD 相比，其电路结构完全不同。前述的 PLD 都采用了**与 - 或**逻辑阵列，再接输出逻辑单元。而 FPGA 则由独立的逻辑模块组成，

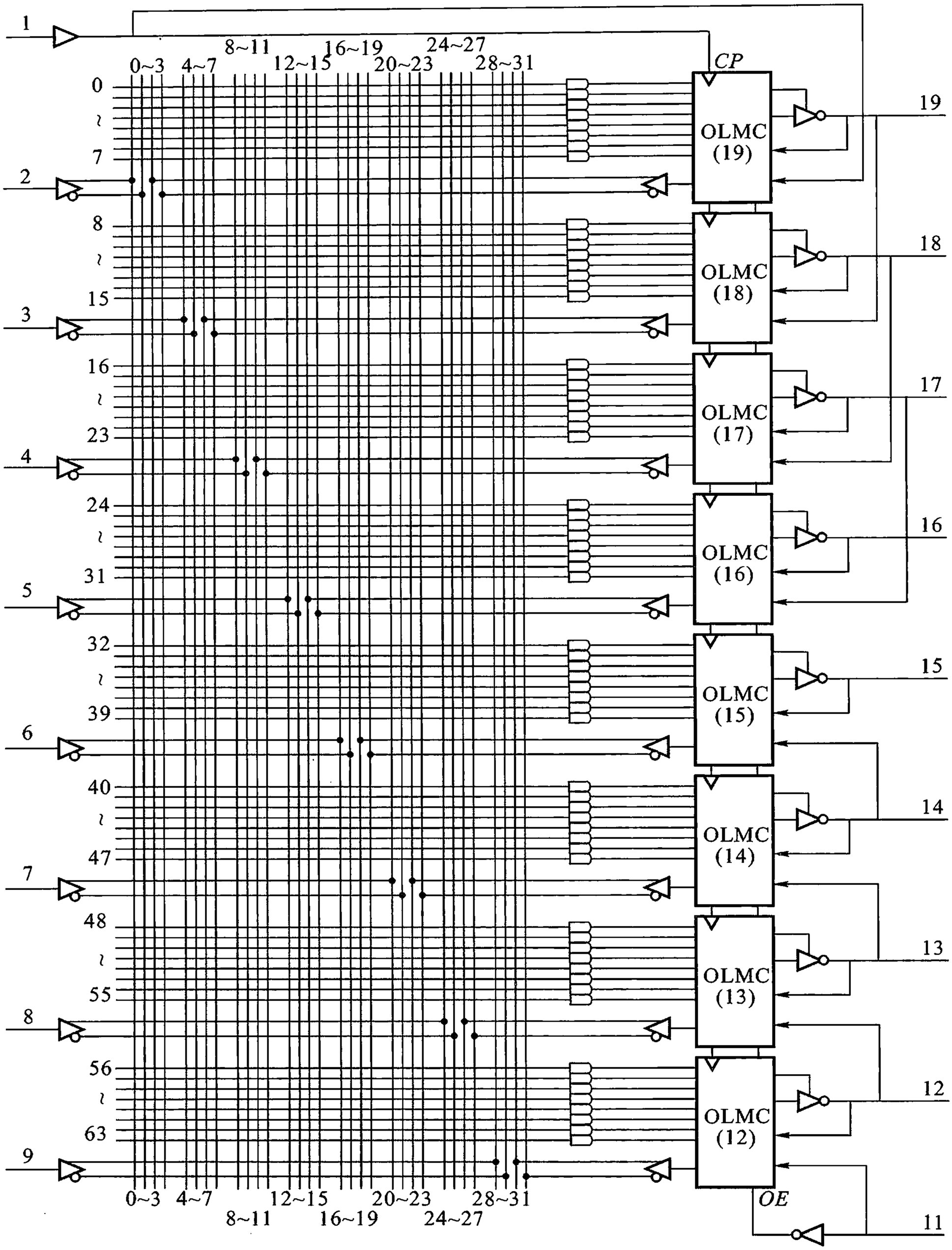


图 8.5.17　GAL16V8 的电路结构图

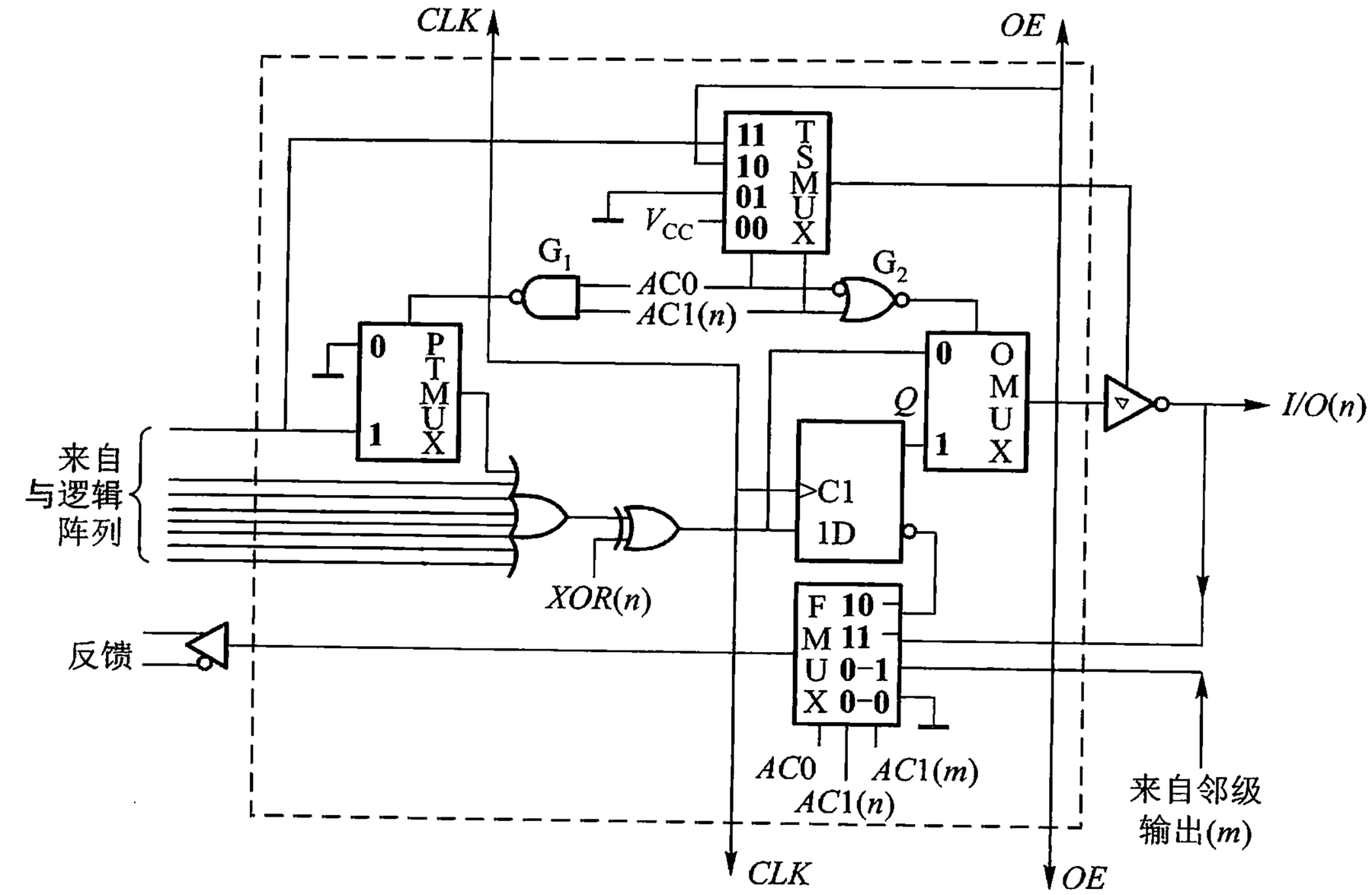


图 8.5.18　OLMC 结构框图

注:PTMUX 为乘积数据选择器;FMUX 为反馈数据选择器;
OMUX 为输出数据选择器;TSMUX 为三态数据选择器。

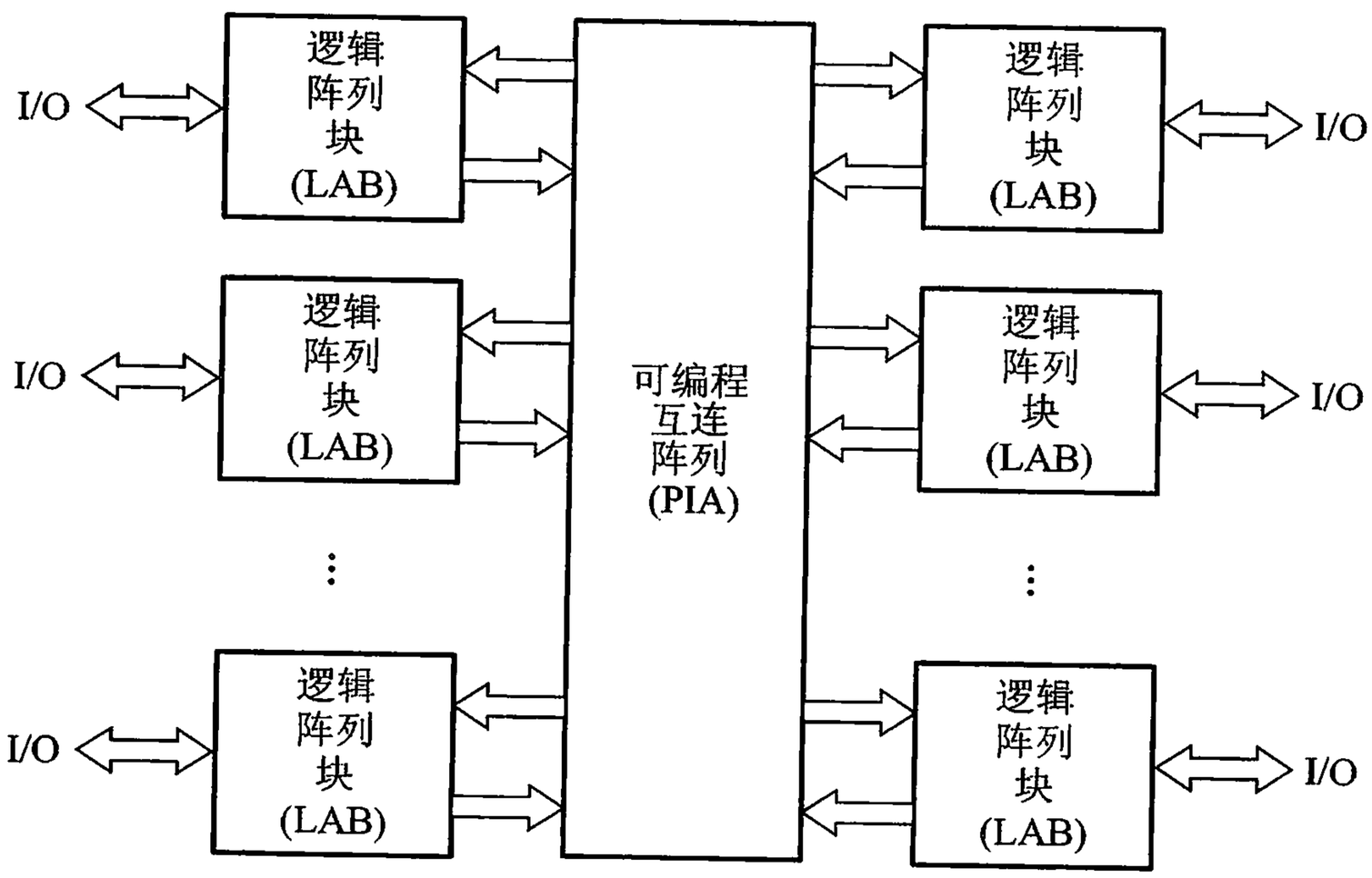


图 8.5.19　CPLD 器件的结构框图

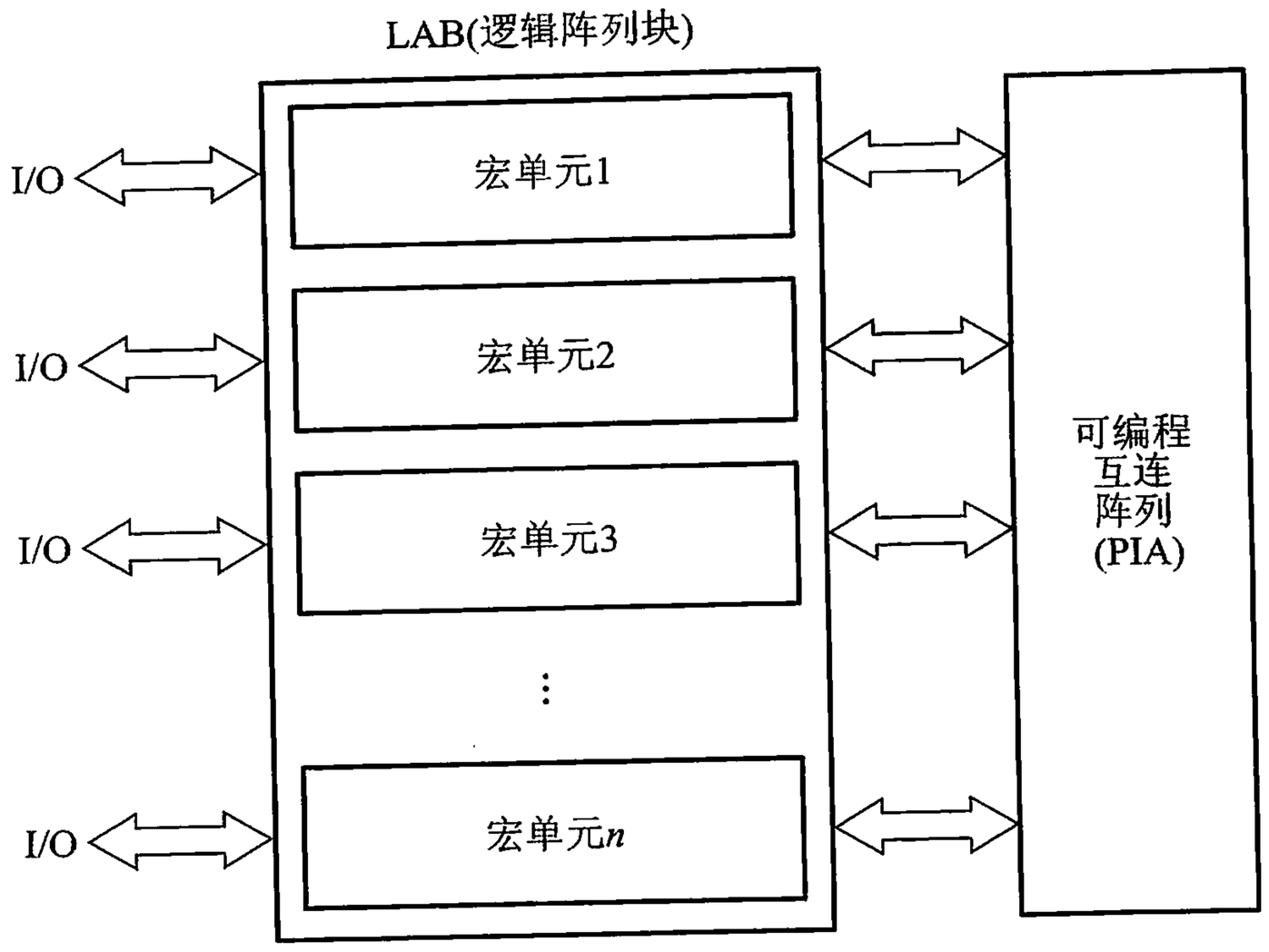


图 8.5.20　CPLD 中的基本逻辑阵列块

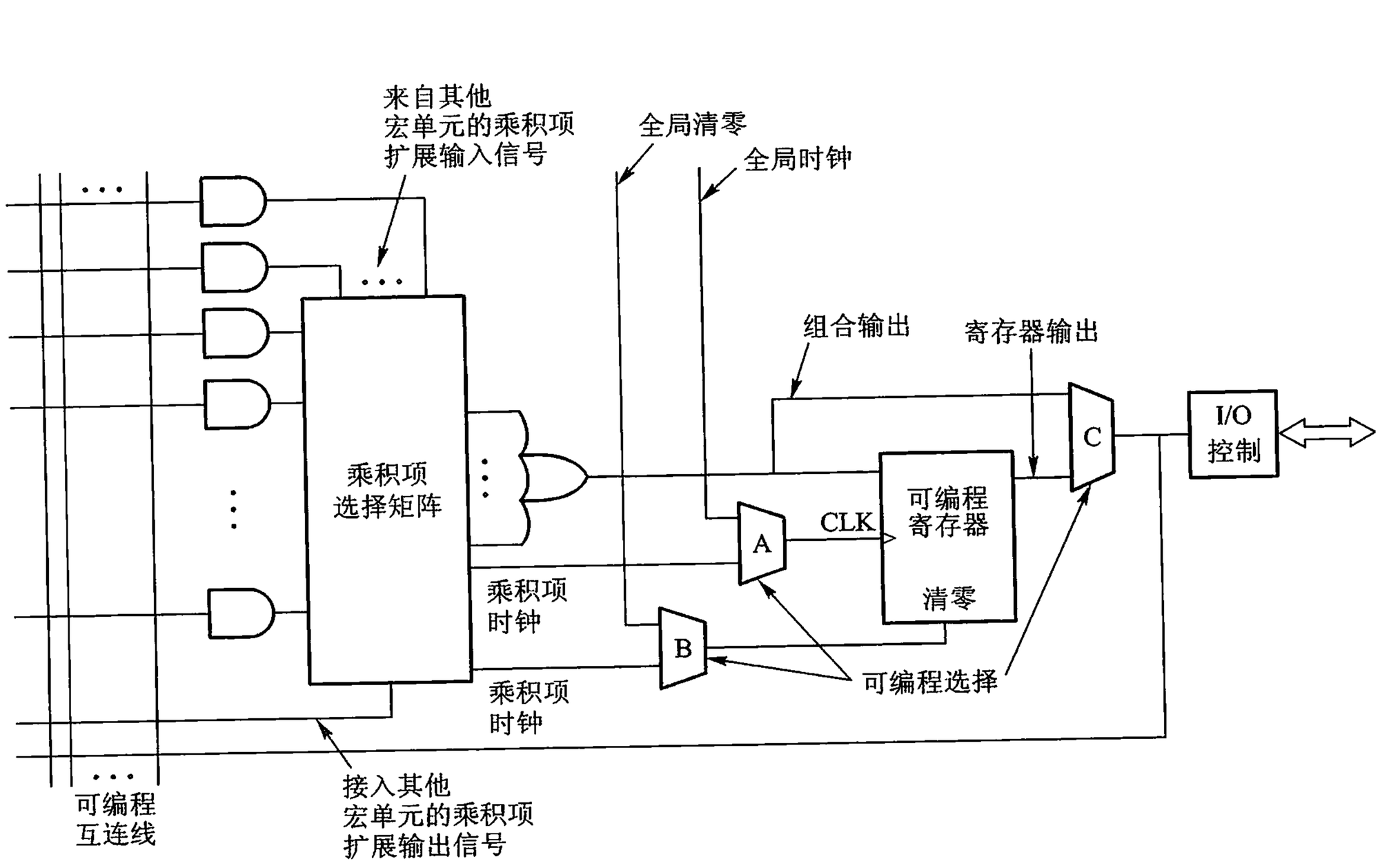


图 8.5.21　CPLD 中的宏单元

每个逻辑模块都可编程，构成较小规模的组合和时序电路；各个模块之间的相互连接也可编程，并由此构成较大规模的数字系统。所以，FPGA 可以更为灵活地组成复杂的数字系统。但由于 FPGA 采用静态随机存储器保存编程数据，一旦断电系统编程数据将丢失，所以在每次上电正常工作前都重新装载编程数据，并需要配备相应的 EPROM 保存编程数据。

一般 FPGA 内部包括可编程逻辑模块 CLBs（Configurable Logic Blocks）、输入/输出模块 IOBs（Input Output Blocks）和内部连线（Interconnect）三个部分，如图 8.5.22 所示。可编程逻辑模块 CLBs 一般由查找表（LUT）和寄存器（Register）组成，通过编程可实现较小规模的组合和时序电路。大多数 FPGA 的输入/输出模块 IOBs 也可编程，即通过软件的灵活配置，可适应不同的电器标准与 I/O 物理特性；可以调整匹配阻抗特性，上下拉电阻；可以调整输出驱动电流的大小等。内部连线可通过编程连通 FPGA 内部所有单元。

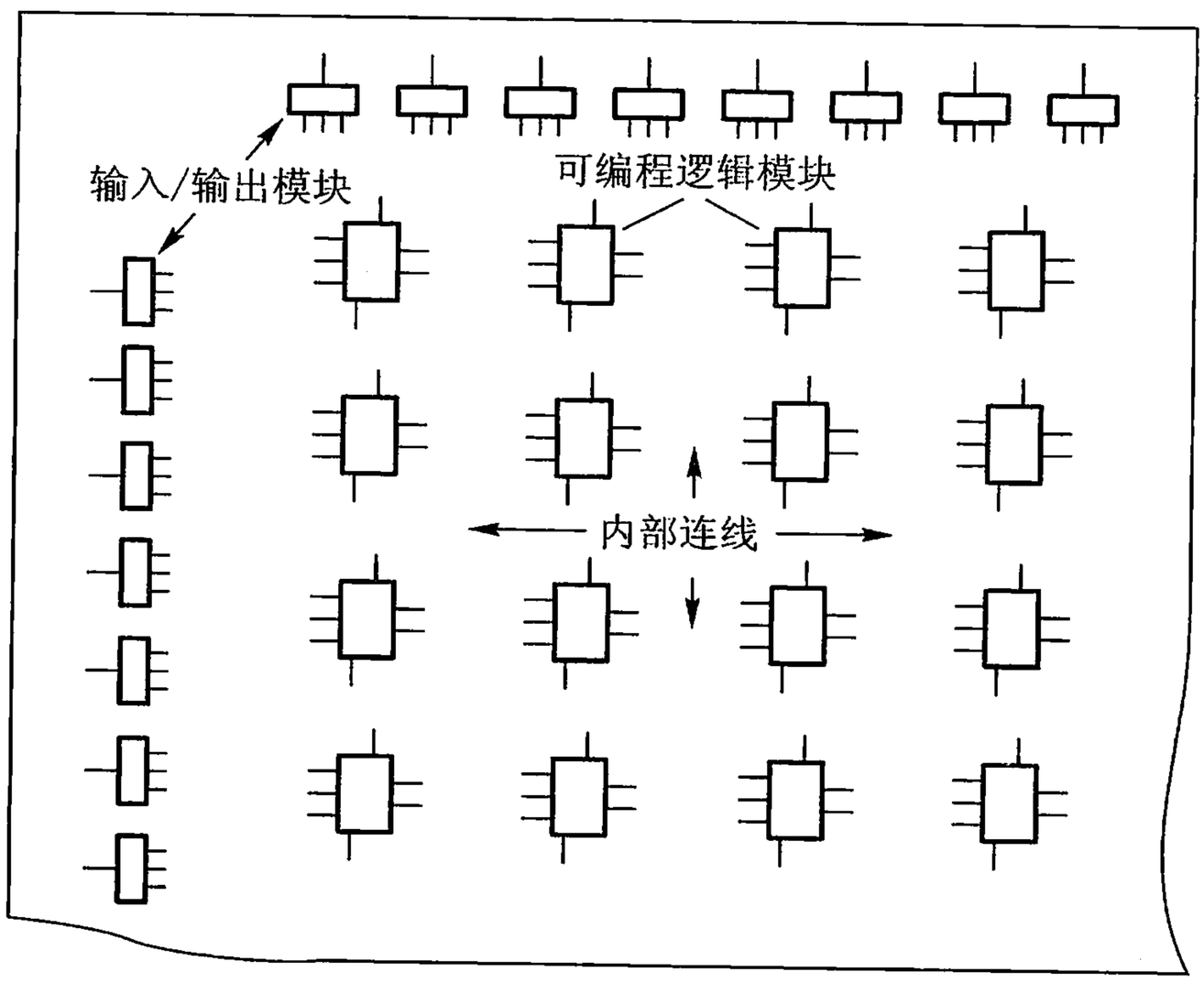


图 8.5.22　FPGA 的基本结构框图

小结

1. 组合电路是数字电路的两大分支之一。组合电路的输出仅仅取决于该时刻输入状态的组合，而与电路原来的状态无关。因此电路中没有具有记忆功能的电路，它是以门电路作为基本单元组成的电路。

2. 由门电路组成的组合电路的一般分析和设计方法如下。

分析步骤：

(1) 由逻辑图写出输出信号的逻辑表达式；

(2) 化简逻辑表达式；

(3) 列出真值表；

(4) 根据真值表和表达式确定电路逻辑功能。

设计步骤：

(1) 指定实际问题的逻辑含义，设定逻辑变量，进行逻辑赋值，列出真值表；

(2) 根据真值表列出逻辑表达式，对逻辑表达式进行化简或根据要求对逻辑表达式的类型进行变换；

(3) 根据逻辑表达式画逻辑图。

3. 加法器、编码器、译码器、数值比较器和数据选择器是常用中规模集成组合电路。本章重点介绍了它们的逻辑功能、特点、使用方法和典型应用。

4. 用集成组合逻辑电路设计一般组合逻辑电路时常用的器件是数据选择器和译码器。

采用中规模集成电路设计组合逻辑电路的方法如下：

(1) 根据给出的实际问题，进行逻辑抽象确定输入变量和输出变量，列出函数真值表(卡诺图)，写出逻辑函数最小项表达式；

(2) 根据逻辑函数包含的变量和逻辑功能，选择合适的集成电路器件。一般单输出函数选用数据选择器，多输出函数选用译码器；

(3) 写出所选器件的输出函数式。若是数据选择器，它的逻辑函数表达式比所求函数更加丰富(输入变量或乘积项多)，则可对多余的变量和乘积项作适当处理；若是译码器，则需利用扩展门电路获得所求函数；

(4) 按照求出的结果画出电路连线图。

5. 当逻辑门有两个互补输入信号同时向相反状态变化时，由于门电路的延迟时间和信号状态改变的过渡时间，输出端可能产生过渡干扰脉冲的现象。这种现象叫竞争冒险。可根据实际情况，采用加选通脉冲、修改逻辑设计增加多余项或输出接滤波电容等措施消除竞争冒险。

6. 可编程逻辑器件(PLD)属于大规模集成电路，为半定制器件，具有可编程性，而且一般可重复编程。用户可自己构造逻辑功能，并将所设计的电路直接写入芯片，因而使得数字系统的设计灵活方便。可编程逻辑器件主要可分为三种类型：简单可编程逻辑器件(SPLD)、复杂可编程逻辑器件(CPLD)和现场可编程门阵列(FPGA)。

习题与思考题

8.1　由二极管组成的编码器如图 P8.1 所示，它有 8 个输入端和 3 个输出端。

（1）试分析当各输入端分别接高电平（5 V）时相应的输出代码；

（2）写出真值表。

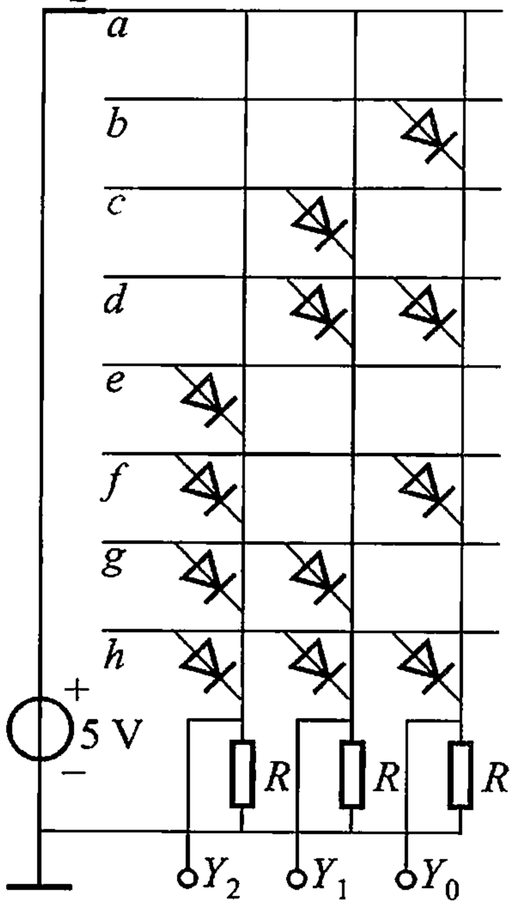


图 P 8.1

8.2　用最少的**与非**门构成 8421 BCD 码七段显示译码器时，若显示 6 时 a 段也亮，显示 9 时 d 段也亮，其他数字显示均不变化，试写出在这种要求下 8421 BCD 码七段显示译码器的真值表；列出 a 段、d 段的最简逻辑表达式。

8.3　一个保险锁具有 A、B、C 3 个控制按钮，要求当 B 和 C 同时按下时，锁才能被打开，而在其他情况下（A、B、C 均不按下情况除外）锁均打不开并能自动报警。试设计这个保险锁的控制逻辑电路。

8.4　两个 2 位二进制数 $x = A_2A_1$ 和 $y = B_2B_1$，试设计一个能判断出 $x > y$ 的逻辑电路。

8.5　试用**与非**门构成一个 4 位奇偶校验器，即当 4 位数中有奇数个 **1** 时，输出为 **1**，否则输出为 **0**。

8.6　试设计一个 4 输入、4 输出的逻辑电路。当控制信号 $C = 0$ 时，输出状态分别与输入状态相同；$C = 1$ 时，输出状态分别与输入状态相反。

8.7　试设计一个十六进制中 A，B，C，D，E，F 等 6 个字母的七段字符显示译码器，字符的字样如图 P 8.7 所示。

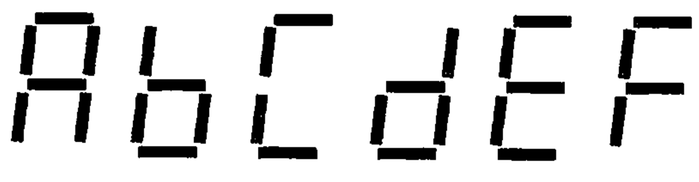


图 P8.7

8.8　试用 8 选 1 数据选择器产生逻辑函数 $L = \overline{B}\,\overline{C} + \overline{A}C$。

8.9　试用 4 选 1 数据选择器产生逻辑函数 $L = \overline{B}\,\overline{C} + \overline{A}C$。

8.10　试用 8 选 1 数据选择器产生逻辑函数 $L = A \oplus B \oplus C$。

8.11　画出用 3 片 4 位数值比较器组成 12 位数值比较器的连线图，并说明其工作原理。

8.12　分析图 P 8.12 电路的逻辑功能，写出 Y_1、Y_2 的逻辑表达式。列出真值表，指出电路完成什么逻辑功能。

8.13　用一片二－十进制译码器，作出一位全减器（即 1 位带借位输入二进制减法电路）。可以附加必要的电路。

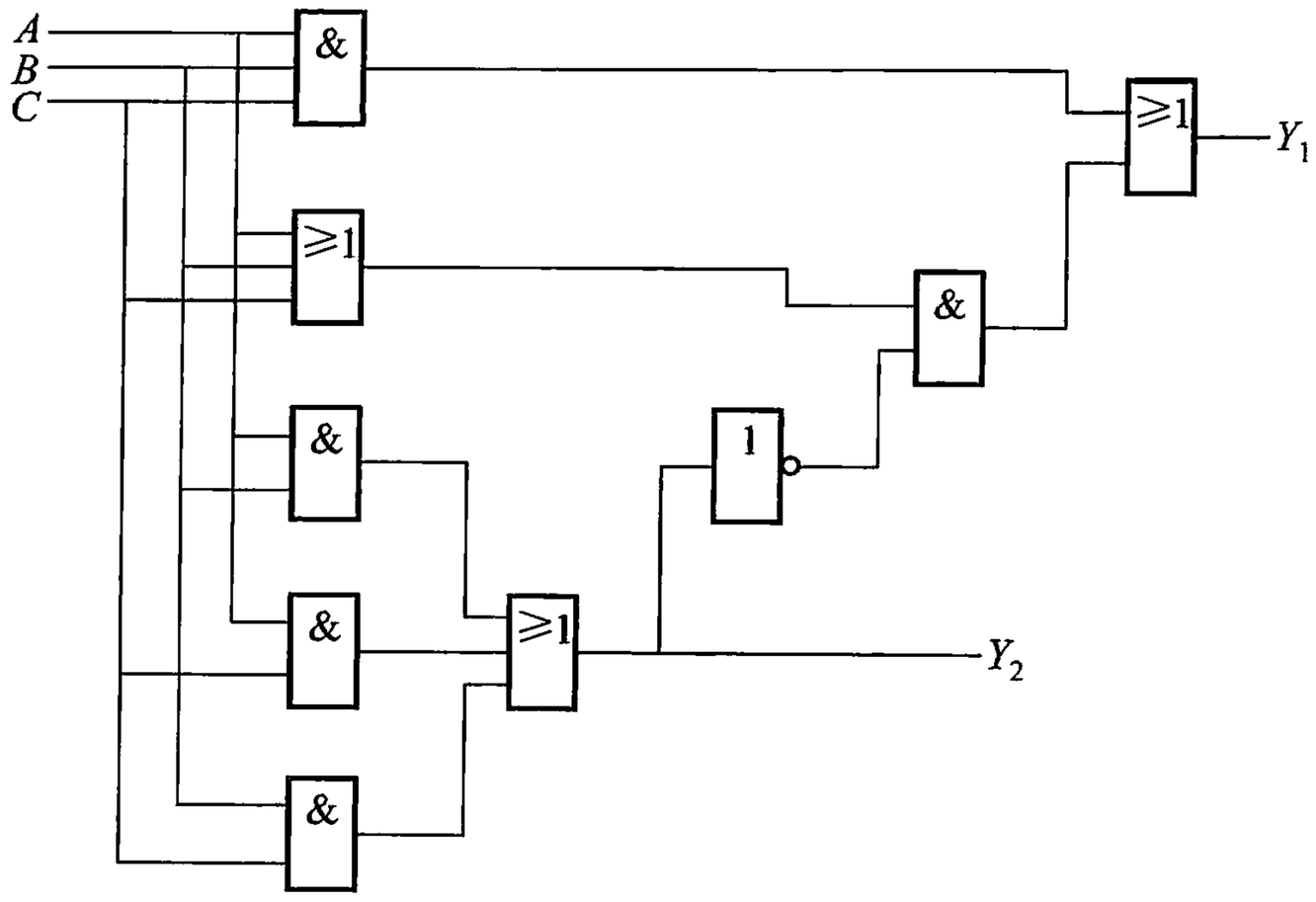


图 P8.12

第 9 章　触发器和时序逻辑电路

引　言

相对于组合逻辑电路来说，时序数字电路是另一类常用的数字电路。这类电路某一时刻的输出状态，不仅与当时的输入变量的状态有关，而且还与系统前一时刻的状态有关。时序数字电路的特点表明它具有记忆功能。时序数字电路由组合逻辑电路和记忆单元组成。触发器是时序数字电路的最基本的单元——记忆单元。常用的数字部件计数器、寄存器都是时序电路。本章首先讲述触发器的电路结构和逻辑功能；然后讨论计数器、寄存器的逻辑功能、工作原理和分析方法，并介绍几个中大规模集成电路的应用。

9.1　触　发　器

在复杂的数字系统中，不但需要对数字信号进行逻辑运算和算术运算，还需要保存信号和运算结果。为此，需要使用具有记忆功能的基本逻辑单元——触发器。触发器能存储一位二值信号。

触发器具有两个基本特点：具有两个稳定状态（**0** 态和 **1** 态）；能接收、保存和输出信号。

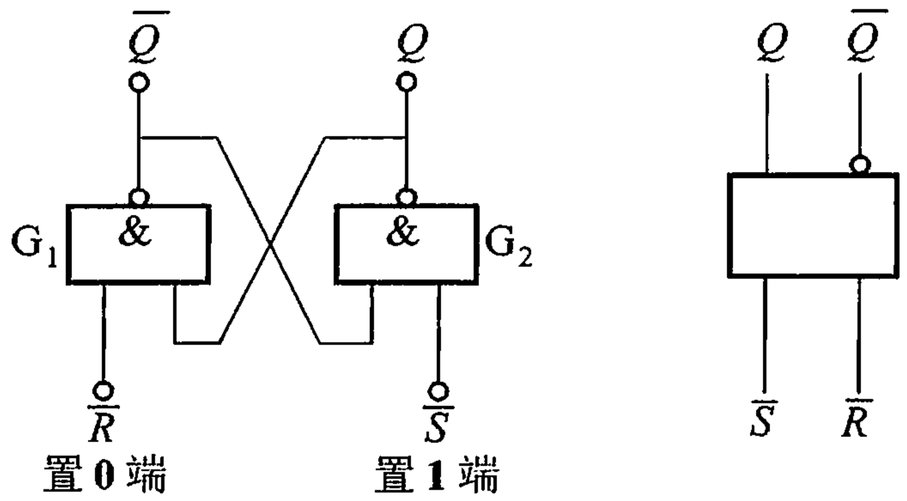
9.1.1　触发器的电路结构

触发器根据其电路结构形式的不同，有基本触发器、同步触发器、主从触发器和边沿触发器之分。

1. 基本 $R-S$ 触发器

（1）电路组成及逻辑符号

图 9.1.1 所示为基本 $R-S$ 触发器的逻辑电路和逻辑符号。电路是由两个与非门交叉连接组成的，$\overline{R}$、$\overline{S}$是信号输入端，字母上面的反号表示信号低电平有效，Q 和$\overline{Q}$为触发器的输出端，在正常条件下两个输出端能保持相反状态。一般规定触发器的输出状态由 Q 端决定，即当 $Q=1$ 时（$\overline{Q}=0$），触发器为 **1** 状态，$Q=0$ 时（$\overline{Q}=1$）触发器为 **0** 态。这是一种约定。



(a) (b)

图 9.1.1 基本 $R-S$ 触发器

(a) 逻辑电路 (b) 逻辑符号

(2) 工作原理

根据 R 和 S 两个输入端的不同状态可以得出基本 $R-S$ 触发器的逻辑功能。

① $\overline{R}=\mathbf{0}$, $\overline{S}=\mathbf{1}$ 时,**与非**门 G_1 有一个输入端为 **0**, 所以 $\overline{Q}=\mathbf{1}$。此时**与非**门 G_2 的两个输入端全为 **1**, 故 $Q=\mathbf{0}$, 即触发器处于 **0** 状态。这种情况称为置 **0** 或复位。

② $\overline{R}=\mathbf{1}$, $\overline{S}=\mathbf{0}$ 时,**与非**门 G_2 有一个输入端为 **0**, 所以 $Q=\mathbf{1}$。此时**与非**门 G_1 两个输入端全为 **1**, 故 $\overline{Q}=\mathbf{0}$, 即触发器处于 **1** 状态。这种情况称为置 **1** 或置位。

③ $\overline{R}=\mathbf{1}$, $\overline{S}=\mathbf{1}$ 时,触发器的输出与原来 Q 和 $\overline{Q}$ 的状态有关。如果原来触发器处于 **1** 状态,即 $\overline{Q}=\mathbf{0}$, $Q=\mathbf{1}$, 由于**与非**门 G_1 两个输入端均为 **1**, 故 $\overline{Q}=\mathbf{0}$, 并使 $Q=\mathbf{1}$;如果原来的触发器处于 **0** 状态,即 $\overline{Q}=\mathbf{1}$, $Q=\mathbf{0}$, 由于**与非**门 G_2 两个输入端均为 **1**, 故 $Q=\mathbf{0}$, 并使 $\overline{Q}=\mathbf{1}$。可见,这种情况下触发器保持原有状态。

④ $R=\mathbf{0}$, $S=\mathbf{0}$ 时,显然,这种情况下 $Q=\overline{Q}=\mathbf{1}$。根据对触发器状态的规定,它既不是 **1** 状态,也不是 **0** 状态,而且一旦去除输入信号,触发器的状态将由偶然因素决定,因此,这种情况下触发器为不定状态,使用时应避免出现。

上述输入、输出逻辑对应关系可用特性表 9.1.1 表示。表中 Q^n 表示触发器原来的状态,也称初态。Q^{n+1} 表示触发器的新状态,又称次态。从特性表可以看出,触发器的次态不仅与当时的输入状态有关,而且还与 Q^n 有关。

表 9.1.1　基本 $R-S$ 触发器特性表

$\overline{R}$	$\overline{S}$	Q^n	Q^{n+1}	触发器状态说明
1	1	0	0	状态不变
1	1	1	1	
0	1	0	0	置 0
0	1	1	0	
1	0	0	1	置 1
1	0	1	1	
0	0	0	不定	$\overline{R}$、$\overline{S}$ 端触发低电平同时撤除后状态不定
0	0	1	不定	

2. 同步 $R-S$ 触发器

基本 $R-S$ 触发器的特点是直接受触发脉冲的控制，只要触发器输入状态变化，其输出就随之按特性表所概括的规律变化。实用中常要求触发脉冲仅在一定时间内起作用，即按一定的时间节拍把触发器的输入信号反映到触发器中。因此，触发器增加一个控制端，由该端加入同步信号，用 CP 表示。时钟脉冲 CP 是指挥整个数字系统协同工作的主控脉冲。

同步 $R-S$ 触发器逻辑图如图 9.1.2 (a)所示，图(b)所示为其逻辑符号。同步 $R-S$ 触发器包括由 G_1、G_2 组成的基本 $R-S$ 触发器和 G_3、G_4 组成的导引控制门两个部分。

① 当 $CP=\mathbf{0}$ 时，G_3、G_4 被时钟脉冲的低电平封锁，G_3、G_4 输出为 **1**，触发器的状态不受输入信号 R、S 的影响。

② 当 $CP=\mathbf{1}$ 时，G_3、G_4 开通，将 R、S 输入端的状态导引到基本 $R-S$ 触发器。如果 $R=\mathbf{1}$、$S=\mathbf{0}$，则 $Q_3=\mathbf{1}$、$Q_4=\mathbf{0}$，使 $\overline{Q}=\mathbf{1}$、$Q=\mathbf{0}$，将触发器置 **0**；如果 $R=\mathbf{0}$、$S=\mathbf{1}$，则 $Q_3=\mathbf{0}$、$Q_4=\mathbf{1}$，使 $\overline{Q}=\mathbf{0}$、$Q=\mathbf{1}$，即触发器置 **1**；如果 $R=\mathbf{0}$、$S=\mathbf{0}$，则 $Q_3=\mathbf{1}$、$Q_4=\mathbf{1}$，使 Q 状态不变；如果 $R=\mathbf{1}$、$S=\mathbf{1}$，则 $Q_3=\mathbf{0}$、$Q_4=\mathbf{0}$，CP 脉冲过后触发器的状态将不能确定，应避免出现这种情况。

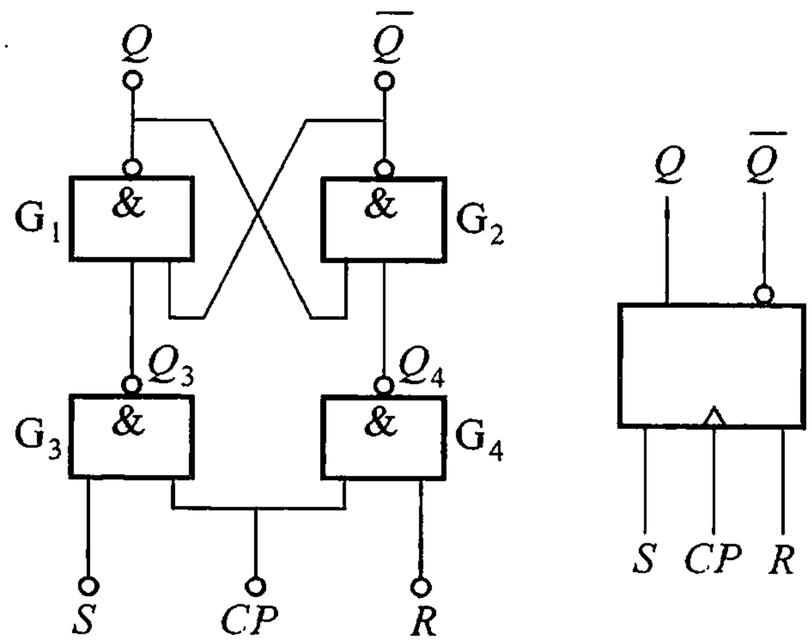


图 9.1.2　同步 $R-S$ 触发器
(a) 逻辑图　　(b) 逻辑符号

由以上分析可知，同步 $R-S$ 触发器输入信号 R、S 均为高电平有效。表 9.1.2为同步 $R-S$ 触发器的特性表。

表 9.1.2 同步 $R-S$ 触发器特性表

S	R	Q^n	Q^{n+1}	触发器输出状态说明
0	0	0	0	输出状态不变
0	0	1	1	
0	1	0	0	输出状态与 S 状态相同
0	1	1	0	
1	0	0	1	输出状态与 S 状态相同
1	0	1	1	
1	1	0	不定	CP 脉冲过后输出状态不定
1	1	1	不定	

将表 9.1.2 所示的逻辑功能填入触发器次态卡诺图，如图 9.1.3 所示，经简化可得到同步 $R-S$ 触发器次态与输入数据初态之间的关系（也称特征方程）为

$$\begin{cases} Q^{n+1} = S + \overline{R}Q^n \\ RS = 0 \end{cases} \tag{9.1.1}$$

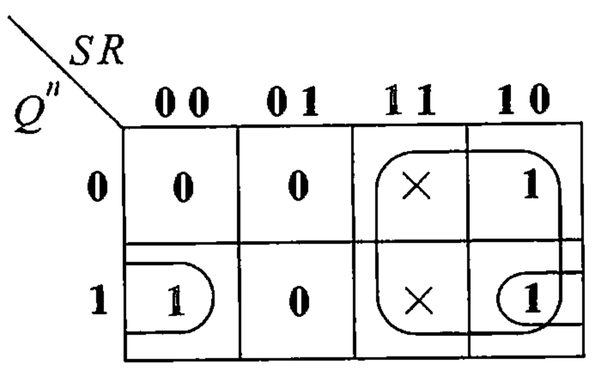


图 9.1.3 同步 $R-S$ 触发器次态卡诺图

式(9.1.1)表明，为了防止同步 $R-S$ 触发器出现不定态，必须遵从约束条件 $RS=0$，即避免出现 $S=1$、$R=1$ 的情况。由式(9.1.1)还可以看出时序电路的特点：电路的输出状态不仅与当时的输入信号有关，还与电路的原来状态有关。

同步 $R-S$ 触发器的输入、输出波形如图 9.1.4 所示。

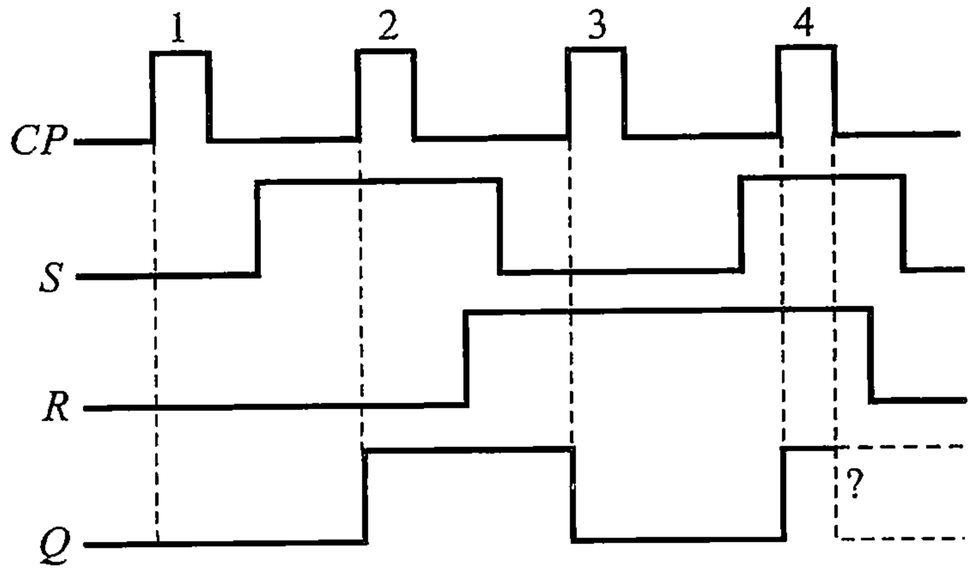


图 9.1.4 同步 $R-S$ 触发器输入、输出波形关系（设 CP 到来前，$Q=0$）

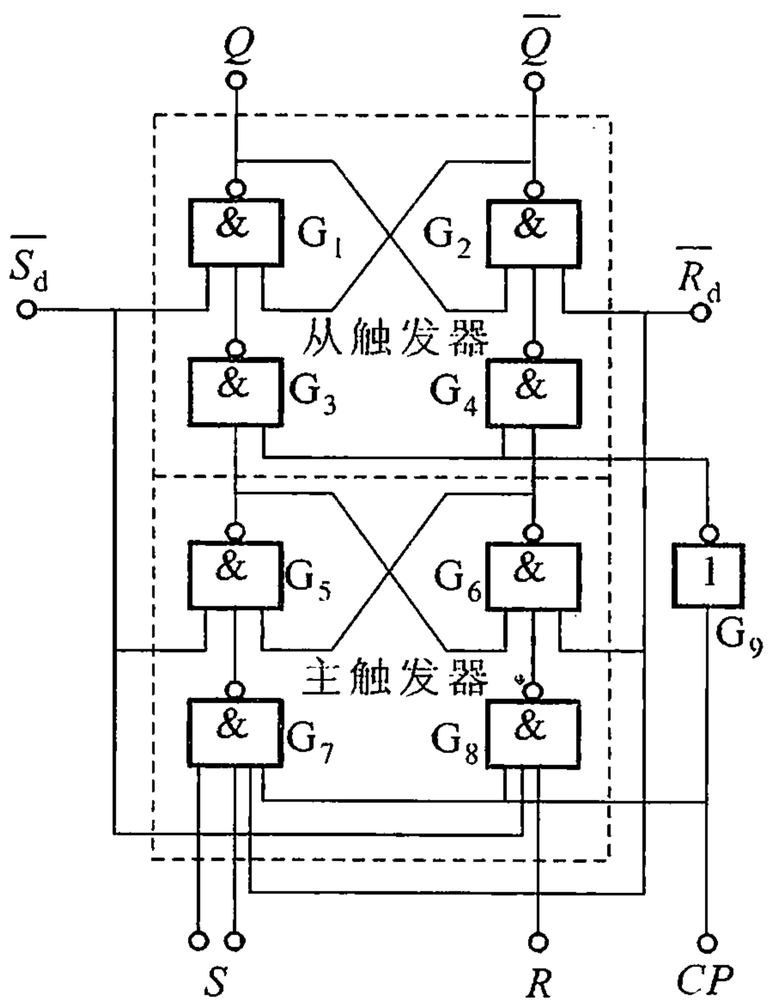
同步 $R-S$ 触发器正常工作时，要求每来一个时钟脉冲，触发器的状态至多更新一次。这一要求的实现是以假定 $CP=1$ 期间 R、S 状态不变化为前提的。如果时钟脉冲宽度较大，在其持续期间，R、S 的状态发生了变化，则触发器的状态必然随之翻转。这种在一个时钟脉冲作用下，触发器的状态翻转两次或多次的现象称为触发器的空翻。空翻现象会造成逻辑混乱，使系统不能正常工作。

3. 主从触发器

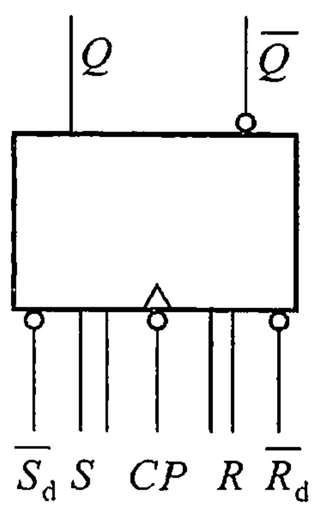
为了解决同步触发器可能出现的多次翻转现象，在同步触发器的基础上，设计出了主从型触发器。

（1）主从 $R-S$ 触发器

主从 $R-S$ 触发器由两个同步 $R-S$ 触发器和一个非门构成，如图 9.1.5 所示。其中，由门 $G_5 \sim G_8$ 组成的触发器称为主触发器，由门 $G_1 \sim G_4$ 组成的触发器称为从触发器。时钟脉冲直接控制主触发器并经过门 G_9 反相以 $\overline{CP}$ 的形式控制从触发器。图 9.1.5 中主从 $R-S$ 触发器的逻辑符号中 CP 上的小圆圈表示触发器在脉冲的下降沿翻转。



(a)



(b)

图 9.1.5　主从 $R-S$ 触发器

（a）逻辑图　　（b）逻辑符号

当时钟脉冲到来时，$CP=1$，门 G_7、G_8 开通，输入端 R、S 的状态存入主触发器中；此时 $\overline{CP}=0$，封锁了门 G_3、G_4，从触发器状态保持不变；当时钟脉冲过去之后，$CP=0$，门 G_7、G_8 被封锁，主触发器关闭，无论 R、S 状态怎样变化，主触发器的状态总是保持不变。与此同时，$\overline{CP}=1$，门 G_3、G_4 开通，主触发器的状态便移入从触发器中。

由此可见，主从触发器是分两步工作的：第一步，打开主触发器，使输入信号存入其中，并封闭从触发器，使输出状态不变；第二步，封闭主触发器，免除 R、S 状态的变化对触发器的输出状态产生影响，与此同时，打开从触发器，让主触发器的状态移入其中。因此，每来一个时钟脉冲，主从触发器的状态至多改变一次，从而解决了同步 $R-S$ 触发器的空翻问题。主从 $R-S$ 触发器的状态转换是在时钟脉冲的下降沿时刻（由 **1** 变 **0** 时）发生的，这种工作方式称为下降沿触发。主从 $R-S$ 触发器的输入、输出关系仍由表 9.1.2 表示。当 $R=S=\mathbf{1}$ 时，仍存在不确定态。

为了扩展触发器的功能，还设有直接置 **0** 端 $\overline{R}_d$ 和直接置 **1** 端 $\overline{S}_d$。若在 $\overline{R}_d$ 端加负脉冲并保持 $\overline{S}_d$ 端为高电平，则触发器被直接置 **0**；同理，如果 $\overline{R}_d=\mathbf{1}$、$\overline{S}_d=\mathbf{0}$，则触发器被直接置 **1**。利用 $\overline{R}_d$、$\overline{S}_d$ 可将触发器预置到所需要的状态。预置完成后，$\overline{R}_d$、$\overline{S}_d$ 应保持高电平，触发器按其应有的逻辑功能工作。

（2）主从 $J-K$ 触发器

在主从 $R-S$ 触发器的基础上，利用触发器正常工作时，Q、$\overline{Q}$ 不同时为 **1** 的特点，将 Q、$\overline{Q}$ 分别反馈到 G_7 和 G_8 的输入端，使在 $CP=\mathbf{1}$ 期间，G_7、G_8 的输出不可能同时为 **0**，从触发器的输入就不可能同时为 **1**，从而避免了整个触发器输出的不确定态。并且，将输入端 R 改称为 K 端，S 端改称为 J 端（通常有几个 K 端和几个 J 端），就成了主从 $J-K$ 触发器，如图 9.1.6（a）所示，图（b）所示为其逻

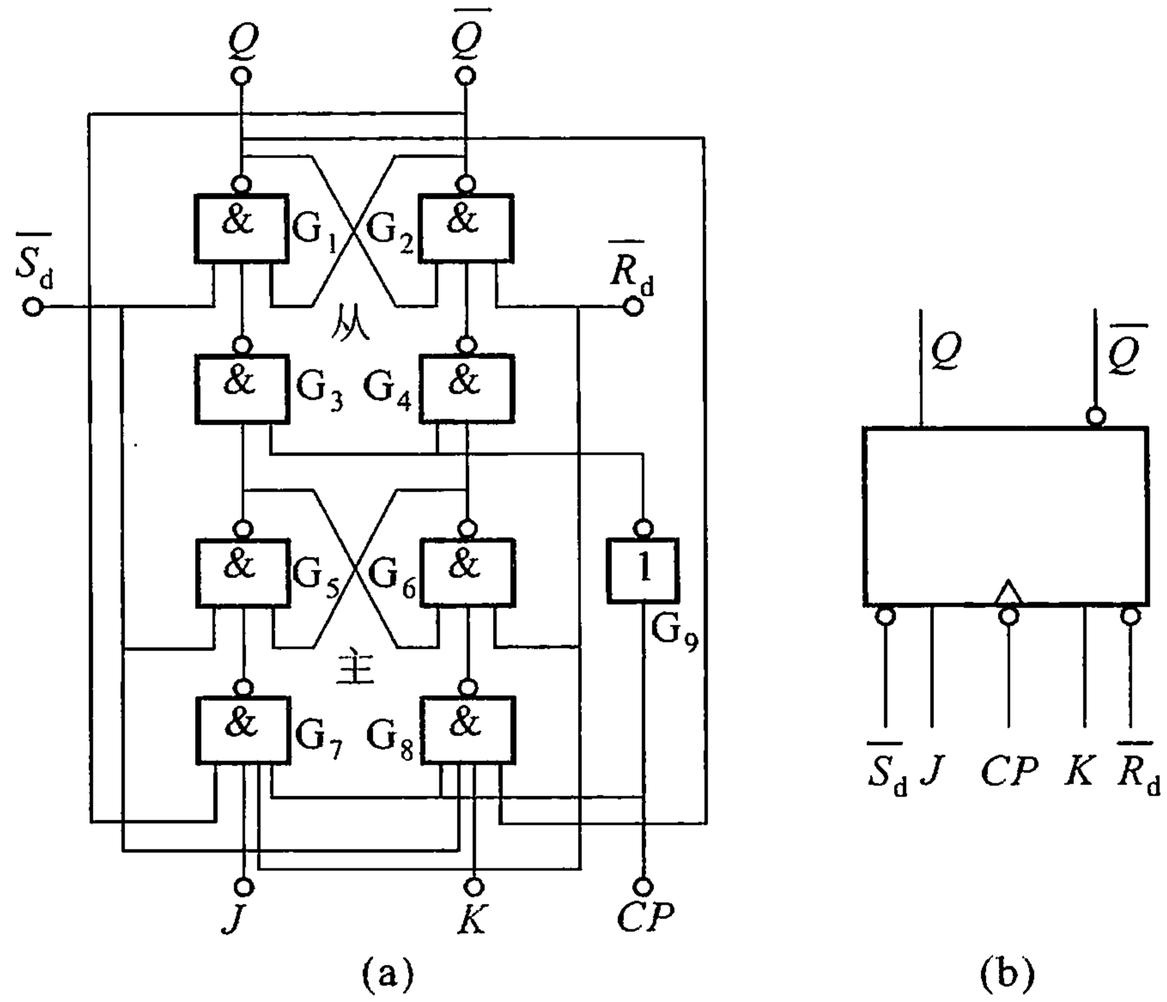


图 9.1.6 主从 $J-K$ 触发器

（a）逻辑图 （b）逻辑符号

辑符号。符号中 CP 输入处的小圆圈及箭头，表示这种触发器是下降沿触发。

将图 9.1.6(a)与图 9.1.5(a)比较，可得：

$$S = J\overline{Q}$$

$$R = KQ$$

将上式代入式(9.1.1)，可得 $J-K$ 触发器的特性方程如下

$$Q^{n+1} = J\overline{Q}^n + \overline{KQ^n}Q^n = J\overline{Q}^n + \overline{K}Q^n \tag{9.1.2}$$

主从 $J-K$ 触发器的特性表如表 9.1.3 所示。

表 9.1.3　主从 $J-K$ 触发器的特性表

J	K	Q^n	Q^{n+1}	输出状态说明
0	0	0	0	输出状态不变
0	0	1	1	
0	1	0	0	输出状态与 J 状态相同
0	1	1	0	
1	0	0	1	输出状态与 J 状态相同
1	0	1	1	
1	1	0	1	每来一个脉冲，输出状态改变一次
1	1	1	0	

对于主从型触发器，不存在同步触发器的多次翻转问题，在一个时钟周期只翻转一次，但是，由于主从型触发器是在 $CP = 1$ 期间接收信号，如果在此期间输入信号发生变化，触发器在 CP 的下降沿到来时从触发器的状态并不一定按此刻输入信号的状态翻转。因此，使用主从型触发器时，只有在 $CP = 1$ 期间输入信号状态不变时才能用下降沿到来时刻的输入状态决定触发器的次态，否则需考虑 $CP = 1$ 期间触发器的整个状态变化过程才能决定触发器的次态。

在实际的数字系统中，触发器的输入端难免会出现某些随机性的噪声干扰。如果碰巧出现在 CP 为高电平时，就可能使触发器误动作。因此主从结构触发器的抗干扰能力尚有待进一步提高。

例 9.1.1　已知主从 $J-K$ 触发器的 CP、J 输入、K 输入的波形如图 9.1.7 所示。设触发器初态为 **1** 态，试绘出 Q 和 $\overline{Q}$ 的波形。

解　由于每一时刻 J、K 的状态已由波形给定且在 $CP = 1$ 期间 J、K 状态未发生变化，因此，只要根据 CP 下降沿到达时 J、K 的状态和 $J-K$ 触发器的特性

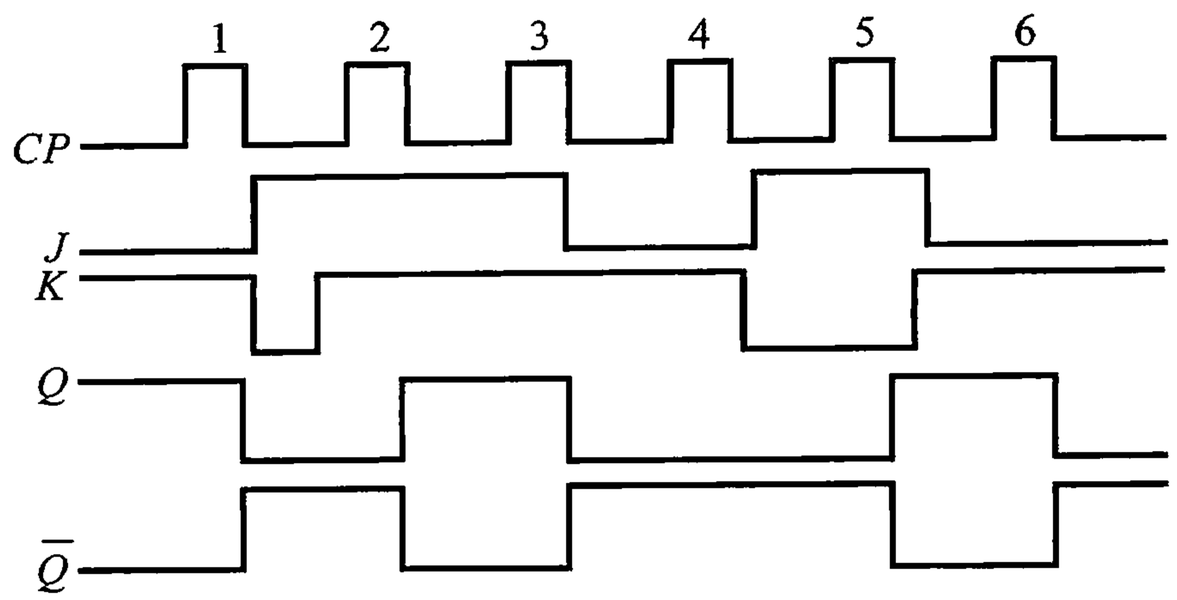


图 9.1.7 主从 $J-K$ 触发器工作波形一例

表,便可得出 Q 和 $\overline{Q}$ 的波形,如图 9.1.7 所示。

4. 边沿触发器

为了进一步提高触发器的抗干扰能力,使触发器的次态仅取决于时钟脉冲的下降沿(或上升沿)到来时刻输入信号的状态,人们相继研究出了各种边沿触发器。常用的边沿触发器有维持阻塞触发器、利用 CMOS 传输门的边沿触发器、利用传输延迟时间的边沿触发器等。

(1) 维持阻塞 D 触发器

维持阻塞 D 触发器逻辑图如图 9.1.8(a)所示,其逻辑符号如图 9.1.8(b)所示。符号中 CP 输入端的箭头表明它属于脉冲上升沿触发。D 为信号输入端,$\overline{R}_d$、$\overline{S}_d$ 分别为直接置 **0**、置 **1** 端。

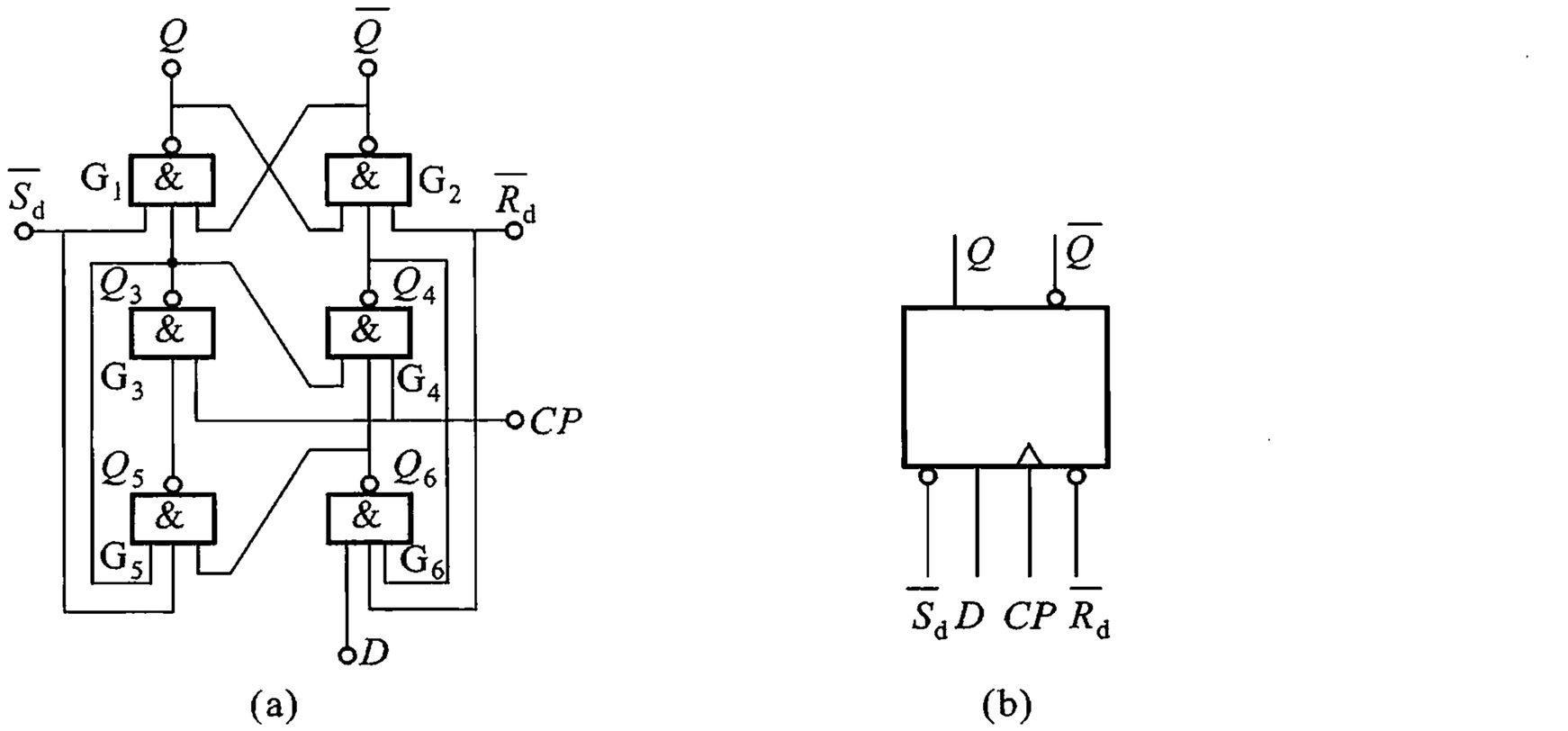


图 9.1.8 维持阻塞 D 触发器

(a) 逻辑图 (b) 逻辑符号

维持阻塞 D 触发器是利用内部反馈信号，维持由 CP 上升沿对应的 D 信号决定的输出状态，阻塞改变输出状态的通道，从而达到了消除空翻的目的。下面分析其工作原理和逻辑功能。

$CP = \mathbf{0}$ 时，门 G_3、G_4 被 CP 之低电平封锁，$Q_3 = Q_4 = \mathbf{1}$，输入信号 D 无法送到由 G_1、G_2 组成的基本 $R-S$ 触发器，使 Q 保持原来的状态不变，处于一个稳态。此时，由于将 Q_3 反馈到门 G_5，Q_4 反馈到门 G_6，使门 G_5、G_6 开启，$Q_6 = \overline{D}$、$Q_5 = \overline{\overline{D}} = D$。

当 CP 上升沿（由 **0** 变 **1**）到来时，门 G_3、G_4 开启，$Q_4 = D$，$Q_3 = \overline{D}$，即 Q_3、Q_4 由输入信号 D 决定。如果这时 $D = \mathbf{0}$，则 $Q_4 = \mathbf{0}$、$Q_3 = \mathbf{1}$，使触发器 $\overline{Q} = \mathbf{1}$、$Q = \mathbf{0}$；如果 $D = \mathbf{1}$，则 $Q_4 = \mathbf{1}$、$Q_3 = \mathbf{0}$，使触发器输出 $\overline{Q} = \mathbf{0}$、$Q = \mathbf{1}$。

根据以上分析，可得到维持阻塞 D 触发器的特征方程为

$$Q^{n+1} = D_n \tag{9.1.3}$$

其特性表如表 9.1.4 所示。

表 9.1.4　维持阻塞 D 触发器特性表

D_n	Q^n	Q^{n+1}	输出状态说明
0	**0**	**0**	输出状态 与 D 端状态相同
0	**1**	**0**	
1	**0**	**1**	
1	**1**	**1**	

触发器翻转后，在 $CP = \mathbf{1}$ 期间，输入信号 D 发生变化时不会改变触发器的状态。例如，与 CP 上升沿对应的 D 信号为 **1** 态时，触发器翻转后为 $Q^{n+1} = \mathbf{1}$，Q_3 的低电平通过 Q_3 至 G_5、G_4 的反馈线将门 G_5 和 G_4 封锁，使 Q_3 的低电平、Q_4 的高电平得以维持，在 $CP = \mathbf{1}$ 期间，D 状态的变化只会引起 Q_6 的变化，不会进而引起触发器输出状态的变化；若与 CP 上升沿对应的 D 信号为 **0** 态时，触发器翻转后为 $Q^{n+1} = \mathbf{0}$，则 Q_4 的低电平通过 Q_4 至 G_6 的反馈线将 G_6 封锁，即封锁了信号输入的通道，使在 $CP = \mathbf{1}$ 期间，无论 D 状态怎样变化都能保证 $Q_6 = \mathbf{1}$、$Q_5 = \mathbf{0}$，从而保证了 $Q_4 = \mathbf{0}$、$Q_3 = \mathbf{1}$、$Q = \mathbf{0}$。总之，当触发器翻转后输入信号 D 的变化不会引起触发器 Q、$\overline{Q}$ 的变化。

当 CP 由 **1** 回到 **0** 后，G_3、G_4 被封锁，触发器的状态当然不会改变。

维持阻塞 D 边沿触发器的工作波形举例如图 9.1.9 所示（设 Q 初始状态为 **0** 态）。

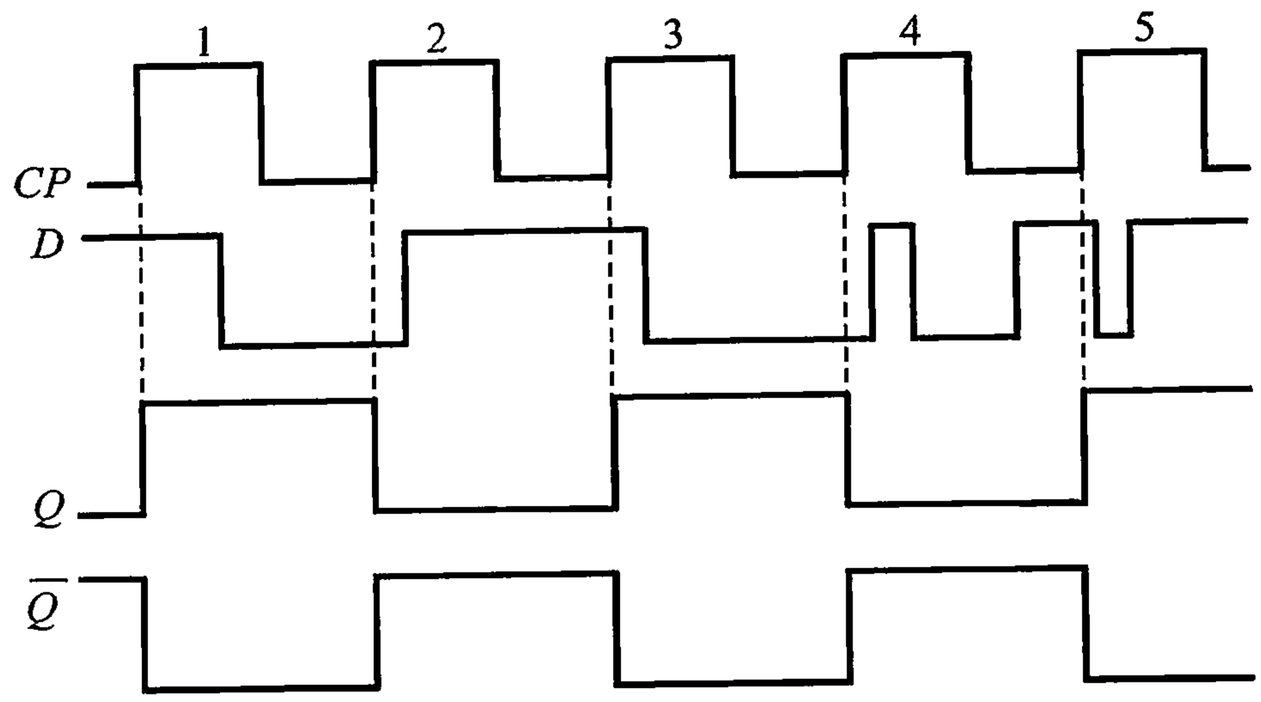


图 9.1.9 维持阻塞 *D* 触发器工作波形一例

(2) CMOS 边沿触发器

CMOS 边沿触发器普遍采用主从结构,主要有 CMOS *D* 触发器和 CMOS *J* - *K* 触发器。

CMOS *D* 主从触发器的逻辑图如图 9.1.10 所示。

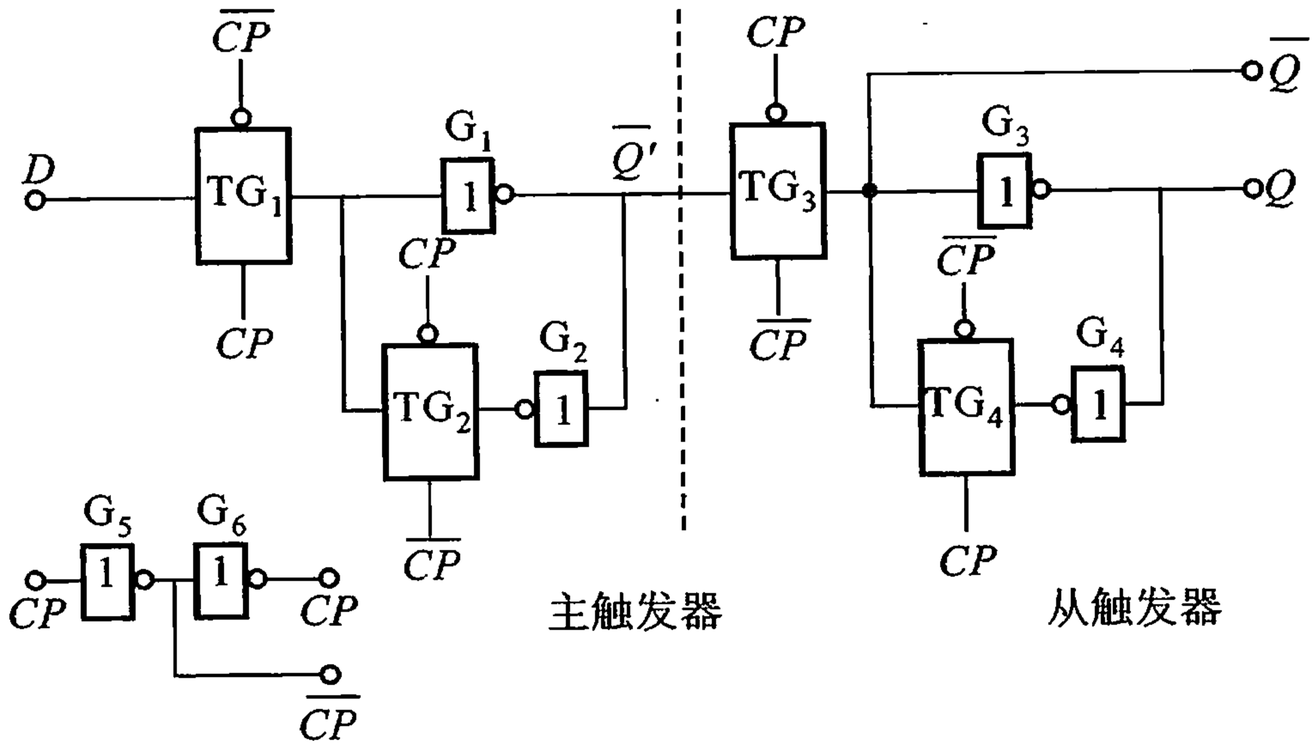


图 9.1.10 CMOS *D* 主从触发器逻辑图

传输门 TG_1、TG_2 及非门 G_1、G_2 组成主触发器,传输门 TG_3、TG_4 及非门 G_3、G_4 组成从触发器。TG_1、TG_4 同步工作,TG_2、TG_3 同步工作。下面分析图 9.1.10 所示电路的工作原理。

CP 正跳变(由 **0** 变 **1**)时,TG_1、TG_4 导通,TG_2、TG_3 不通。输入信号 *D* 进入主触发器,$\overline{Q}' = \overline{D}$。但由于 TG_3 不通,所以信号 *D* 不能进入从触发器,从触发器的状态不变。

CP 负跳变(由 **1** 变 **0**)时,TG_1、TG_4 不通,TG_2、TG_3 导通。TG_1 将主触发器与 *D* 断开,而从触发器通过 TG_3 与主触发器接通,主触发器的状态送入从触发

器中，使 $\overline{Q}^{n+1}=\overline{Q}'=\overline{D}$，$Q^{n+1}=D$，触发器接收信号 D 的任务完成。可见，这种触发器的特征方程与式(9.1.3)有相同的形式。TG_2、TG_4 的作用是为确保主、从触发器各自的状态。

图 9.1.10 所示电路是在 CP 负跳变时进行状态翻转的。由于 CP 及 $\overline{CP}$ 的作用，TG_1、TG_3 不会同时导通，TG_2、TG_4 也不会同时导通，确保了主触发器接收 D 信号时与从触发器断开，而从触发器工作时主触发器与 D 信号断开。从而有规律地按两个节拍将信号 D 由输入端接收到触发器中。

CMOS $J-K$ 触发器的简化逻辑图如图 9.1.11 所示。它是在图 9.1.10 的基础上加接虚框中的控制门构成的。下面证明图 9.1.11 所示电路具有 $J-K$ 触发器的功能。

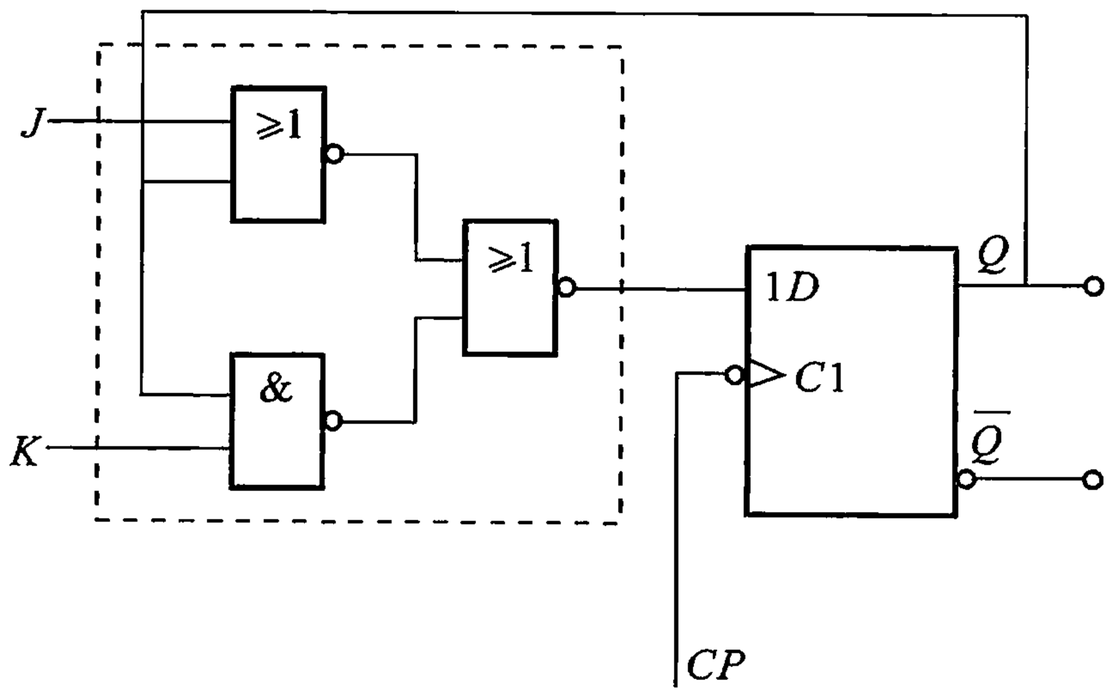


图 9.1.11　CMOS $J-K$ 触发器简化逻辑图

由图 9.1.11 可得

$$\begin{aligned} D_n &= \overline{\overline{J+Q^n}+Q^nK} = (J+Q^n)\cdot(\overline{Q^nK}) \\ &= (J+Q^n)(\overline{Q}^n+\overline{K}) = J\overline{Q}^n+J\overline{K}+\overline{K}Q^n \\ &= J\overline{Q}^n+\overline{K}Q^n \end{aligned} \tag{9.1.4}$$

由式(9.1.3)，知

$$Q^{n+1}=D_n=J\overline{Q}^n+\overline{K}Q^n$$

即为 $J-K$ 触发器的特征方程。

9.1.2　触发器的逻辑功能分类及其转换

1. 触发器的逻辑功能及其表示方式

触发器的逻辑功能，是指触发器的次态与现态、输入信号之间的逻辑关系。

根据逻辑功能的不同，触发器可分为 $R-S$ 触发器、$J-K$ 触发器、D 触发器和 T 触发器等几种不同类型。触发器的逻辑功能可用特性表、特性方程和状态图来表示。

以触发器的现态和输入信号为变量，次态为函数，描述它们之间的逻辑关系的真值表称为触发器特性表。表述上述逻辑关系的逻辑表达式称为特性方程。$R-S$ 触发器、$J-K$ 触发器和 D 触发器的特性表和特性方程在前一小节中已经讲述。

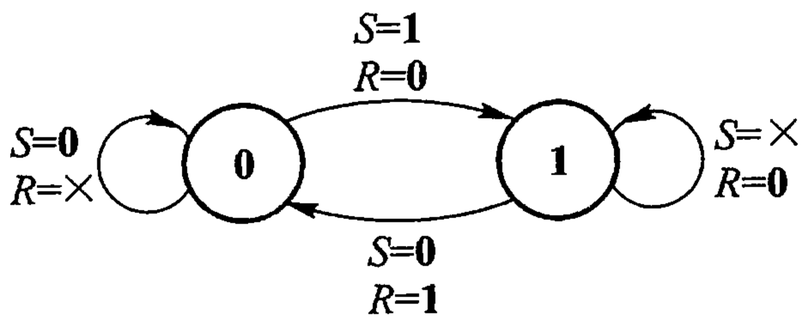


图 9.1.12 $R-S$ 触发器的状态转换图

触发器的逻辑功能有时也可用图形的方法直观表述，如图 9.1.12 为 $R-S$ 触发器的状态转换图。图中用两个圆圈分别表示触发器的两个状态：**0** 态和 **1** 态，用箭头表示状态转换的去向，箭头上的注释说明状态转换的条件。

$J-K$ 触发器和 D 触发器的状态转换图分别如图 9.1.13 和图 9.1.14 所示。

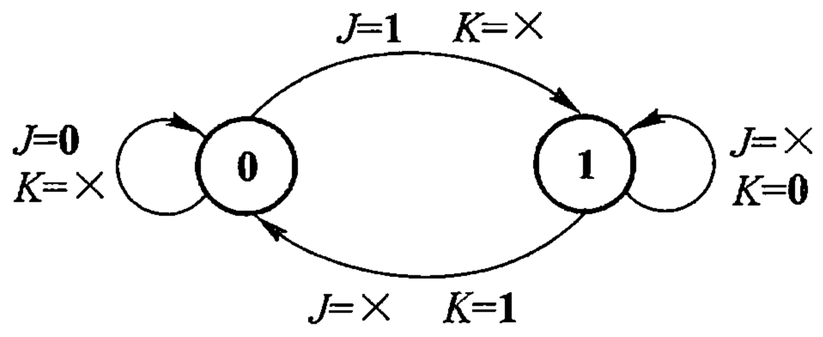


图 9.1.13 $J-K$ 触发器的状态转换图

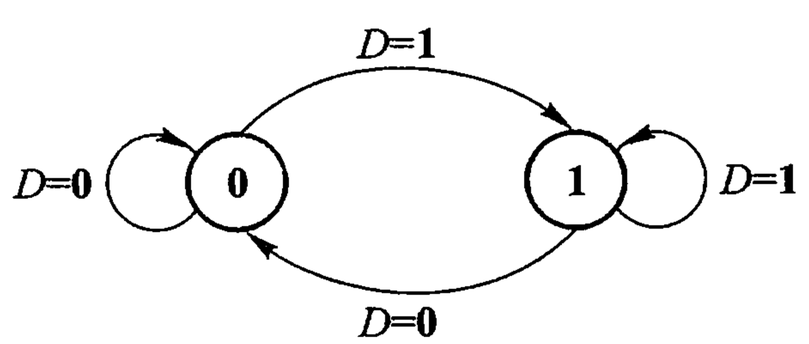


图 9.1.14 D 触发器状态转换图

T 触发器也称计数触发器，其特性表和逻辑符号分别如表 9.1.5 及图 9.1.15所示。

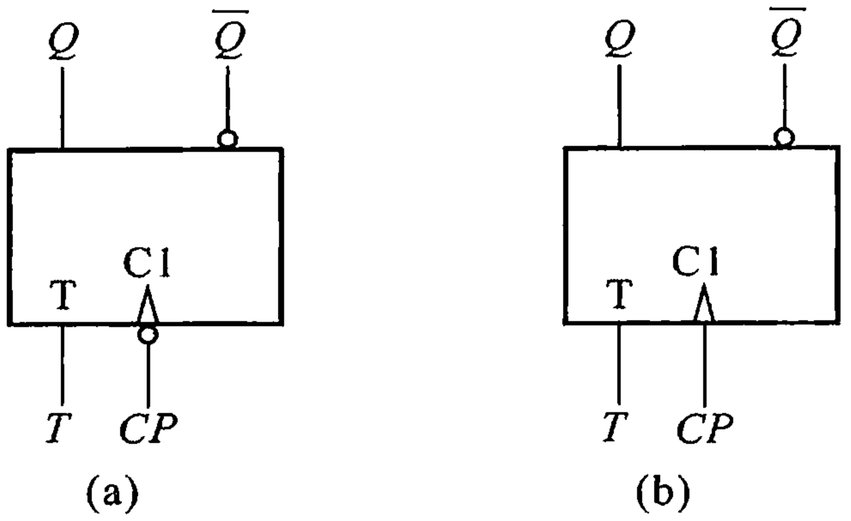
表 9.1.5 T 触发器特性表

T_n	Q^n	Q^{n+1}	输出状态说明
0	**0**	**0**	输出状态不变
0	**1**	**1**	
1	**0**	**1**	每来一个时钟脉冲
1	**1**	**0**	输出状态改变一次

由表 9.1.5 可见，对 T 触发器来说，当 $T=\mathbf{0}$ 时，CP 脉冲作用后，输出状态不变，即 $Q^{n+1}=Q^n$，亦即 CP 脉冲对触发器不起作用；当 $T=\mathbf{1}$ 时，CP 脉冲作用后，输出状态改变一次，即 $Q^{n+1}=\overline{Q}^n$，触发器对 CP 脉冲起计数作用。由 T 触发器的特性表，可得到 T 触发器的特征方程为

$$Q^{n+1} = \overline{T}_n Q^n + T_n \overline{Q}^n = T_n \oplus Q^n \tag{9.1.5}$$

由 T 触发器的特性表还可得到 T 触发器的状态转换图如图 9.1.16 所示。



(a)　　(b)

图 9.1.15　T 触发器的逻辑符号

(a) 下降沿触发　　(b) 上升沿触发

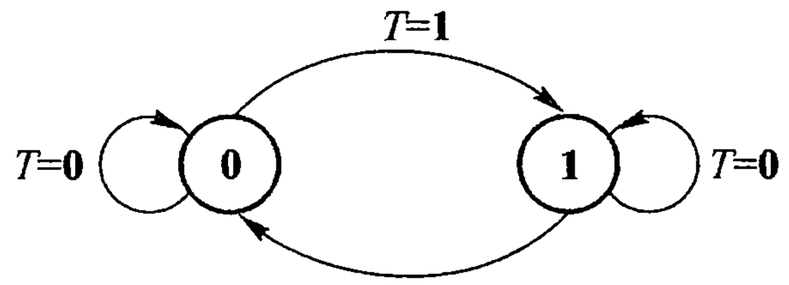


图 9.1.16　T 触发器的状态转换图

需要注意的是，触发器的逻辑功能和电路结构是两个不同的概念。同一逻辑功能的触发器可以用不同的电路结构来实现。同样，同一基本电路结构，也可以构成不同逻辑功能的触发器。一般我们在使用触发器时，多考虑其逻辑功能，而不考虑其电路结构。

表 9.1.6 给出了四种触发器的逻辑符号和逻辑功能比较。

2. 不同类型触发器之间的转换

实现不同类型触发器之间的转换，可以以某种触发器为基础略加逻辑控制电路构成另一逻辑功能的触发器。逻辑控制电路的求得，有时只要将两种触发器的特征方程进行比较即可求得，有时则需要进行逻辑设计。下面介绍常用的由 $J-K$ 型转换为 D、T 型触发器和由 D 型转换为 $J-K$、T 型触发器的方法。

① 用 $J-K$ 触发器构成 D 触发器

首先对 D 触发器的特征方程进行变换，有

$$Q^{n+1} = D_n = D_n(Q^n + \overline{Q}^n) = D_n Q^n + D_n \overline{Q}^n = D_n \overline{Q}^n + \overline{\overline{D}}_n Q^n$$

再与 $J-K$ 触发器的特征方程 $Q^{n+1} = J_n \overline{Q}^n + \overline{K}_n Q^n$ 进行比较，得

$$J_n = D_n \tag{9.1.6a}$$

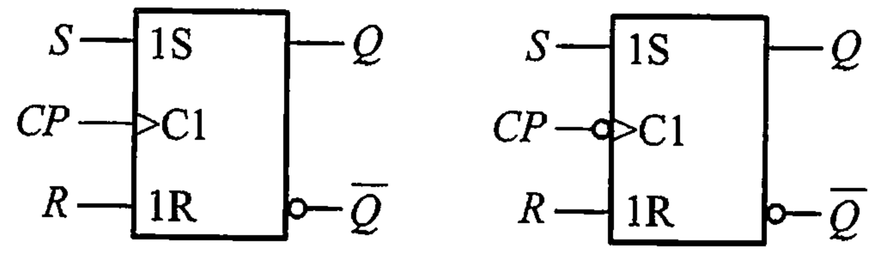
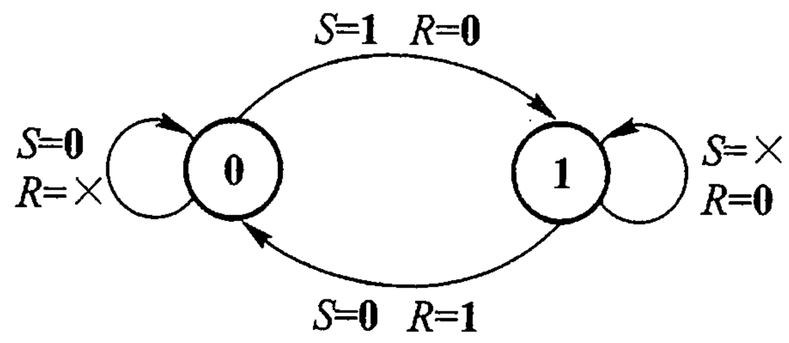
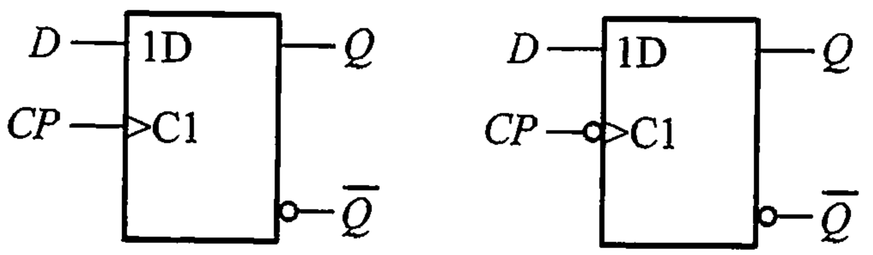
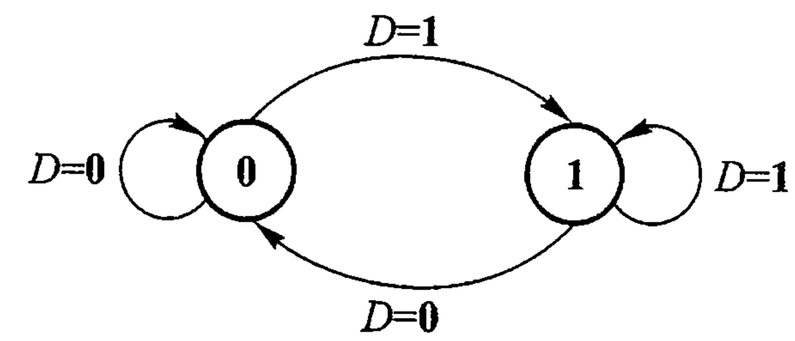
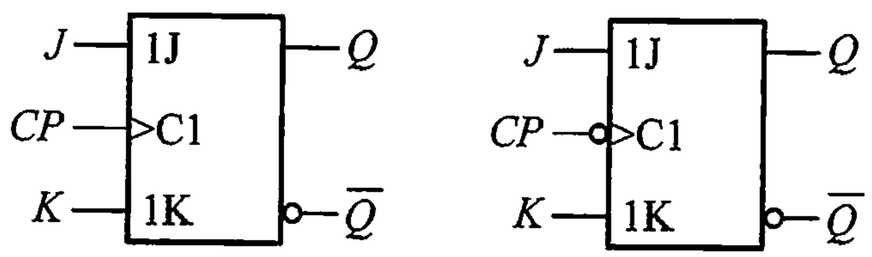
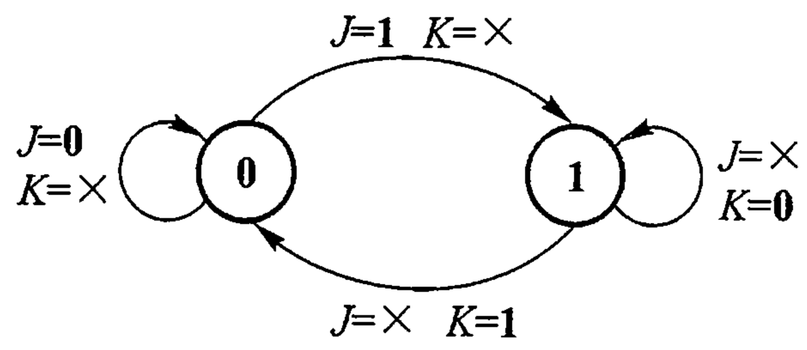
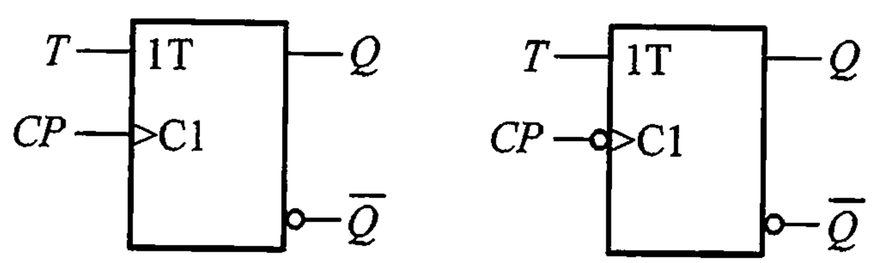
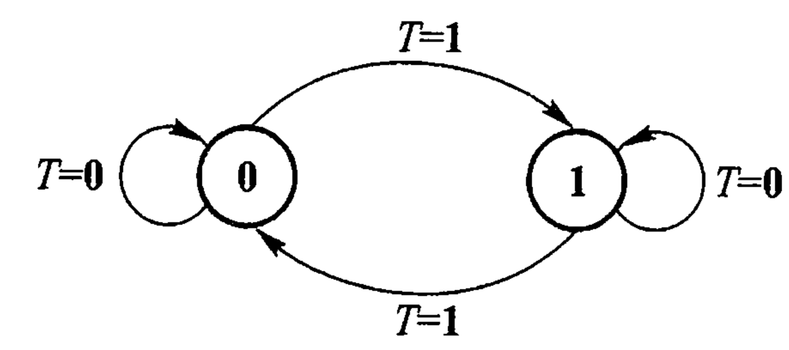
$$K_n = \overline{D}_n \tag{9.1.6b}$$

由上式可得，由 $J-K$ 触发器构成的 D 触发器如图 9.1.17 所示。

② 用 $J-K$ 触发器构成 T 触发器

T 触发器的特征方程为 $Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$ 与 $J-K$ 触发器的特征方程进行比较，只要令 $J=K=T$，即可构成 T 触发器，如图 9.1.18 所示。

表 9.1.6　四种触发器的逻辑符号和逻辑功能

触发器名称	逻辑符号	特性方程	状态转换图
$R-S$		$\begin{cases} Q^{n+1}=\overline{R}Q^n+S \\ RS=0 \end{cases}$	
D		$Q^{n+1}=D$	
$J-K$		$Q^{n+1}=T\overline{Q^n}+\overline{K}Q^n$	
T		$Q^{n+1}=T\overline{Q^n}+\overline{T}Q^n$	

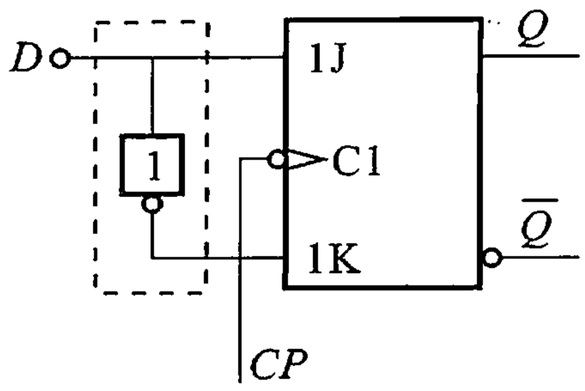


图 9.1.17　用 $J-K$ 触发器构成 D 触发器

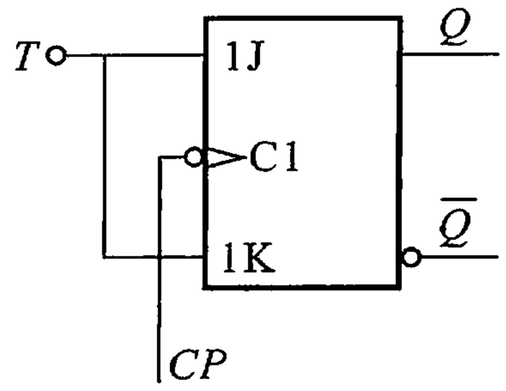


图 9.1.18　用 $J-K$ 触发器构成 T 触发器

如果使 T 恒等于 **1**，计数脉冲从 CP 输入，则每来一个触发脉冲，触发器的状态就改变一次。其特征方程为

$$Q^{n+1} = \overline{Q}^n \tag{9.1.7}$$

有时称这种接法的触发器为 T' 触发器。其实，这就是 T 触发器 $T = 1$ 的情况。

③ 用 D 触发器构成 $J-K$ 触发器

图 9.1.19 所示即为用 D 触发器构成 $J-K$ 触发器的方案一例，虚框中的电路即转换电路。该转换电路是用**与非**门构成的，表达式为

$$D_n = J\overline{Q}^n + \overline{K}Q^n = \overline{\overline{J\overline{Q}^n} \cdot \overline{\overline{K}Q^n}} \tag{9.1.8}$$

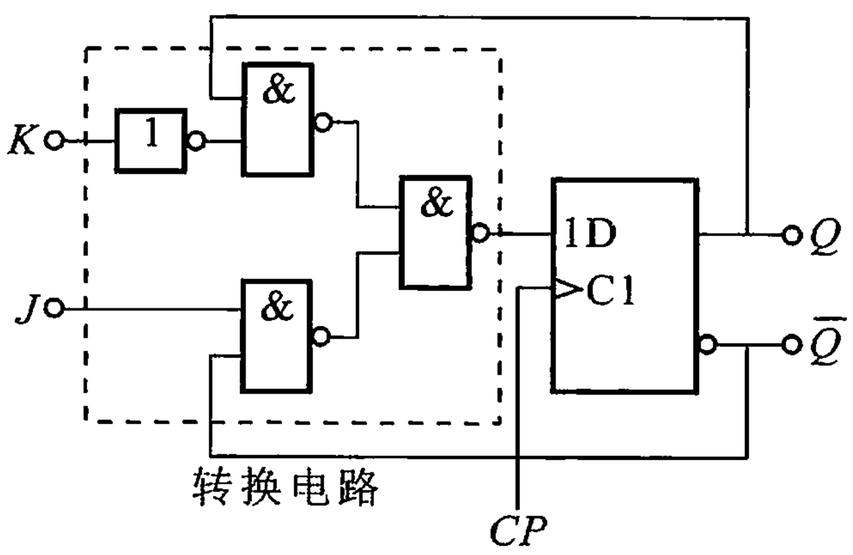


图 9.1.19　用 D 触发器构成 $J-K$ 触发器一例

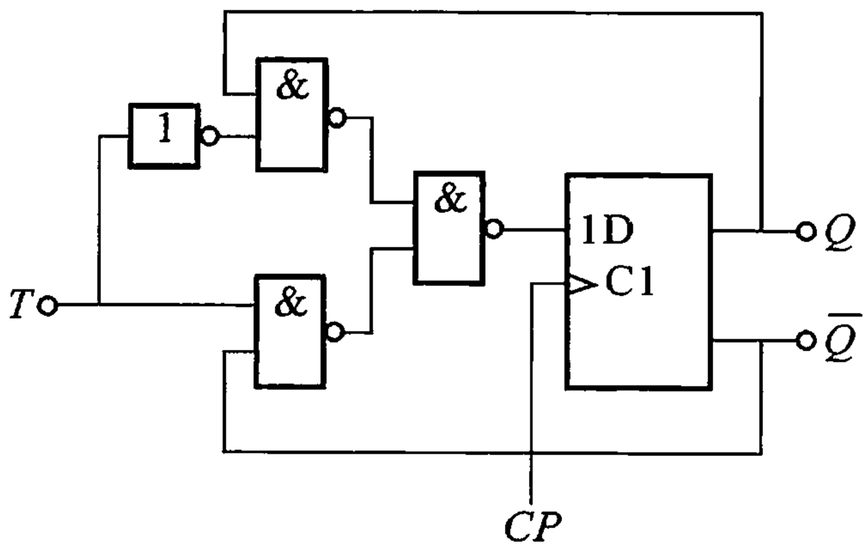


图 9.1.20　用 D 触发器构成 T 触发器

④ 用 D 触发器构成 T 及 T' 触发器

由式(9.1.5)可知，T 触发器的特征方程为

$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$$

所以，转换电路应满足

$$D_n = T\overline{Q}^n + \overline{T}Q^n \tag{9.1.9}$$

由式(9.1.9)可得，用 D 触发器构成 T 触发器的逻辑图如图9.1.20所示。

又由式(9.1.7)可知，T'触发器特征方程已简化为 $Q^{n+1}=\overline{Q}^n$，可见，只要使 D 触发器的输入 $D=\overline{Q}^n$，即可得到 T'触发器，电路连接方法如图9.1.21所示。

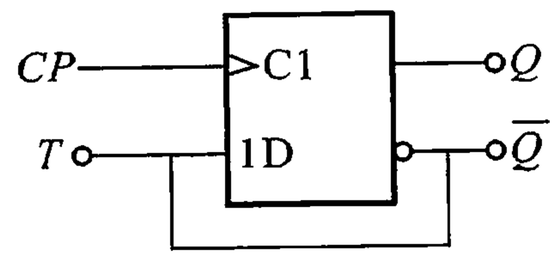


图 9.1.21　用 D 触发器构成 T'触发器

最后还要指出，由 $J-K$ 至 D、$T(T')$ 的转换和由 D 至 $J-K$、$T(T')$ 的转换，转换后所得触发器的触发方式取决于原触发器的结构类型。例如，图 9.1.17、图 9.1.18 所示电路均为 CP 下降沿触发，而图 9.1.19 至图 9.1.21 所示电路均为 CP 上升沿触发。

9.2　时序逻辑电路分析方法

9.2.1　时序逻辑电路基本概念

时序逻辑电路，简称时序电路，和组合逻辑电路一样，是数字电路的一大分支，几乎是任何数字系统中不可缺少的部分。

时序逻辑电路的特点是：时序逻辑电路的输出不仅取决于该时刻的输入信号，而且与电路的原状态有关；因此，电路的一个重要组成部分为用于记忆原状态的存储电路(触发器)。图 9.2.1 为时序电路的方框图，X 为输入信号，Y 为输出信号，W 为存储电路的反馈信号，Q 为存储电路的原状态。在实际电路中，有时可能没有输入信号 X；也可能没有输出信号 Y，而是以电路的状态为输出。

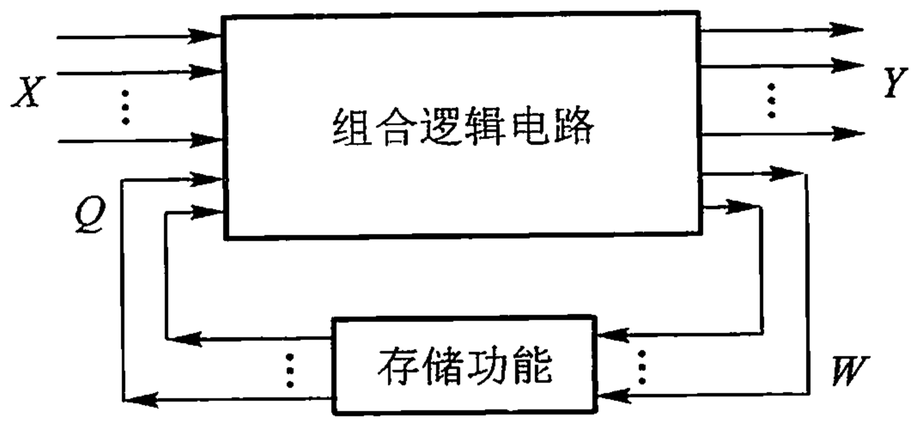


图 9.2.1　时序电路的方框图

同触发器的逻辑功能表示方法类似，时序逻辑电路的逻辑功能的表示方法常用的也有三种：逻辑表达式、真值表(状态转换表)和状态转换图。

从图 9.2.1 可看出，输出向量 Y 和驱动向量（也称激励向量）W 是输入向量 X 和状态向量 Q 的函数，而触发器的次态 Q^{n+1} 不仅与驱动向量 W 有关，还与触发器现态 Q^n 有关，因此，要清楚地描述时序电路的逻辑功能，必须采用以下三个方程：

$$Y^n = f_1(X^n, Q^n) \tag{9.2.1}$$

$$Q^{n+1} = f_2(W^n, Q^n) \tag{9.2.2}$$

$$W^n = f_3(X^n, Q^n) \tag{9.2.3}$$

通常称式（9.2.1）为输出方程，式（9.2.2）为状态方程，式（9.2.3）为驱动方程（或激励方程）。

为了把时序电路的逻辑功能直观、形象地显示出来，有时还需要把由输出方程、状态方程和驱动方程表示的逻辑关系表示成状态转换表（对触发器称为特性表）和状态转换图的形式。后面这两种表示逻辑功能的方法在触发器一节里我们已经使用过，在下面的具体电路再详细说明。

在时序逻辑电路中，根据存储电路中的触发器是否同时动作，可将时序逻辑电路划分为同步时序逻辑电路和异步时序逻辑电路两大类。在同步时序电路中，所有触发器状态的变化是在同一个时钟信号控制下同时进行的，而在异步时序电路中，各触发器的时钟信号不是同一个且有先有后，因而触发器状态的变化不是同时发生的。

按电路输出信号的特性可分为米里（Mealy）型和摩尔（Moore）型。米里型时序电路的输出不仅与现态有关，而且还决定于电路的输入；而摩尔型时序电路的输出仅决定于电路的现态。

根据功能分类，最常用的时序逻辑电路有寄存器和计数器，我们将在下面分别介绍。

此外，按是否编程有可编程和不能编程时序电路之分；按集成度不同又有小规模集成电路（SSI）、中规模集成电路（MSI）、大规模集成电路（LSI）和超大规模集成电路（VLSI）等类型；按使用开关元件类型还有 TTL 和 CMOS 时序电路等分类。

9.2.2　时序逻辑电路的分析方法

对时序逻辑电路进行分析，就是从给定的时序逻辑电路中，求出电路的状态表、状态图，得出电路的逻辑功能。分析过程如图 9.2.2 所示。

分析时序逻辑电路的一般步骤

（1）由逻辑图写出下列各逻辑方程式：

① 各触发器的时钟方程；

② 时序电路的输出方程；

③ 各触发器的驱动方程。

（2）将驱动方程代入相应触发器的特性方程，求得时序逻辑电路的状态方程。

（3）根据状态方程和输出方程，进行计算，列出该时序电路的状态表，画出状态图或时序图。

（4）根据电路的状态表或状态图说明给定时序逻辑电路的逻辑功能。

时序逻辑电路具体分析实例我们将在计数器一节中给出。

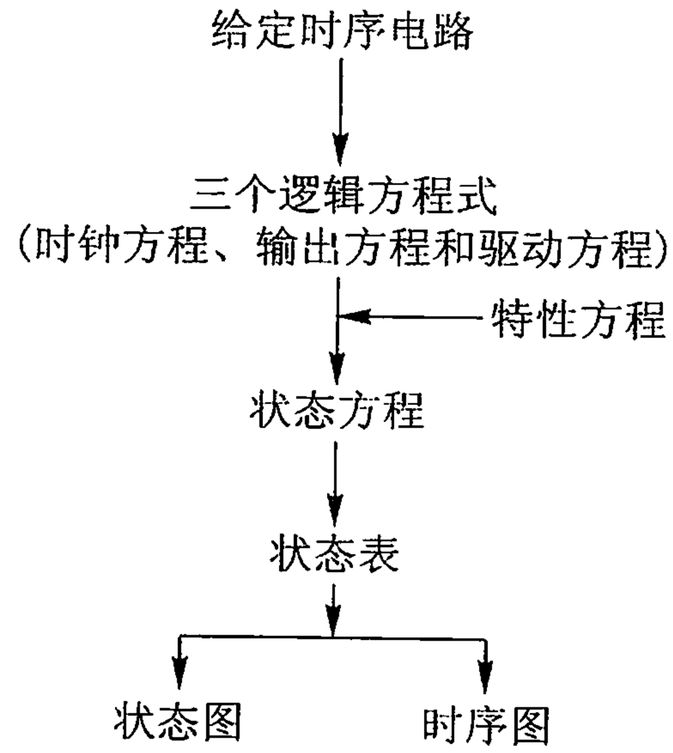


图 9.2.2 时序逻辑电路分析过程

9.3 寄 存 器

9.3.1 数码寄存器

在数字系统中，常常要用到能存放信息（即数码）的部件，这种部件称为寄存器。它是计算机和数字设备中不可缺少的组成部分。

数码寄存器由具有记忆功能的触发器和逻辑门电路组成，寄存器中的触发器是用来寄存数码的。一个触发器可存储 1 位二进制数码。一般地说，需要存入多少位二进制数码，就需要多少个触发器。寄存器中的门电路是用来组成寄存器控制电路，使寄存器在“寄存指令”作用下，才能实现数码寄存；在“取出指令”的作用下，寄存器才能将其中寄存的数码输出。

1. 双拍接收方式的数码寄存器

图 9.3.1 所示为一种双拍接收方式的 4 位数码寄存器，它是由 4 个基本 $R-S$触发器、8 个**与非**门和 4 个**非**门组成。

这种寄存器寄存数码的步骤如下：第一步，清零。用清零脉冲将所有触发器同时置 **0**（复位），建立 $Q_3Q_2Q_1Q_0=$**0000** 的初始状态。第二步，寄存。当寄存控制正脉冲到达时，门 $G_0 \sim G_3$ 均开通，被寄存的各位数码经反相后作用于 $R-S$ 触发器的 S 输入端。输入为 **1** 的**与非**门，输出为 **0**，使对应触发器置 **1**；输入为 **0** 的**与非**门输出为 **1**，使对应触发器保持 **0** 态不变，于是完成了接收寄存数码的任务。如果要求将数据并行取出，则只要加上取数控制正脉冲，寄存器中已存放的

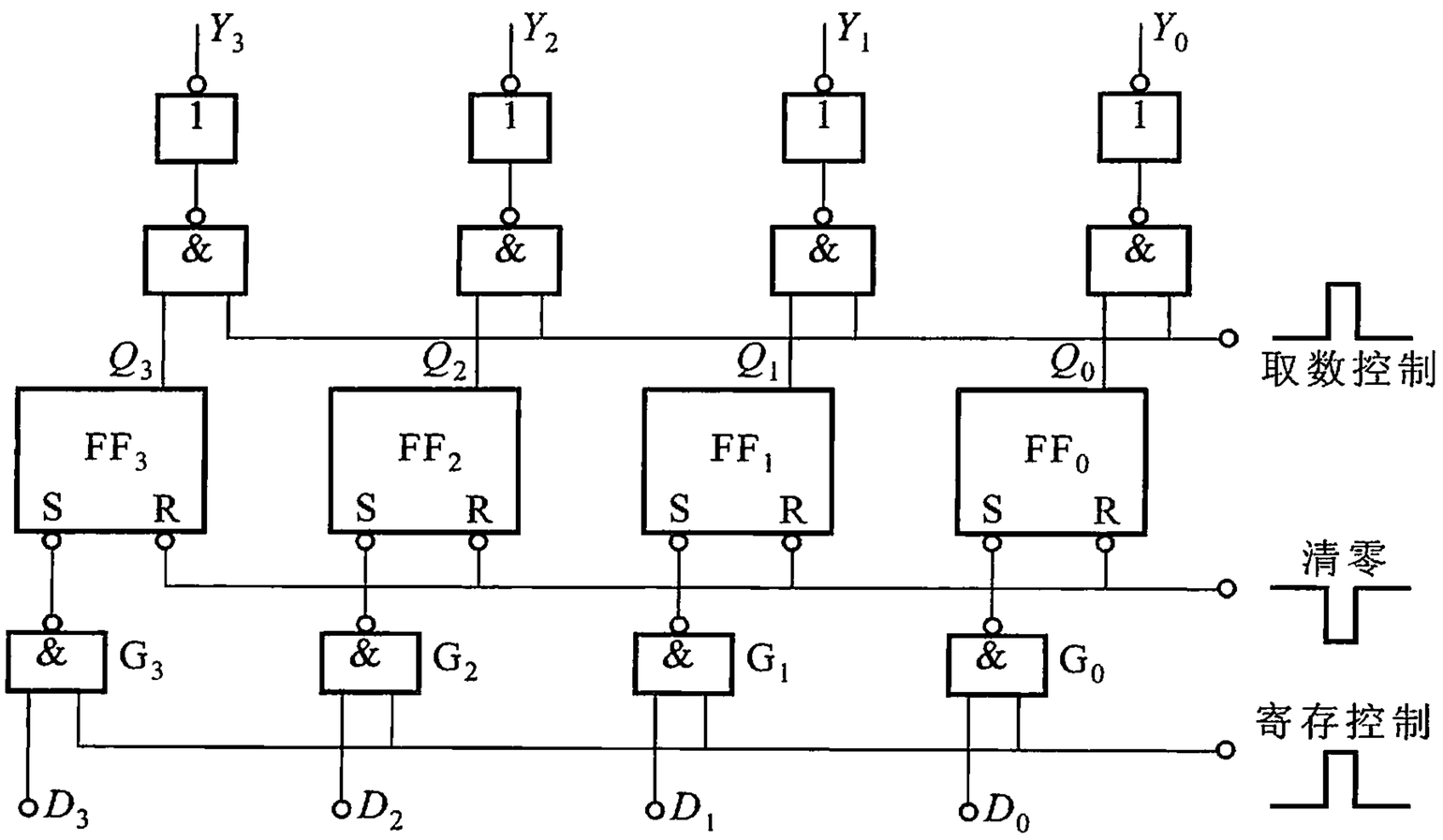


图 9.3.1　双拍接收方式的 4 位数码寄存器

数码即会传至输出线上，$Y_3Y_2Y_1Y_0 = Q_3Q_2Q_1Q_0$，执行了取数传送任务。例如，寄存数码 $D_3D_2D_1D_0$，设 $D_3D_2D_1D_0 = \mathbf{1010}$，当寄存控制正脉冲到达时，门 G_1、G_3 输出为 **0**，使 FF_1、FF_3 置 **1**；门 G_0、G_2 输出为 **1**，使 FF_0、FF_2 保持 **0** 态不变，$Q_3Q_2Q_1Q_0 = \mathbf{1010}$，即 $D_3D_2D_1D_0 = \mathbf{1010}$ 被寄存到寄存器中。若有取数控制正脉冲到达时，则 $Y_3Y_2Y_1Y_0 = \mathbf{1010}$，实现取数传送功能。

这种寄存器，接收数码时必须先清零、后寄存，故称双拍接收方式。另外，由于寄存数码只能从触发器 S 端输入信号，所以也称单端置数工作方式。这种寄存器中的触发器状态只能从 **0** 变 **1** 而不能从 **1** 变 **0**，因此，寄存数码前的清零操作必不可少。

2. 单拍接收方式的数码寄存器

单拍接收方式的数码寄存器，接收数码步骤比较简单，不管寄存器中原来寄存内容如何，只要有寄存控制正脉冲作用，输入端的数码就能存入寄存器中，毋需先清零，因此，称为单拍接收方式。

图 9.3.2 所示为用 $R-S$ 触发器组成的单拍接收方式的 4 位数码寄存器。其工作原理如下：当寄存控制正脉冲到来时，门 $G_0 \sim G_7$ 全部开通，对每 1 位触发器来说，若输入数据 $D = \mathbf{1}$，则 $S = \mathbf{0}$、$R = \mathbf{1}$，对应触发器被置 **1**；若输入数据 $D = \mathbf{0}$，则 $S = \mathbf{1}$、$R = \mathbf{0}$，对应触发器被置 **0**。这种工作方式也称双端置数工作方式。

D 触发器构成的单拍接收数码寄存器逻辑图，如图 9.3.3 所示，时钟脉冲 CP 即寄存控制脉冲。

图 9.3.1 ~ 图 9.3.3 中，接收寄存数码时，各位数码是同时存入寄存器中

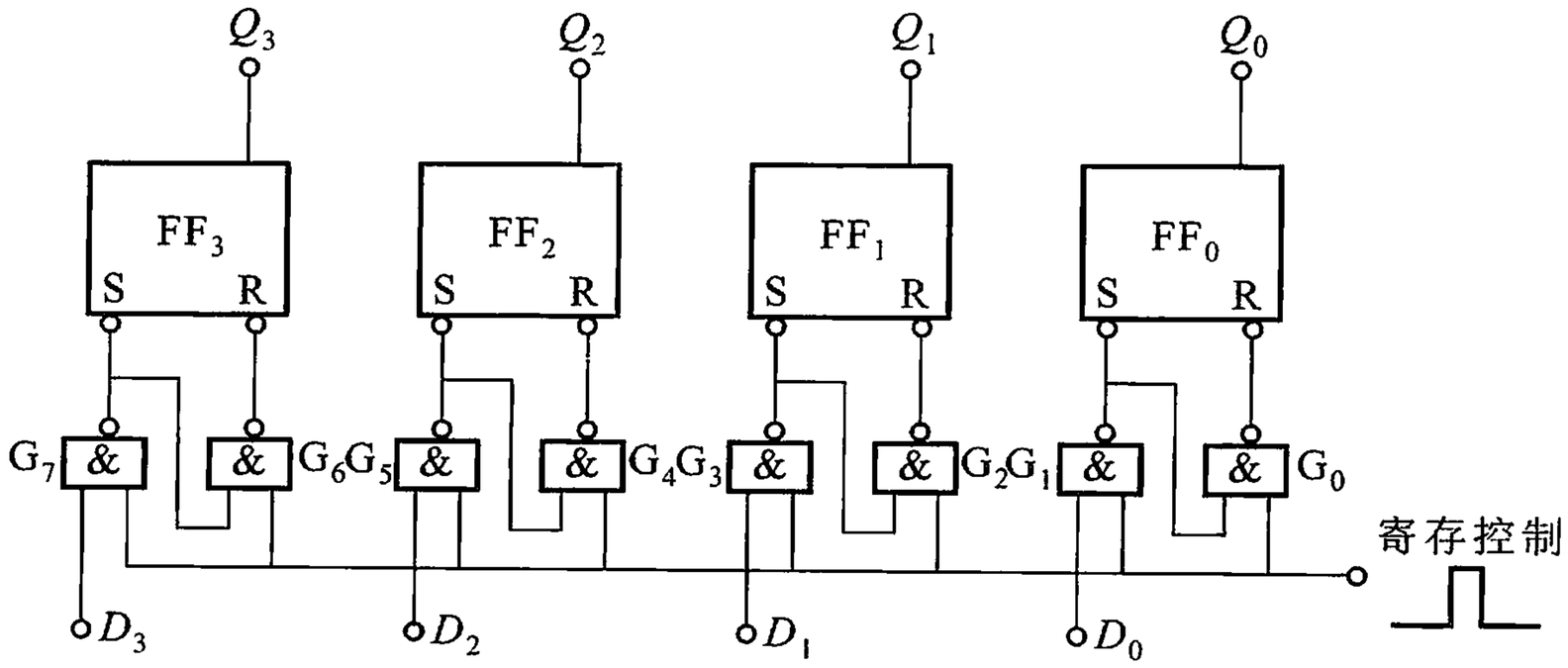


图 9.3.2 用 $R-S$ 触发器组成的单拍接收方式数码寄存器

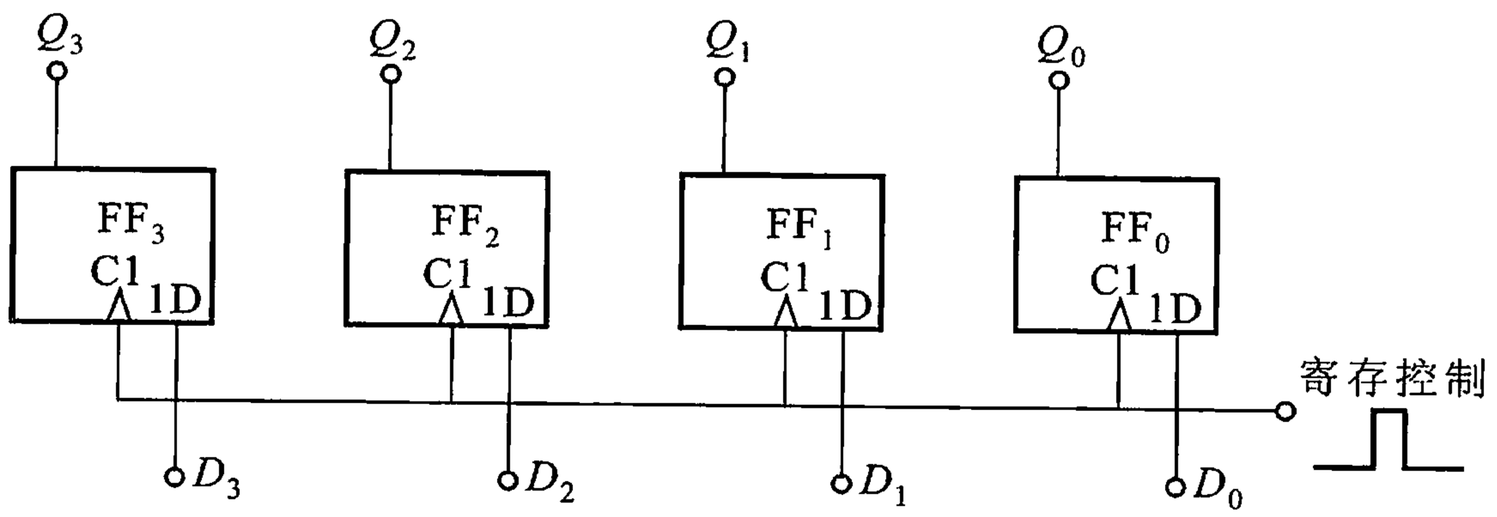


图 9.3.3 用 D 触发器组成的单拍接收方式数码寄存器

的,而且各位的输出状态也是同时建立起来的,这种输入、输出方式统称并行输入、并行输出方式。

9.3.2 移位寄存器

移位寄存器除具有存放信息的功能外,还具有在时钟脉冲作用下,使存储在寄存器中的数码依次左移或右移的功能。

1. 单向移位寄存器

能使数码单方向移动的寄存器称为单向移位寄存器。图9.3.4所示电路是一个4位右移寄存器,它由4个 D 触发器组成,时钟脉冲作为移位控制脉冲。由于需要右移,因此,左边触发器的输出端总是接右邻触发器的 D 输入端。触发器 FF_0 的 D 端作为串行输入端,FF_3 的 Q 端作为串行输出端。还可以从触发器的各输出端作并行输出。下面分析其工作过程。

将数码 $D_3D_2D_1D_0$ 从高位至低位按时钟的节拍依次送至串行输入端。第1个移位脉冲到达后,$Q_0 = D_3$;第2个移位脉冲到达后,FF_0 的状态移入 FF_1,D_2

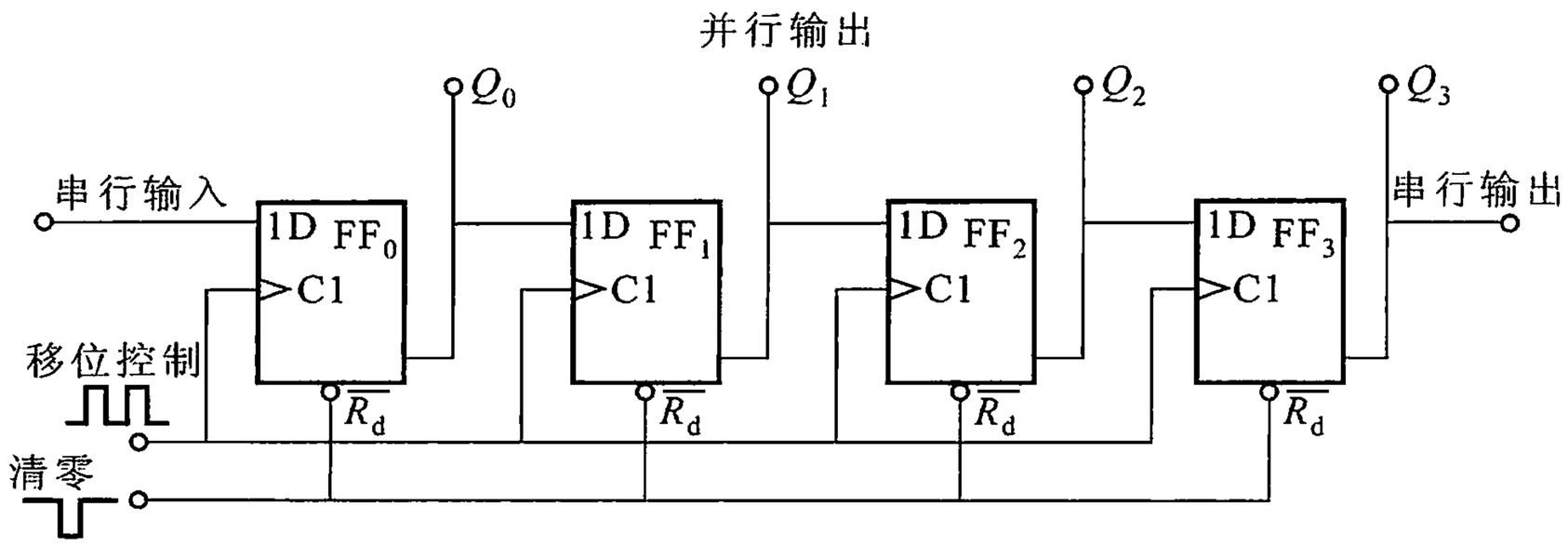


图 9.3.4　用 D 触发器构成 4 位右移寄存器

移入 FF_0，于是 $Q_0 = D_2$、$Q_1 = D_3$，依此类推。在移位寄存器中，数码的移位过程如表9.3.1所示。

表 9.3.1　数码在右移移位寄存器中的移位情况

移位脉冲 CP	串行输入	Q_0	Q_1	Q_2	Q_3
0	**0**	**0**	**0**	**0**	**0**
1	D_3	D_3	**0**	**0**	**0**
2	D_2	D_2	D_3	**0**	**0**
3	D_1	D_1	D_2	D_3	**0**
4	D_0	D_0	D_1	D_2	D_3

由表可见，经过 4 个移位脉冲作用后，4 位数码全部移入寄存器中。这时从 4 个触发器的输出端可并行输出数码 $D_3D_2D_1D_0$。也就是说将串行数码变成了并行数码，这个过程常称作数码的串 - 并转换。若需要从串行输出端得到数码 $D_3D_2D_1D_0$，则只要再输入 4 个移位控制脉冲，数码将全部串行移出寄存器，这称作串行输入、串行输出。单向移位寄存器也可用 $J-K$ 触发器组成。

2. 中规模集成 4 位双向移位寄存器

在单向移位寄存器的基础上，如果再增加一些控制门，即可构成既可左移又可右移的双向移位寄存器。目前，各类集成移位寄存器的产品很普遍，图 9.3.5 所示为中规模集成 TTL 4 位双向中速移位寄存器 74194 的逻辑图，它由 4 个 $R-S$主从触发器组成，并增加了 4 个并行输入端和两个控制输入端。因此，功能比较齐全，具有左移、右移、串行输入、并行输入、串行输出、并行输出和保持功能。表 9.3.2 给出了 74194 型移位寄存器的功能表。正常工作时，清零信号 $\overline{CR}$ 应为 **1** 态。

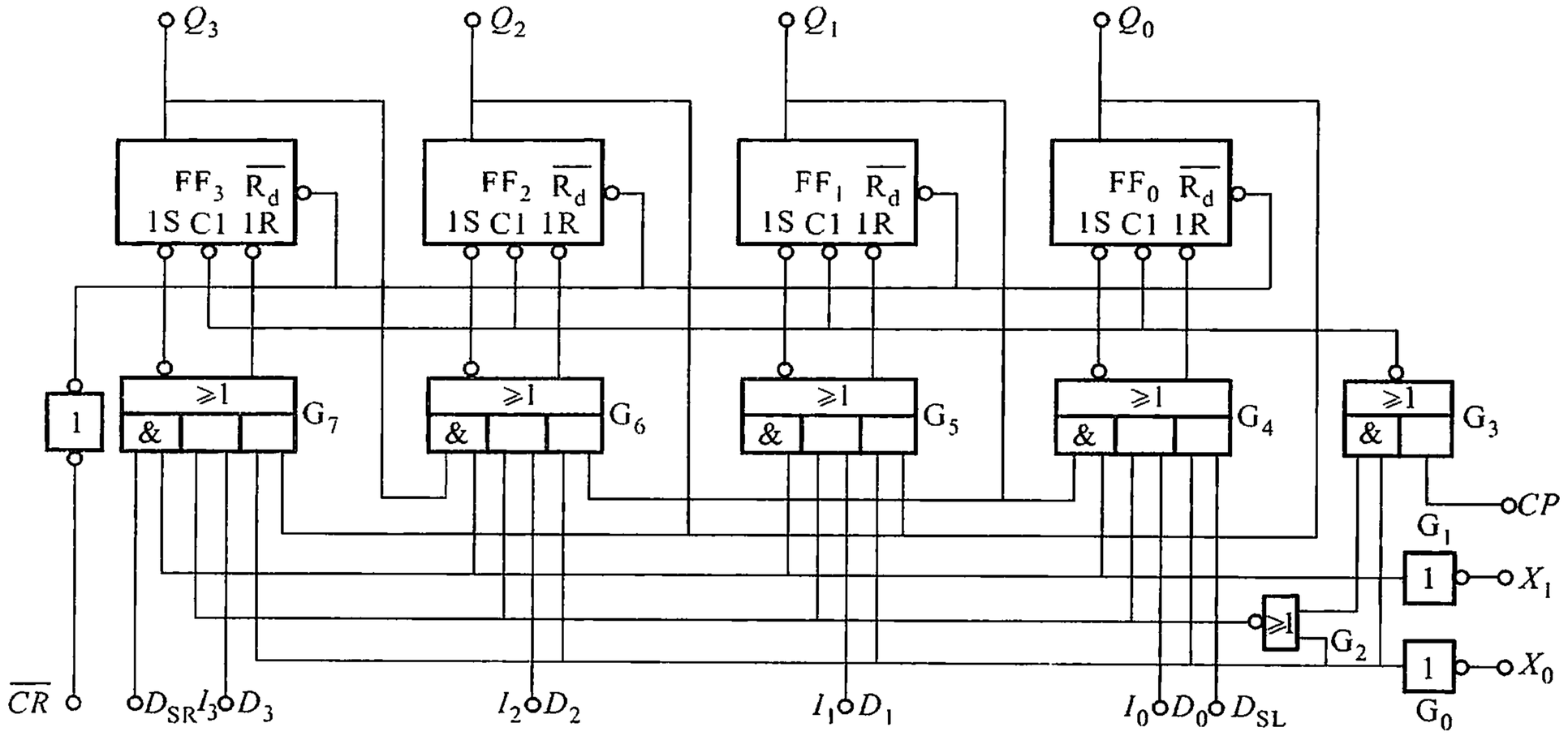


图 9.3.5 中规模集成 4 位双向移位寄存器 74194

表 9.3.2 74194 双向移位寄存器功能表

功能	清零 $\overline{CR}$	控制信号 X_1	控制信号 X_0	串行输入 左移 D_{SL}	串行输入 右移 D_{SR}	时钟输入 CP	并行输入 I_3	并行输入 I_2	并行输入 I_1	并行输入 I_0	输出 Q_3	输出 Q_2	输出 Q_1	输出 Q_0
清除	**0**	×	×	×	×	×	×	×	×	×	**0**	**0**	**0**	**0**
保持	**1**	×	×	×	×	**0**	×	×	×	×	保 持			
并行输入	**1**	**1**	**1**	×	×	↑	D_3	D_2	D_1	D_0	D_3	D_2	D_1	D_0
串行输入 左移	**1**	**1**	**0**	**1**	×	↑	×	×	×	×	Q_2^n	Q_1^n	Q_0^n	**1**
串行输入 左移	**1**	**1**	**0**	**0**	×	↑	×	×	×	×	Q_2^n	Q_1^n	Q_0^n	**0**
串行输入 右移	**1**	**0**	**1**	×	**1**	↑	×	×	×	×	**1**	Q_3^n	Q_2^n	Q_1^n
串行输入 右移	**1**	**0**	**1**	×	**0**	↑	×	×	×	×	**0**	Q_3^n	Q_2^n	Q_1^n
保持	**1**	**0**	**0**	×	×	×	×	×	×	×	保 持			

注：$Q_0^n \sim Q_3^n$ 表示触发器在此次时钟作用前的状态。

× 表示随意电平（**0** 或 **1**）

$Q_3 \sim Q_0$ 并行输出端

Q_0 右移串行输出端

Q_3 左移串行输出端

（1）工作原理

这里，通过对 74194 并行输入和右移、左移功能的分析来了解其工作原理。

当 $X_1X_0 = \mathbf{11}$时，门 G_0、G_1 输出均为 **0**，使**与或非**门 $G_4 \sim G_7$ 两侧的**与**门封锁，左移数码 D_{SL}和右移数码 D_{SR}均不能得到传递移位。此时，**或非**门 G_2 的输出为 **1**，使**与或非**门 $G_4 \sim G_7$ 的中间**与**门开启，当钟脉冲到来时，并行输入端 $D_3 \sim D_0$ 的数码 $D_3D_2D_1D_0$ 分别被寄存到相应的触发器 $FF_3 \sim FF_0$ 中，即电路具有并行输入（送数）功能。

当 $X_1X_0 = \mathbf{01}$时，**与**门 G_0、**或非**门 G_2 输出为 **0**，使**与或非**门 $G_4 \sim G_7$ 的右侧和中间的两个**与**门封锁；**与**门 G_1 输出为 **1**，使**与或非**门 $G_4 \sim G_7$ 左侧**与**门开启，右移数码可由 D_{SR}端送入触发器 FF_3 的 S、R 端，$S_3 = \overline{D}_{SR}$、$R_3 = D_{SR}$，第 1 个时钟脉冲到来时，D_{SR}存入 FF_3 中；第 2 个时钟脉冲到来时，Q_3 的状态进入 Q_2 中，即 D_{SR}右移了 1 位，其余类推，说明电路实施右移功能。仿效上述分析，可知当 $X_1X_0 = \mathbf{10}$时，电路实施左移功能。

应当指出，在应用 74194 时必须注意，在 $CP = \mathbf{0}$ 期间不允许出现下述 3 种变化：① X_0 和 X_1 同时由 **1** 变 **0**；② X_0 为 **0** 时，X_1 由 **1** 变 **0**；③ X_1 为 **0** 时，X_0 由 **1** 变 **0**。这是因为如果出现了上述 3 种变化之一时，从图 9.3.5 可以看出，**与或非**门 G_3 的输出将从 **1** 变为 **0**，这一负跳变将会使各触发器翻转，造成寄存出错。

利用 74194 可实现并行输入数码到串行数码的转换。

（2）位数扩展示例

若需要大于 4 位的双向移位寄存器，可将 74194 级联使用。图 9.3.6 所示为两

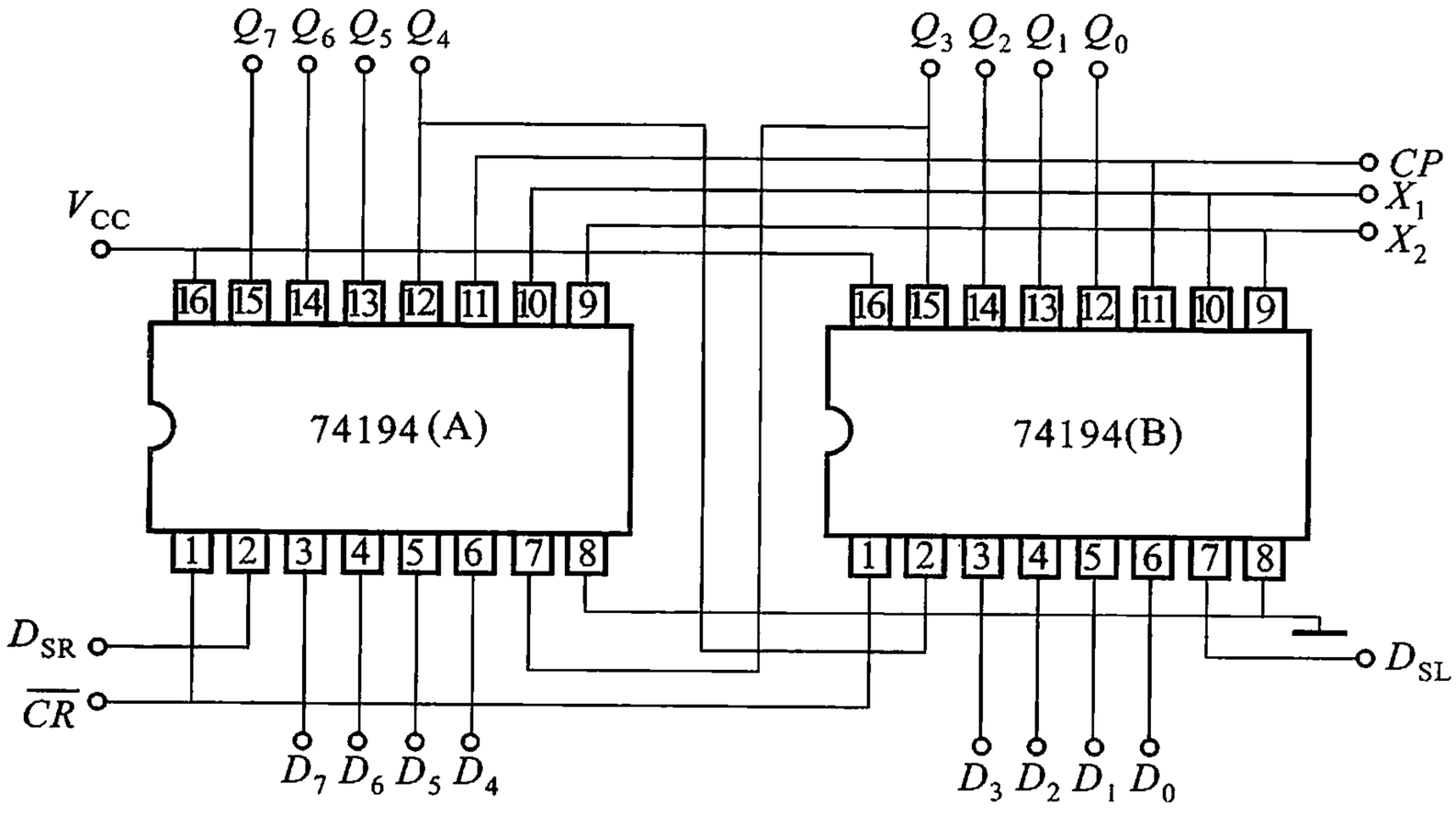


图 9.3.6　用 74194 串联扩展双向移位寄存器的位数

块 74194 构成 8 位双向移位寄存器的连接方法。

3. 移位寄存器应用举例

移位寄存器在计算机和数字系统中应用很多,除前面介绍的用于数码串 - 并、并 - 串转换外,还有其他许多应用,例如,用于串行加法器中。

实际串行加法器中只有一个 1 位全加器。多位数相加时需逐位进行,在相加过程中就要用到移位寄存器。其工作原理框图如图 9.3.7 所示。图中 A 和 B 是两个 n 位移位寄存器,分别用来存放被加数和加数。在移位脉冲 CP 的控制下,加数和被加数从低位开始逐位移入全加器,相加后的进位输出用进位触发器 FF 存储起来并送回全加器参与高 1 位数的全加,图 9.3.7 所示电路的工作过程如下:先将进位触发器 FF 置 **0**(使 $CI_0 = \mathbf{0}$),加法的第一节拍使 A_0、B_0 和 CI_0 相加,得本位和 S_0 及进位 CO_0,F_0 送到移位寄存器 A 的串行右移输入端,CO_0 送到进位触发器 FF 的 D 输入端。当时钟脉冲 CP_1 到达时,进位触发器接收了 CO_0 信号,并且寄存器 A、B 中数据各右移了 1 位,同时使寄存器 A 左端空位补入 S_0。加法的第 2 节拍开始之后,全加器中进行 A_1、B_1 和 CO_0 的相加,得 S_1 和 CO_1。当 CP_2 到达时,进位触发器接收了 CO_1 信号,寄存器 A、B 中各数据又右移了 1 位,同时使寄存器 A 最左端的空位补入 S_1。依此类推,直到 n 位数加法完成为止。同时,从寄存器 A 得到 A、B 两数相加的结果。为了控制加法的操作次数,电路还需要一个计数器,每进行一节拍加法操作,计数器累加一个脉冲。当计数器满 n 个脉冲后发出完成信号,用来停止加法运算及开始后继操作。

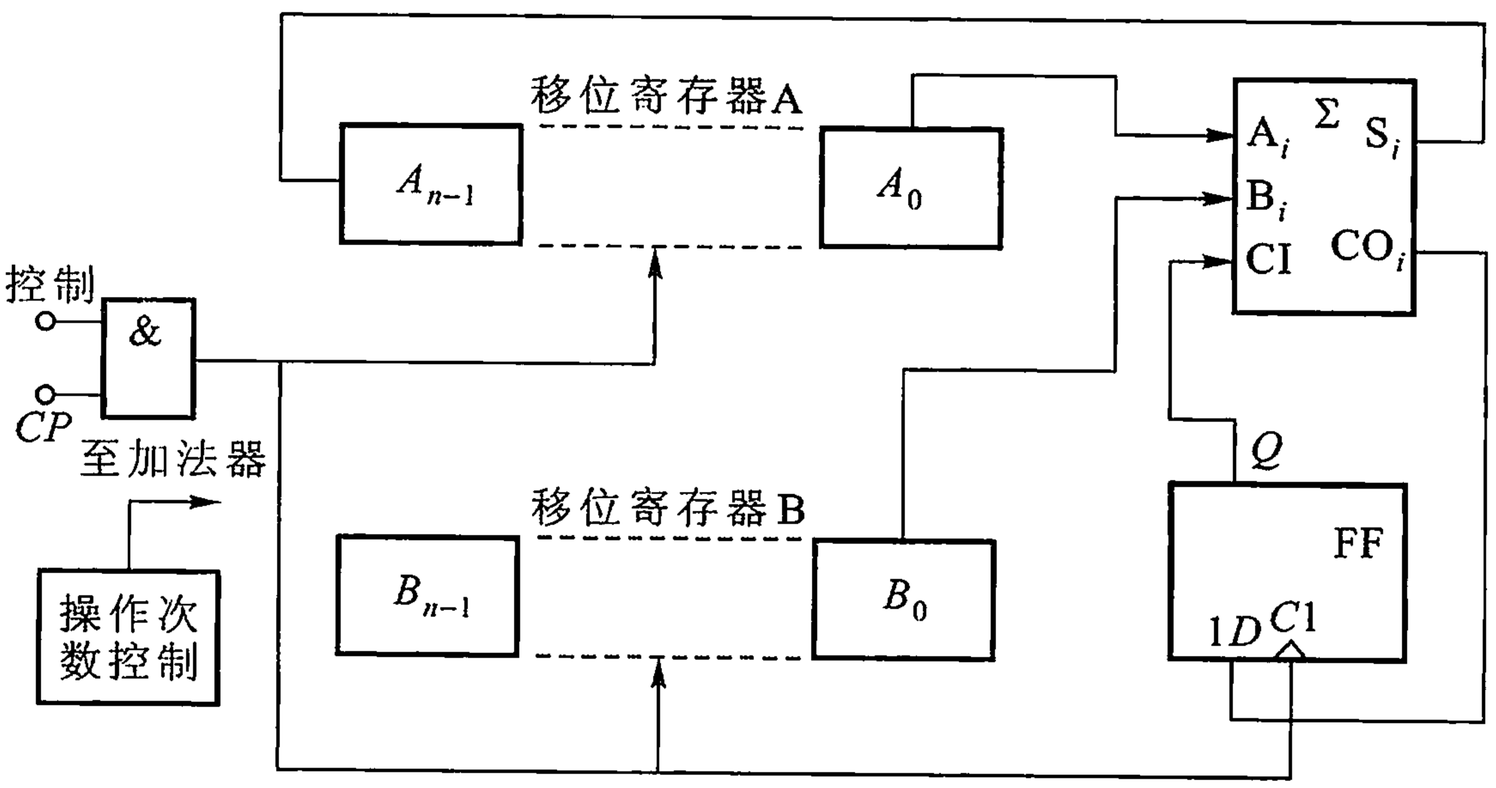


图 9.3.7 移位寄存器用于串行加法器中的原理框图

9.4 计　数　器

计数器是一种能对输入脉冲进行累计计数的逻辑单元，它可由触发器加上逻辑门电路组成。

计数器的种类很多。按计数进制分为二进制计数器和二－十进制计数器；按计数方式分为同步计数器和异步计数器。在同步计数器中，所有触发器共用一个时钟脉冲源，这个时钟脉冲源就是被计数的输入脉冲。在异步计数器中，一部分触发器的时钟脉冲是被计数的输入脉冲，另一部分触发器的时钟脉冲为其他部分触发器的输出脉冲。按计数增减趋势分为加法计数器、减法计数器和可逆计数器。

9.4.1　二进制计数器

1. 异步二进制加法计数器

图 9.4.1(a)所示为一种用 $J-K$ 触发器构成的 4 位异步二进制加法计数器。

二进制加法法则：**0 + 1 = 1**、**1 + 1 = 10**(本位得 **0** 并向高位进 **1**，即逢二进一)。根据这个法则在采用脉冲负跳边触发的触发器时，级间联系由低位的 Q 端和高位的 CP 端相连，当触发器为 **1** 态而又再到来一个计数脉冲时，低位触发器本身 **1** 翻为 **0**，即 Q 端输出负阶跃，正好作向高位的进位脉冲。

下面讨论该计数器的工作原理和它的特点。

首先，利用复位端 $\overline{R}_d$ 的负脉冲使所有触发器复位为 **0** 状态($Q_0 = Q_1 = Q_2 = Q_3 = \mathbf{0}$)。当第一个计数脉冲 CP 输入，在 CP 负跳边的触发下第一位触发器 FF_0 的 Q_0 从 **0** 变为 **1**，其他 3 个触发器由于没有负跳边脉冲输入，仍保持 **0** 态不变。当第二个 CP 输入时，使 Q_0 由 **1** 变为 **0**，此 Q_0 的负阶跃输入到第二位触发器 FF_1，使 Q_1 由 **0** 翻转到 **1** 态。随着计数脉冲的不断输入，各触发器的输出波形按图 9.4.1(b)所示变化，直到第十五个计数脉冲到来后，4 个触发器均翻转为 **1** 态，相当于十进制数 15。第十六个计数脉冲再到来后，四个触发器全部恢复为 **0** 态，并由 Q_3 向高位输出一个进位脉冲。这个 4 位二进制计数器也可看成是一个十六进制的计数器，它逢十六进一。

由图 9.4.1(b)的波形图上看到，每经过一级触发器，脉冲的周期就增加了一倍，即频率降为原来的 1/2。于是从 Q_0 端引出的波形为二分频，从 Q_1 端引出

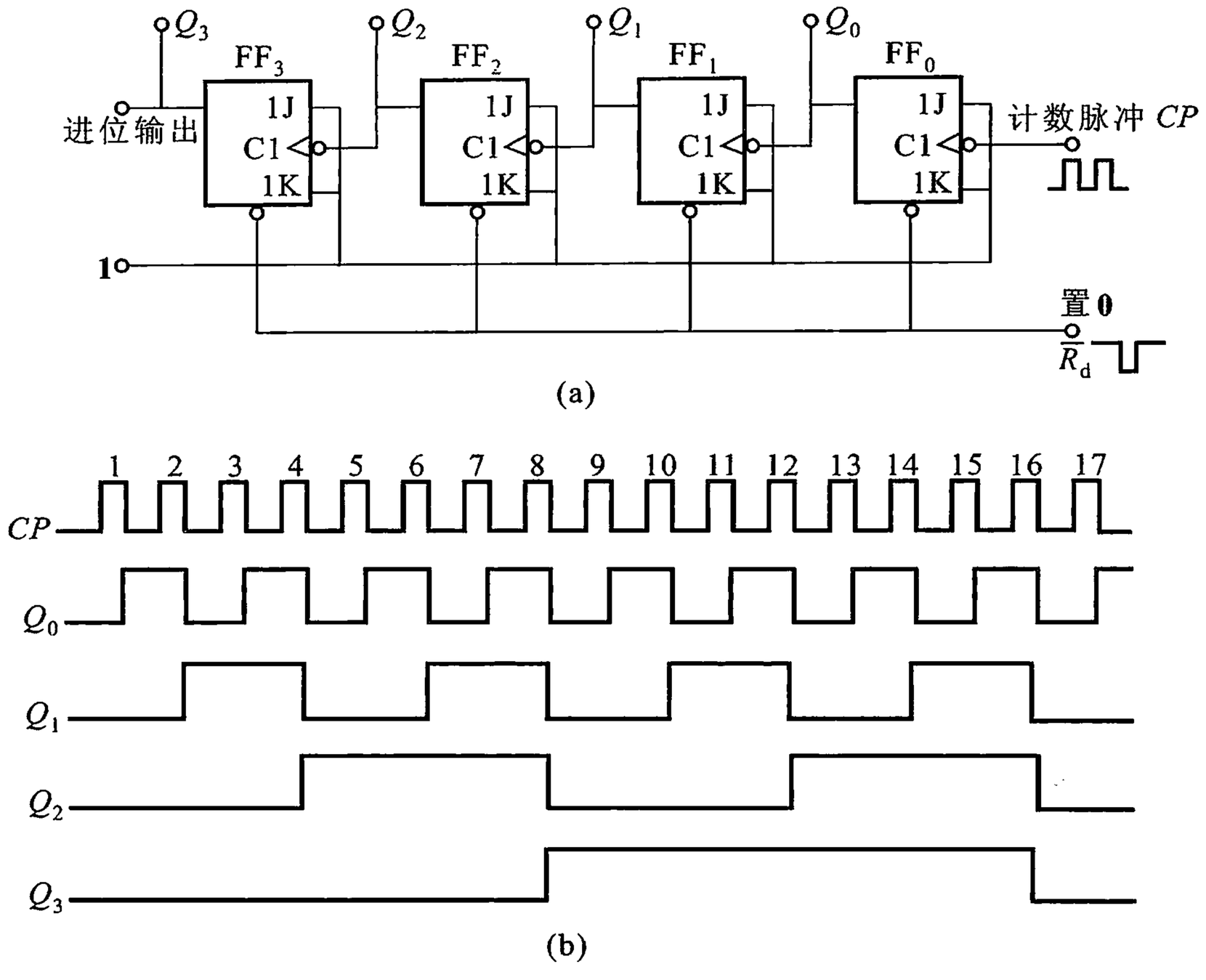


图 9.4.1 异步 4 位二进制加法计数器

(a) 逻辑图 (b) 工作波形

的波形为四分频,从 Q_n 端引出的波形为 2^{n+1} 分频。因此,计数器又常用于分频电路。

如果触发器是 *CP* 脉冲上升沿触发,级间连线应改为由低位触发器的 $\overline{Q}$ 端和高位触发器的 *CP* 端相连。在低位触发器由 **1** 变 **0** 时,$\overline{Q}$ 端的电平由 **0** 变 **1**,正好向高位输送一个正阶跃进位信号。

表 9.4.1 列出了 4 位二进制加法计数器的转换状态。高位触发器须待邻近低位触发器由 **1** 态翻为 **0** 态产生进位信号后才翻转,例如,当第七个计数脉冲过去后,$Q_0 = Q_1 = Q_2 = \mathbf{1}$,如再到来第八个计数脉冲,需依次经过 3 个触发器的翻转,才能产生一个进位脉冲到第四位触发器使其翻转。所以这种计数器称为异步计数器。

根据状态转换表可得状态图如图 9.4.2 所示。

下面再来讨论这种形式的计数器的速度问题。当计数器为**1111**时,第十六个脉冲再到来就使其变为**0000**。设每个触发器的传输延迟时间 t_{pd} 为 40 ns,从第十六个计数脉冲的负跳边瞬时开始到计数器为全 **0** 时止,总延迟时间共 40 ns × 4 = 160 ns,如图9.4.3(b)所示。随着位数的增加,累积的延迟时间也增加,这样

表 9.4.1　4 位二进制加法计数转换状态表

CP	Q_3	Q_2	Q_1	Q_0	十进制数
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	1	0	1	0	10
11	1	0	1	1	11
12	1	1	0	0	12
13	1	1	0	1	13
14	1	1	1	0	14
15	1	1	1	1	15
16	0	0	0	0	0

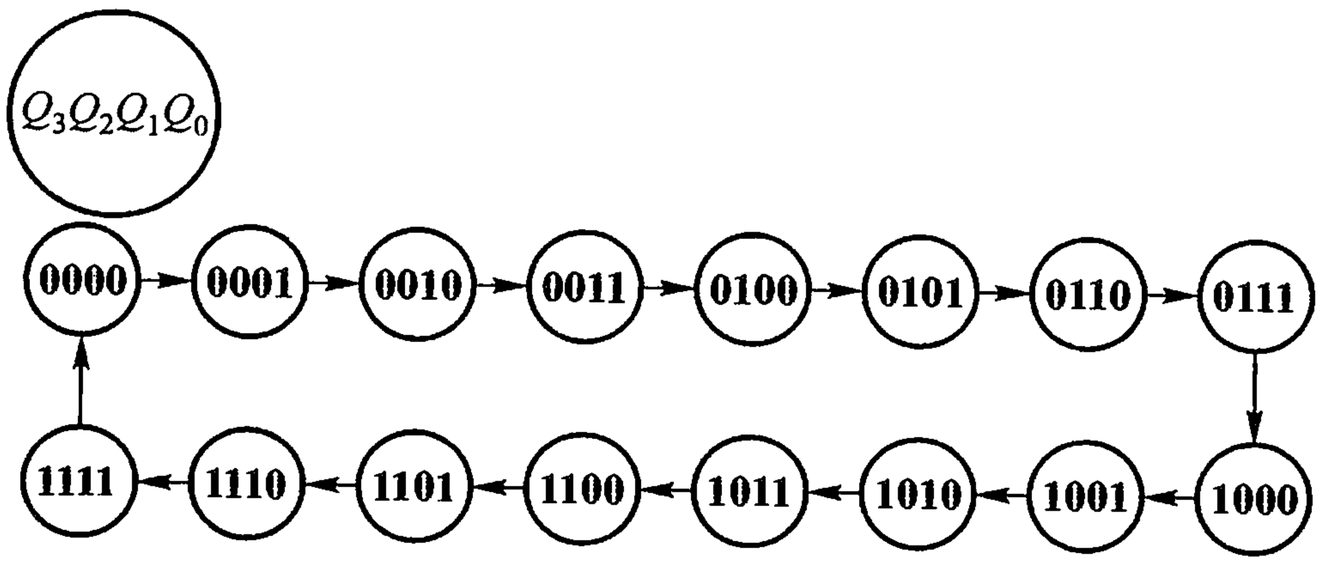
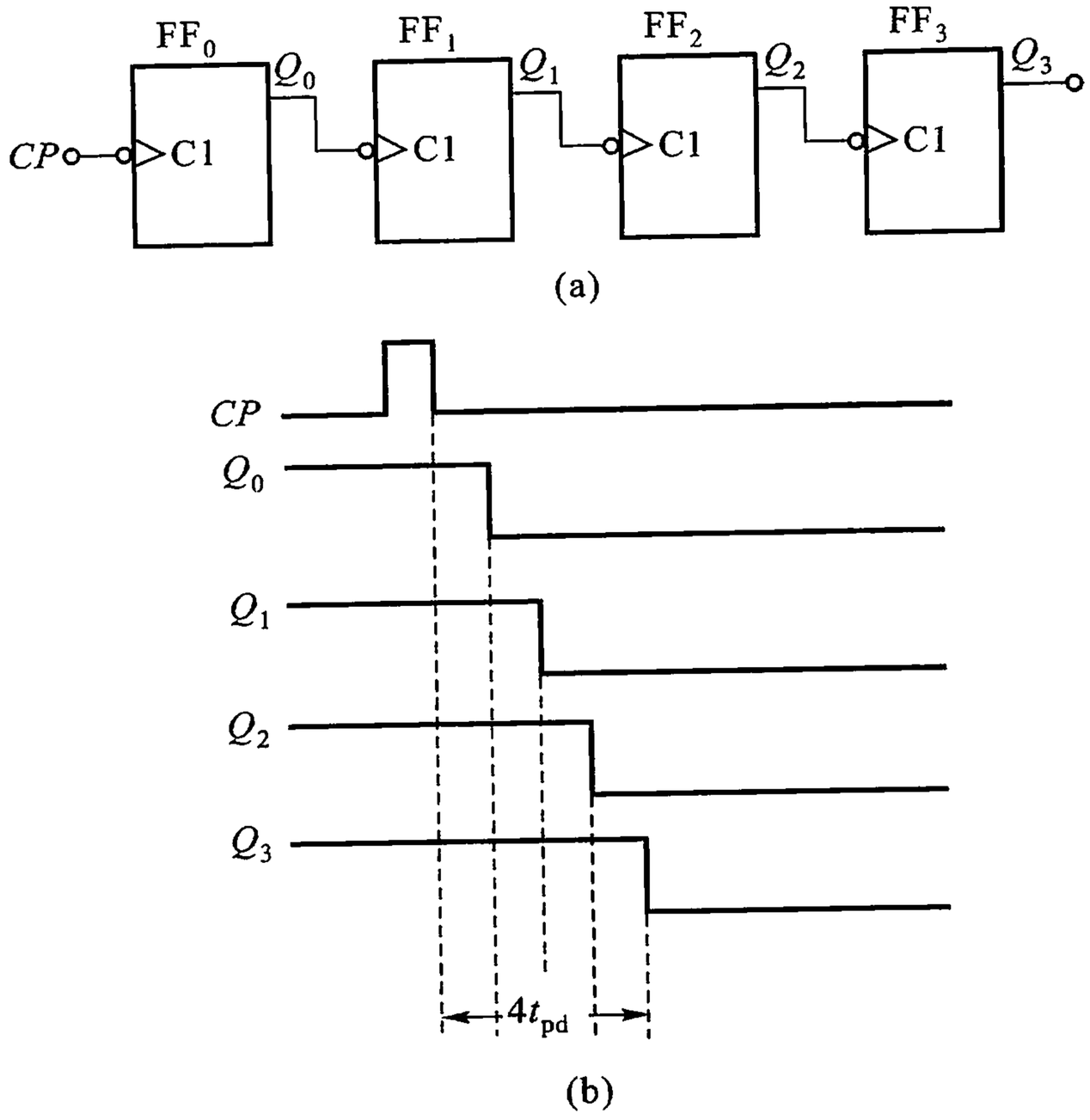


图 9.4.2　四位二进制加法计数器状态图

会影响计数的速度。设异步计数电路为 m 级，则最长的传输延迟时间为 mt_{pd}，于是计数工作频率的上限被限制在

$$f_{max} < \frac{1}{mt_{pd}}$$

这是异步计算器的主要缺点。但其电路简单，只有一个触发器的 CP 端接在公共计数线上，计数脉冲总线的负载很轻，因而不致引起计数脉冲波形畸变。



(a)

(b)

图 9.4.3 异步计数电路的延迟

(a) 逻辑简图 (b) 累积延迟波形

在图 9.4.3 的逻辑电路中，由于 $J = K = 1$，在图中可不必画出，但实际接线时要接高电平。

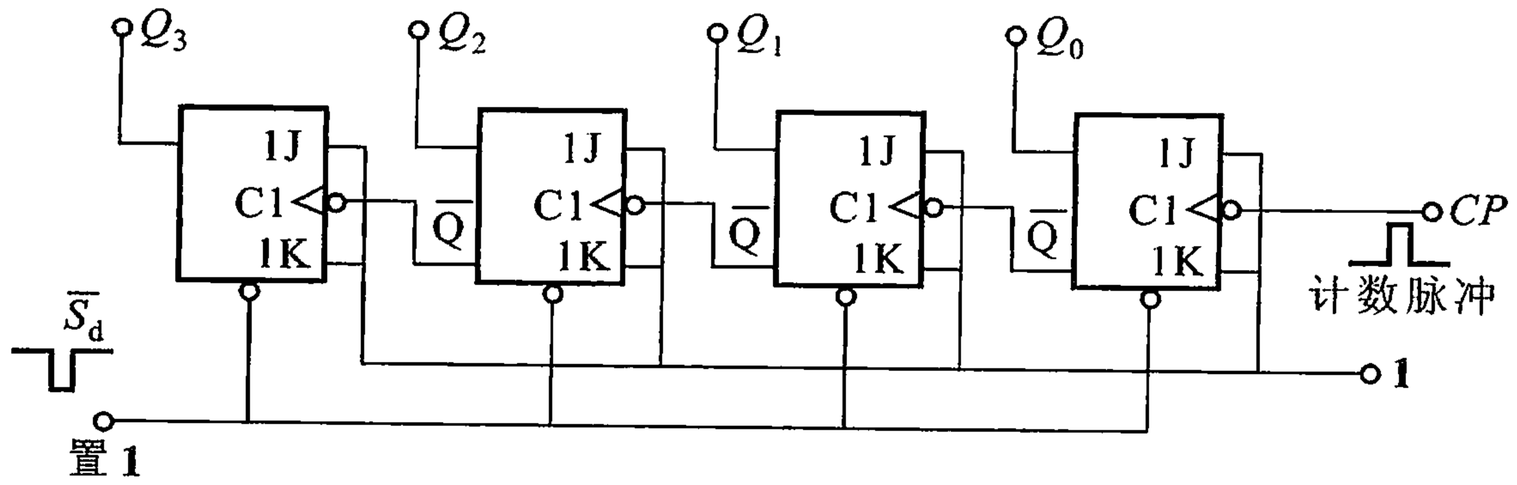
2. 异步二进制减法计数器

二进制减法运算的法则是 **1 − 1 = 0**、**0 − 1 = 1**，并向高位借位，使高位的数码减 **1**。

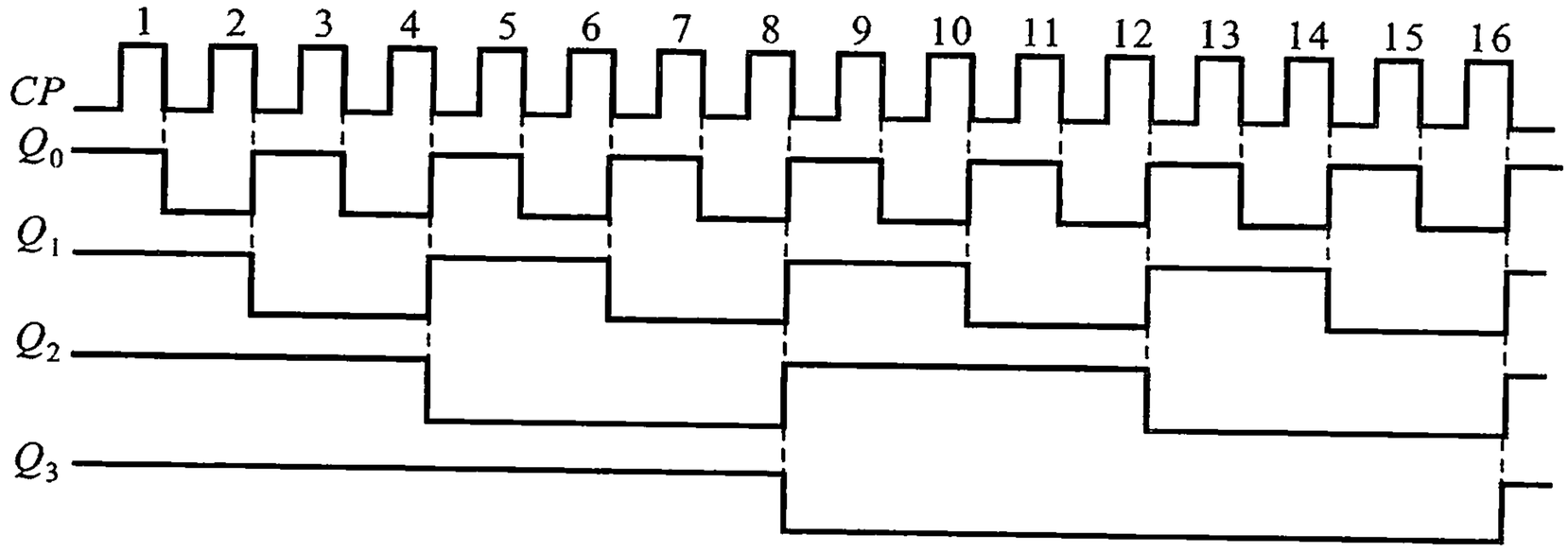
图 9.4.4 所示为用 $J-K$ 触发器构成的 4 位异步二进制减法计数器。该减法器工作时，首先利用复位端 $\overline{S}_d$ 的负脉冲使所有触发器复位为 **1** 状态，其减法计数的状态如表 9.4.2 所示。

二进制减法计数器状态图如图 9.4.5 所示。

由表 9.4.2 中可知，当低位数为 **0** 而又再到来一个计数脉冲时，它本身由 **0** 变为 **1** 并使高位触发器翻转。因为采用下降沿触发的触发器，所以将低位的 $\overline{Q}$



(a)



(b)

图 9.4.4　异步二进制减法计数器

（a）逻辑图　　（b）工作波形

表 9.4.2　异步二进制减法计数器状态表

CP	Q_3	Q_2	Q_1	Q_0	十进制数
0	**1**	**1**	**1**	**1**	15
1	**1**	**1**	**1**	**0**	14
2	**1**	**1**	**0**	**1**	13
3	**1**	**1**	**0**	**0**	12
4	**1**	**0**	**1**	**1**	11
5	**1**	**0**	**1**	**0**	10
6	**1**	**0**	**0**	**1**	9
7	**1**	**0**	**0**	**0**	8
8	**0**	**1**	**1**	**1**	7
9	**0**	**1**	**1**	**0**	6
10	**0**	**1**	**0**	**1**	5

续表

CP	Q_3	Q_2	Q_1	Q_0	十进制数
11	**0**	**1**	**0**	**0**	4
12	**0**	**0**	**1**	**1**	3
13	**0**	**0**	**1**	**0**	2
14	**0**	**0**	**0**	**1**	1
15	**0**	**0**	**0**	**0**	0

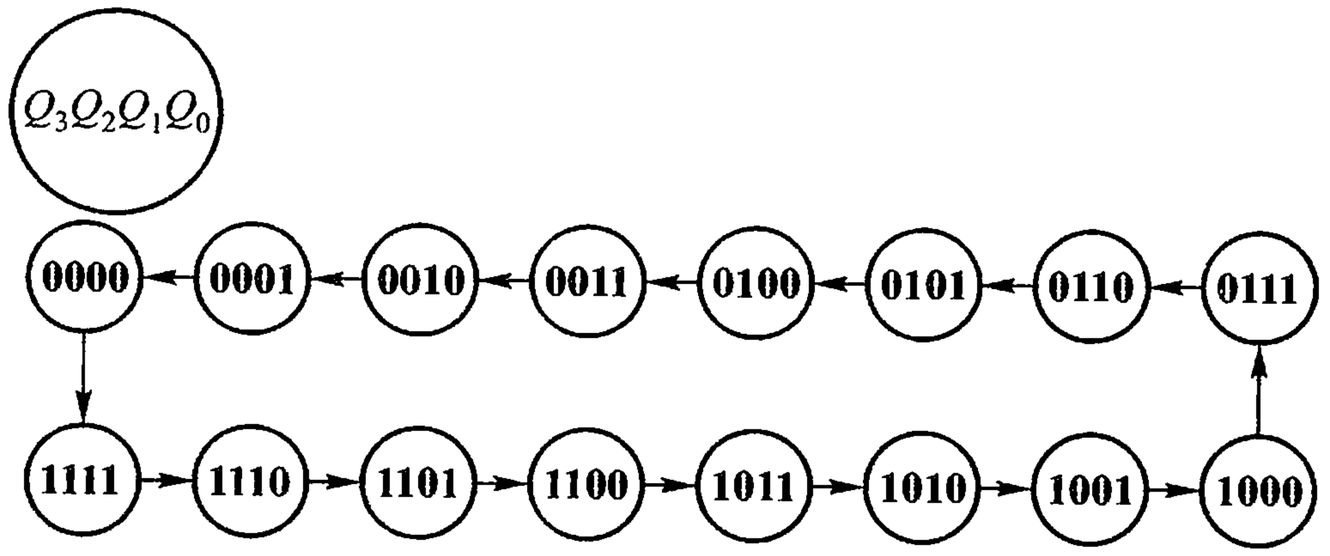


图 9.4.5 二进制减法计数器状态图

端和高位的 CP 端相连。若触发器是上升沿触发,则将低位的 Q 端和高位的 CP 端相连。

3. 同步二进制加法计数器

为了改进异步计数器工作速度不高的缺点,设想在计数脉冲到来时,将需要翻转的触发器全部同时翻转,则工作速度就可提高。因而要引入同步的概念。

在计数脉冲作用下,计数器中每一位触发器会不会翻转,这将取决于低位所有触发器处于何种状态。根据这一规律,将计数脉冲直接送到各位触发器,而其中的触发器是否会翻转,则根据逻辑关系由其他触发器的输出加以控制,这样,当总线计数脉冲到来时,应该翻转的触发器就同时翻转,而无需等候逐级往前传送的进位信号到达时才翻转。

由二进制加法计数器的状态表 9.4.1 可以看出,每到来一个计数脉冲,最低位触发器 FF_0 的 Q_0 就改变一次状态,触发器 FF_1 在 $Q_0 = \mathbf{1}$ 后再到来一个 CP 脉冲才改变状态。若用 $J-K$ 触发器组成计数器,根据上述分析可知 4 个触发器的 J、K 端的逻辑关系式应分别为

$$\left.\begin{aligned} J_0 &= K_0 = \mathbf{1} \\ J_1 &= K_1 = Q_0 \\ J_2 &= K_2 = Q_0 Q_1 \\ J_3 &= K_3 = Q_0 Q_1 Q_2 \end{aligned}\right\} \tag{9.4.1}$$

由以上关系式画出逻辑电路如图 9.4.6 所示。$J_0 = K_0 = \mathbf{1}$ 在图中往往可不必画出，但在实际连接时必须接高电平。当触发器全为 **0** 态时，$J_1 = \mathbf{0}$、$J_2 = \mathbf{0}$、$J_3 = \mathbf{0}$，第一个计数脉冲虽然送到 4 个触发器，因为只有 $J_0 = K_0 = \mathbf{1}$，所以 $Q_0 = \overline{\mathbf{0}} = \mathbf{1}$，而其他触发器仍为 **0** 态。当第二个 *CP* 脉冲到来时，因为 $J_1 = K_1 = Q_0 = \mathbf{1}$，所以 Q_1 从 **0** 态翻转为 **1** 态，Q_0 再从 **1** 态翻转为 **0** 态，其他两个触发器仍保持 **0** 态。当第四个 *CP* 脉冲到来时，因为 $J_2 = K_2 = Q_0 \cdot Q_1 = \mathbf{1}$，$J_1 = K_1 = Q_0 = \mathbf{1}$，所以 Q_0、Q_1 和 Q_2 的状态都改变，只有 Q_3 仍保持 **0** 态。当计数到 7 时（$Q_2 = Q_1 = Q_0 = \mathbf{1}$），$J_3 = K_3 = Q_0 \cdot Q_1 \cdot Q_2 = \mathbf{1}$，第八个 *CP* 脉冲到来时，4 个触发器的状态全部翻转（$Q_3 Q_2 Q_1 Q_0 = \mathbf{1000}$）。

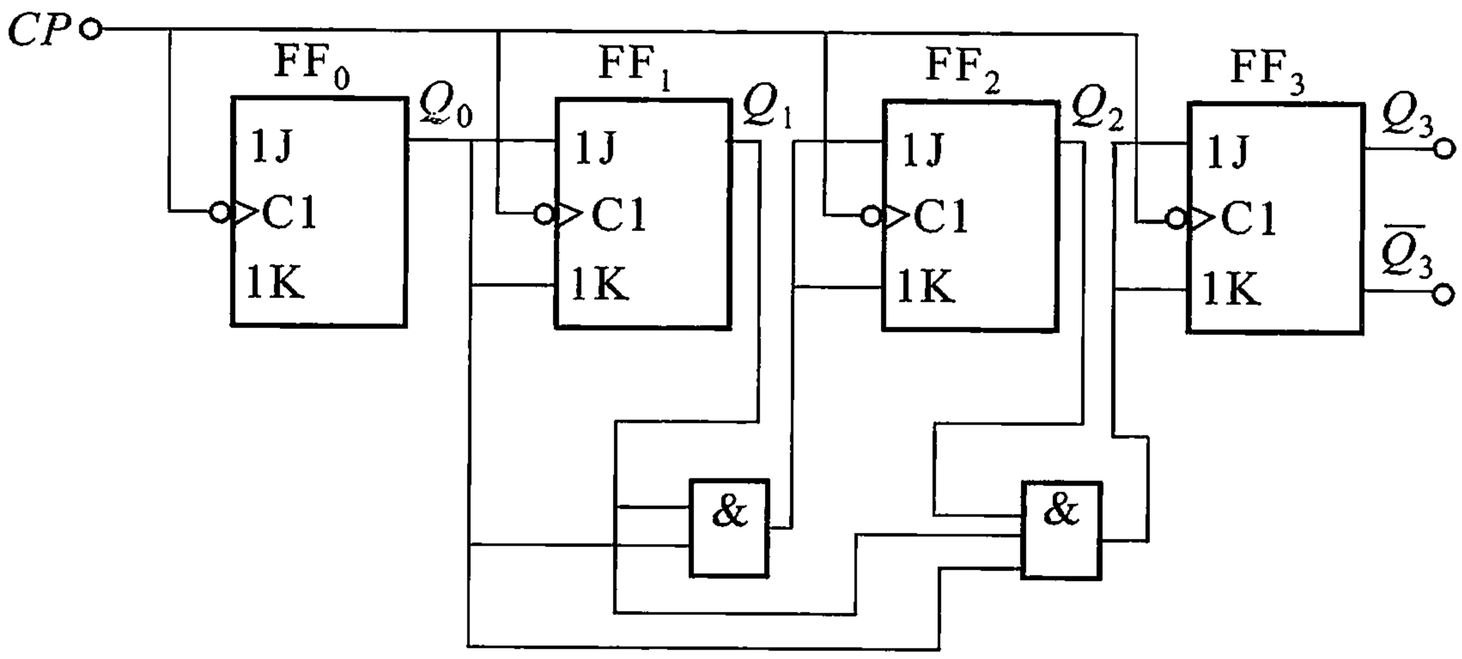


图 9.4.6　同步二进制加法计数器

计数器的位数增加，起控制作用的**与**门输入端数目也需增加。**与**门输入端过多需要采用扩展器，所以这种形式的计数器的位数不宜过长。

4. 二进制可逆计数器

在实用电路中，还有一种计数器既可以做加法，也可以做减法，称为可逆计数器。

（1）异步二进制可逆计数器

图 9.4.7 所示为 4 位异步二进制可逆计数器的逻辑图。触发器采用下降沿触发的 $J-K$ 触发器，转换控制电路由**与非**门组成。当进行加法计数时，加、减控制端 $M = \mathbf{1}$；进行减法计数时，$M = \mathbf{0}$。现以第一、二级之间的转换连接通道为例来说明可逆控制的原理。由图可知

$$CP_1 = \overline{\overline{Q_0 M}\ \overline{\overline{Q}_0 \overline{M}}} = Q_0 M + \overline{Q}_0 \overline{M} \tag{9.4.2}$$

当 $M = 1$ 时,上式成为

$$CP_1 = Q_0$$

即上半部的通道接通,各低位触发器的 Q 端和高位的 CP 端相连。下半部通道阻塞,Q 端和高位的 CP 端断开,这时图 9.4.7 和加法计数器逻辑图 9.4.1 完全相同,所以它实现了加法计数器的功能。

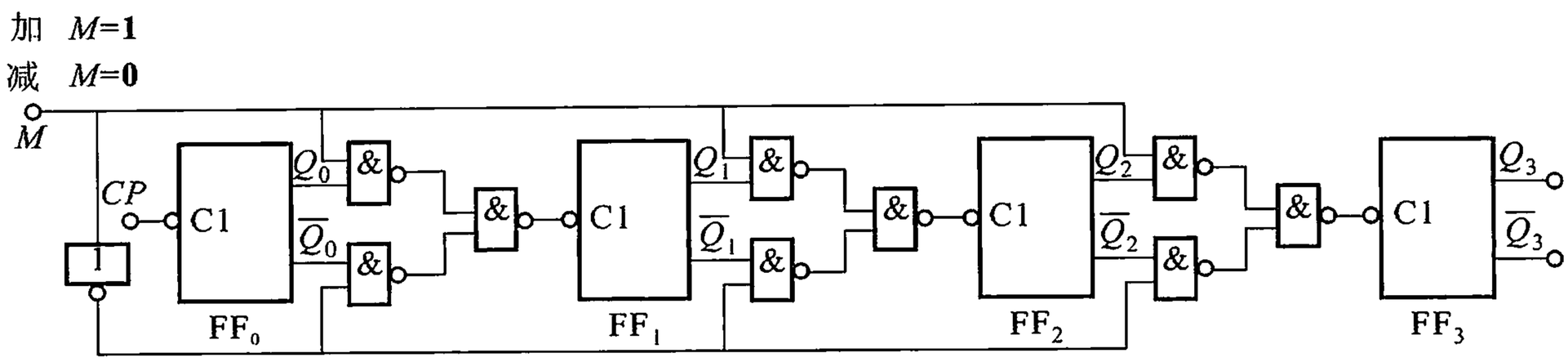


图 9.4.7 异步二进制可逆计数器

当 $M = 0$ 时,式(9.4.2)成为

$$CP_1 = Q_0$$

运算通道改为上半通道断开,下半通道接通,当低位触发器从 0 变为 1 时,$\overline{Q}$ 端输送下降沿到邻近高位触发器的 CP 端,实现借位功能,所以这时计算器成为减法运算。

在减法计数时,一般都是对计数器预先置数。减法状态表(表 9.4.2)是按预先全置 1 画的,置数线在逻辑图 9.4.7 中未画出。减法计数器的预置数码可任意确定,例如,数字控制机床的加工前,先将需要加工的尺寸数码置入计数器,然后开动机床,步进电动机每走一步,光栅盘发出一个脉冲送到计数器而减 1,直到全部置入的数被减完,即计数器为全 0 时,表示加工已达到了预定的尺寸。

(2) 同步可逆计数器

同步可逆计数器是由同步加法计数器和同步减法计数器组合而成,在计数时按功能要求分别控制。

同步可逆计数器的逻辑电路可参照图 9.4.7 所介绍的异步可逆计数器的原则来组成,它的特点是用一根加/减控制线来控制加法计数还是减法计数,两种计数的输入脉冲是同一个计数脉冲。在同步加法计数器的逻辑图(见图 9.4.6)的基础上增添减法计数通道,再加一根加/减控制线 M 便可构成。读者可以自行设计。这种形式的可逆计数器有两个输入端,一个是计数输入端 CP,另一个

是加/减控制端 M，通常把这种计数器称为加减控制式可逆计数器。

可逆计数器的另一种形式，是有两个计数脉冲输入端，一个称为加法计数脉冲 CP_+ 输入端，另一个称为减法计数脉冲 CP_- 输入端，没有加/减控制端。通常把这种形式称为双时钟输入式。以上两种形式在中规模集成电路都获得了应用。

下面介绍双时钟输入式的可逆计数器。

参照加法计数状态表（表 9.4.1）可知，完成同步加法计数的各级触发器的 CP 逻辑关系为

$$\left.\begin{aligned} CP_0 &= CP_+ \\ CP_1 &= CP_+ Q_0 \\ CP_2 &= CP_+ Q_0 Q_1 \\ CP_3 &= CP_+ Q_0 Q_1 Q_2 \end{aligned}\right\} \tag{9.4.3}$$

参照减法计数状态表（9.4.2）可知，低位触发器全为 **0** 态后再到来一个计数脉冲，其相邻的高位触发器便翻转而改变状态，于是完成同步减法计数器的各级触发器的 CP 逻辑关系为

$$\left.\begin{aligned} CP_0 &= CP_- \\ CP_1 &= CP_- \overline{Q}_0 \\ CP_2 &= CP_- \overline{Q}_0 \overline{Q}_1 \\ CP_3 &= CP_- \overline{Q}_0 \overline{Q}_1 \overline{Q}_2 \end{aligned}\right\} \tag{9.4.4}$$

因此，同步二进制可逆计数器的各级触发器的 CP 逻辑关系为

$$\left.\begin{aligned} CP_0 &= CP_+ + CP_- \\ CP_1 &= CP_+ Q_0 + CP_- \overline{Q}_0 \\ CP_2 &= CP_+ Q_0 Q_1 + CP_- \overline{Q}_0 \overline{Q}_1 \\ CP_3 &= CP_+ Q_0 Q_1 Q_2 + CP_- \overline{Q}_0 \overline{Q}_1 \overline{Q}_2 \end{aligned}\right\} \tag{9.4.5}$$

其中，CP_+ 是加法计数输入脉冲，CP_- 是减法计数输入脉冲。

图 9.4.8 所示为按照式（9.4.5）所设计的可逆计数器。用**与或**门完成上述控制功能，上半部分是加法计数通道，下半部分是减法计数通道。

当 CP_- 为 **0** 时，将 $CP_- = 0$ 代入式（9.4.5），该式则变为式（9.4.3）加法计数的关系。输入 CP_+ 脉冲便进行加法计数，下降沿触发。当 CP_+ 为 **0** 时，将 CP_+ 代入式（9.4.5），它就等于式（9.4.4）减法计数的关系。输入 CP_- 脉冲便进行减法计数。

由于用**与或**门控制，所以进行加法计数时，减法计数端必须保持在低电平，

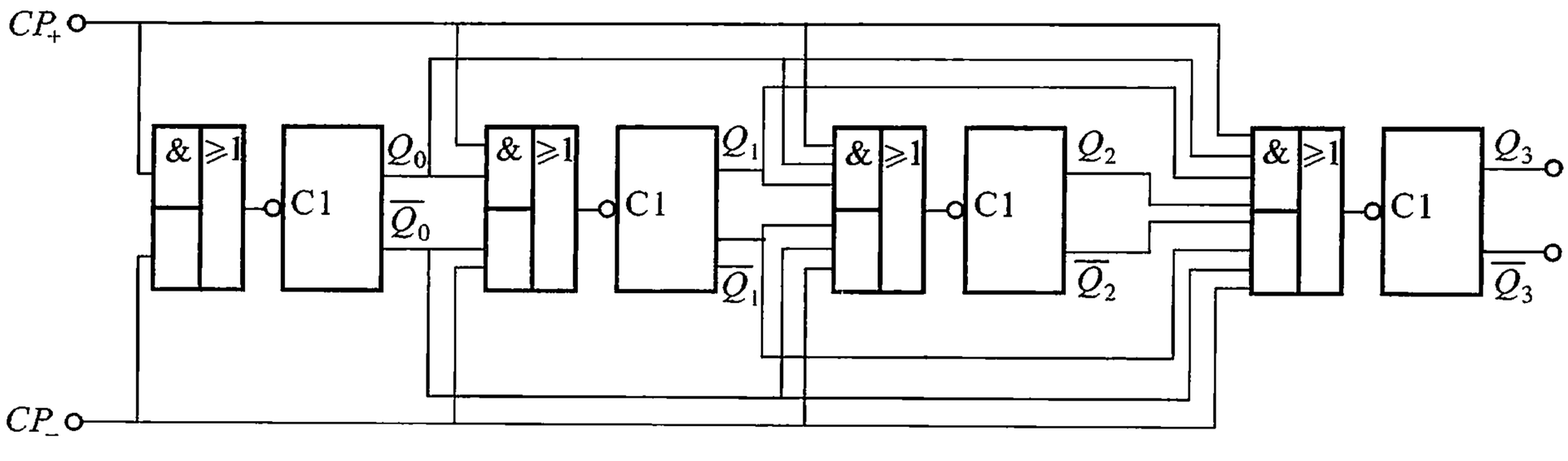


图 9.4.8 同步二进制可逆计数电路

如果减法计数端为高电平，即将 $CP_- = 1$ 代入式(9.4.5)，便得关系式 $CP_0 = CP_+ + 1 = 1$，由此可见，加法计数通道被阻塞。减法计数时，CP_+ 端同样也必须保持低电平。

在实际使用中，减法计数往往需要预先置数，然后再输入脉冲作减法运算。因此，图 9.4.8 所示的可逆计数器需增加数码并行输入及置数选通控制功能。

9.4.2 十进制计数器

实际工作中，为了便于直接读取数据，在数字仪表等数字系统中常采用十进制计数器。由于二－十进制编码的种类很多，所以十进制计数器电路也各不相同。但在电路结构上却存在共同之处，即都是在二进制计数器基础上附加反馈电路或逻辑控制电路而成。这里只介绍用得最多的 8421 BCD 码十进制加法计数器。

1. 8421 BCD 码同步十进制加法计数器

图 9.4.9 所示为 8421 BCD 码同步十进制加法计数器的逻辑图。下面按照时序逻辑电路的分析方法来分析其工作原理。

(1) 由逻辑图写出各逻辑方程式。

由于该电路为同步电路，时钟方程可不写。另外，电路的输出为 Q_3，也没有输出方程。由逻辑图可写出各触发器的驱动方程：

$$\left.\begin{aligned} J_0 &= K_0 = 1 \\ J_1 &= \overline{Q}_3 Q_0 \text{、} \quad K_0 = Q_0 \\ J_2 &= K_2 = Q_1 Q_0 \\ J_3 &= Q_2 Q_1 Q_0 \text{、} \quad K_3 = Q_0 \end{aligned}\right\} \tag{9.4.6}$$

(2) 将驱动方程代入相应触发器的特性方程，求得时序逻辑电路的状态

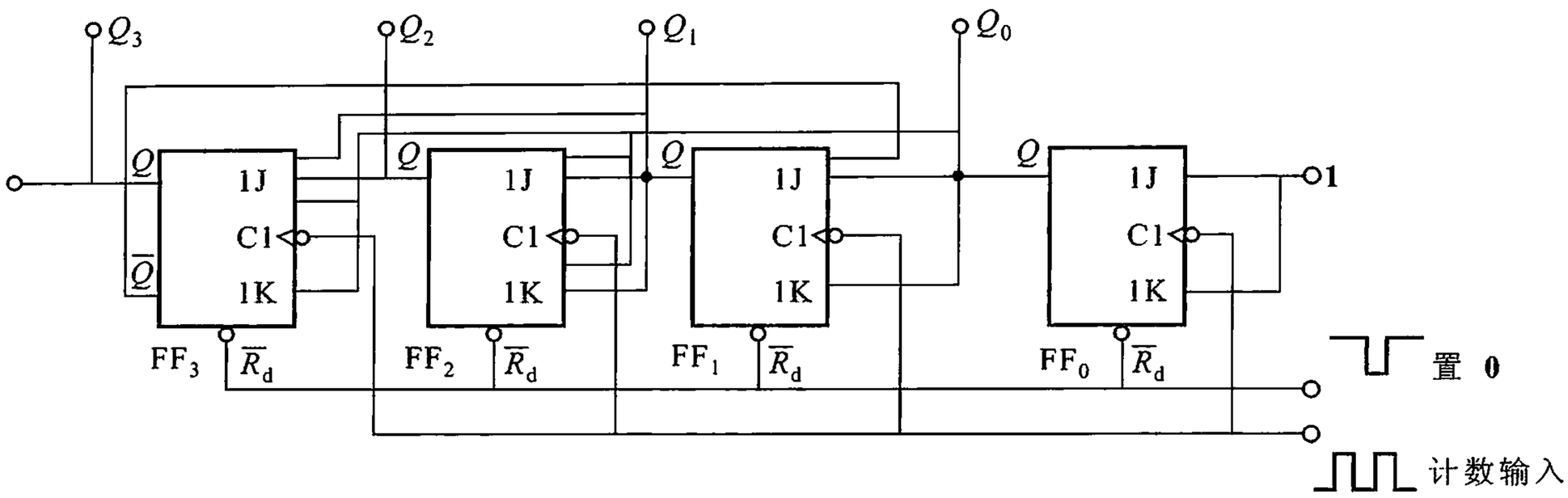


图 9.4.9　8421 BCD 码同步十进制加法计数器的逻辑图

方程。

将式 (9.4.6)代入 $J-K$ 触发器的特性方程,可得该计数器各触发器的状态方程分别为:

$$\left.\begin{aligned}
Q_0^{n+1} &= J_0\overline{Q}_0^n + \overline{K}_0 Q_0^n = \overline{Q}_0^n \\
Q_1^{n+1} &= J_1\overline{Q}_1^n + \overline{K}_1 Q_1^n = \overline{Q}_3^n\overline{Q}_1^n Q_0^n + Q_1^n\overline{Q}_0^n \\
Q_2^{n+1} &= J_2\overline{Q}_2^n + \overline{K}_2 Q_2^n = \overline{Q}_2^n Q_1^n Q_0^n + Q_2^n\,\overline{Q_1^n Q_0^n} \\
Q_3^{n+1} &= J_3\overline{Q}_3^n + \overline{K}_3 Q_3^n = \overline{Q}_3^n Q_2^n Q_1^n Q_0^n + Q_3^n\overline{Q}_0^n
\end{aligned}\right\} \qquad (9.4.7)$$

(3) 根据状态方程和输出方程,进行计算,列出该时序电路的状态表,画出状态图或时序图。

设初态为 $Q_3Q_2Q_1Q_0 = \mathbf{0000}$,代入状态方程进行计算,得状态转换表如表 9.4.3所示。

表 9.4.3　同步十进制加法计数器状态转换表

计数脉冲序号	现　态				次　态			
	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**1**
1	**0**	**0**	**0**	**1**	**0**	**0**	**1**	**0**
2	**0**	**0**	**1**	**0**	**0**	**0**	**1**	**1**
3	**0**	**0**	**1**	**1**	**0**	**1**	**0**	**0**
4	**0**	**1**	**0**	**0**	**0**	**1**	**0**	**1**
5	**0**	**1**	**0**	**1**	**0**	**1**	**1**	**0**

续表

计数脉冲序号	现态				次态			
	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
6	**0**	**1**	**1**	**0**	**0**	**1**	**1**	**1**
7	**0**	**1**	**1**	**1**	**1**	**0**	**0**	**0**
8	**1**	**0**	**0**	**0**	**1**	**0**	**0**	**1**
9	**1**	**0**	**0**	**1**	**0**	**0**	**0**	**0**

由状态表可得状态图如图 9.4.10 所示。

(4) 检查电路能否自启动。

由于电路中有 4 个触发器,它们的状态组合共有 16 种。而在 8421 BCD 码计数器中只用了 10 种,称为有效状态。其余 6 种状态称为无效状态。

当由于某种原因,使计数器进入无效状态时,如果能在时钟信号作用下,最终进入有效状态,我们就称该电路具有自启动能力。

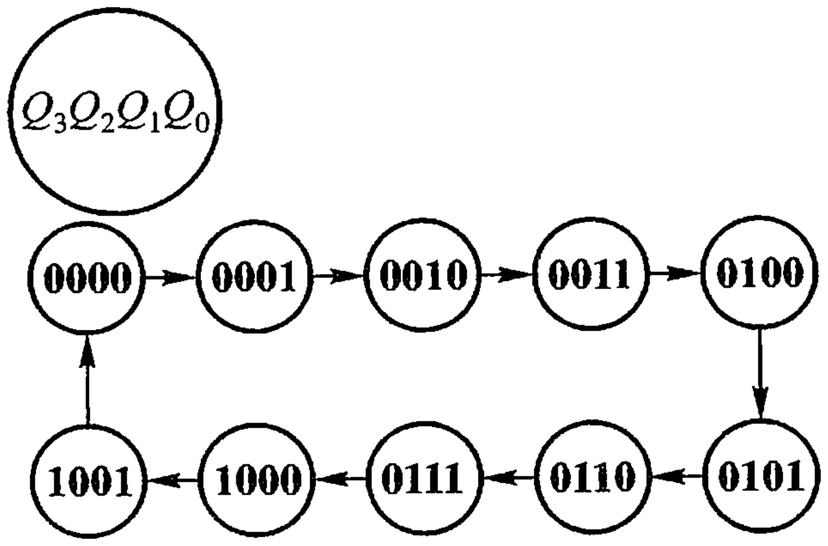


图 9.4.10 同步十进制加法计数器状态图

根据各触发器的状态方程可分别求出 6 种无效状态下的次态,得到完整的状态转换图如图 9.4.11 所示。可见,该计数器能够自启动。

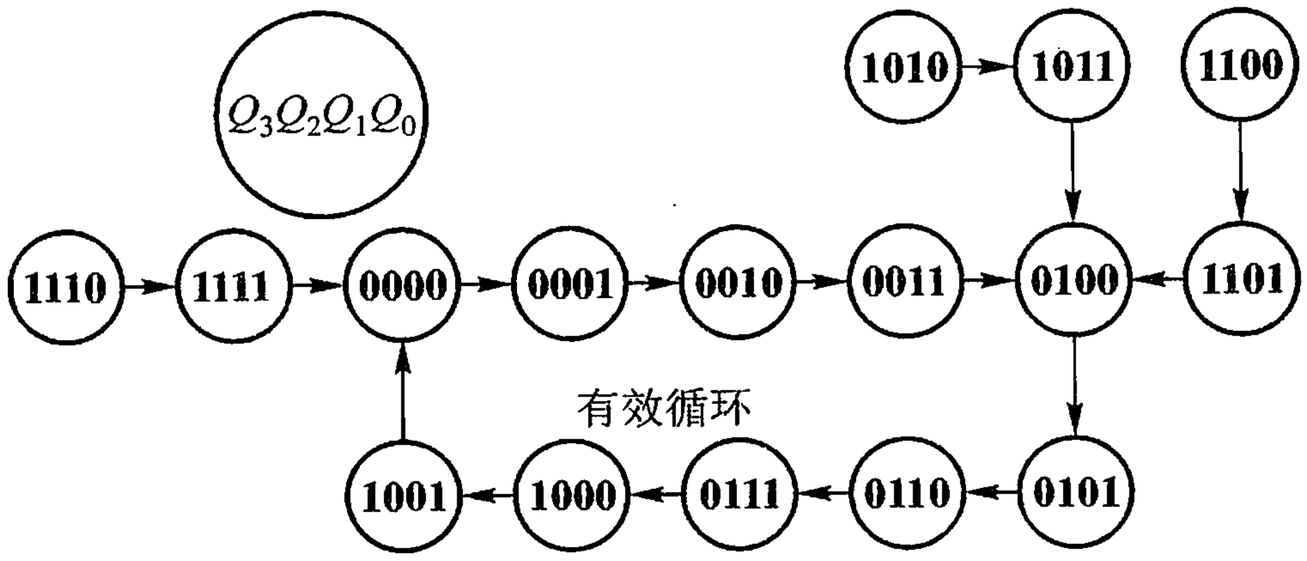


图 9.4.11 同步十进制加法计数器完整的状态图

可以看出,图 9.4.11 是一个 8421 BCD 码同步十进制加法计数器,且能自启动。

2. 8421 BCD 码异步十进制加法计数器

图 9.4.12 所示为 8421 BCD 码异步十进制加法计数器的逻辑图。下面按照时序逻辑电路的分析方法来分析其工作原理。

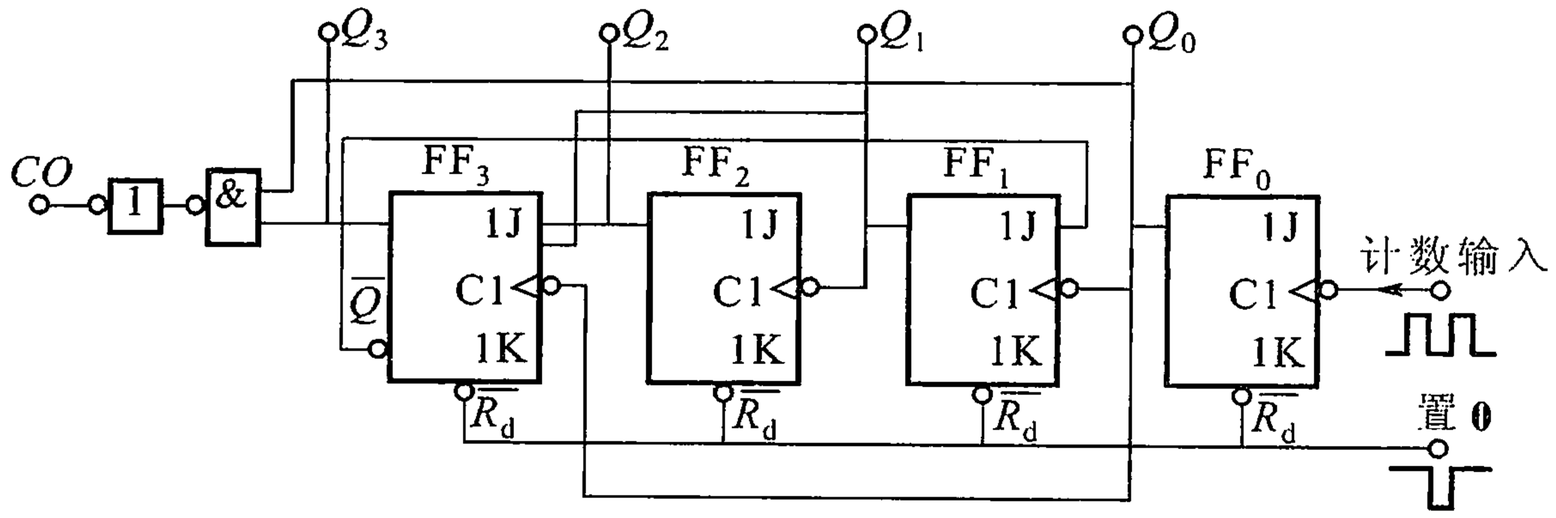


图 9.4.12　8421 BCD 码异步十进制加法计数器逻辑图

（1）由逻辑图写出下列各逻辑方程式：

① 各触发器的时钟方程

本电路为异步电路，各触发器的时钟不一致，需要写出时钟方程。由逻辑图可得时钟方程为：

$CP_0 = CP$　（时钟脉冲源的下降沿触发。）

$CP_1 = Q_0$　（当 FF_0 的 Q_0 由 **1**→**0** 时，Q_1 才可能改变状态。）

$CP_2 = Q_1$　（当 FF_1 的 Q_1 由 **1**→**0** 时，Q_2 才可能改变状态。）

$CP_3 = Q_0$　（当 FF_0 的 Q_0 由 **1**→**0** 时，Q_3 才可能改变状态。）

② 时序电路的输出方程

由逻辑图知，电路有一个输出端，可写出输出方程如下：

$$CO = \overline{\overline{Q_3 Q_0}} = Q_3 Q_0$$

③ 各触发器的驱动方程

由逻辑图可写出各触发器的驱动方程如下：

$$\left.\begin{aligned} J_0 &= K_0 = \mathbf{1} \\ J_1 &= \overline{Q}_3, \quad K_1 = \mathbf{1} \\ J_2 &= K_2 = \mathbf{1} \\ J_3 &= Q_2 Q_1, \quad K_3 = \mathbf{1} \end{aligned}\right\} \tag{9.4.8}$$

（2）将驱动方程代入相应触发器的特性方程，求得时序逻辑电路的状态方程。

将式(9.4.8)代入 $J-K$ 触发器的特性方程，可得该计数器各触发器的状态方程分别为：

$$\left.\begin{aligned}
Q_0^{n+1} &= J_0\,\overline{Q_0^n} + \overline{K_0}Q_0^n = \overline{Q_0^n} && (CP\text{ 由}\mathbf{1}\rightarrow\mathbf{0}\text{ 时此式有效})\\
Q_1^{n+1} &= J_1\,\overline{Q_1^n} + \overline{K_1}Q_1^n = \overline{Q_3^nQ_1^n} && (Q_0\text{ 由}\mathbf{1}\rightarrow\mathbf{0}\text{ 时此式有效})\\
Q_2^{n+1} &= J_2\,\overline{Q_2^n} + \overline{K_2}Q_2^n = \overline{Q_2^n} && (Q_1\text{ 由}\mathbf{1}\rightarrow\mathbf{0}\text{ 时此式有效})\\
Q_3^{n+1} &= J_3\,\overline{Q_3^n} + \overline{K_3}Q_3^n = Q_2^nQ_1^n\,\overline{Q_3^n} && (Q_0\text{ 由}\mathbf{1}\rightarrow\mathbf{0}\text{ 时此式有效})
\end{aligned}\right\} \tag{9.4.9}$$

(3) 根据状态方程和输出方程,进行计算,列出该时序电路的状态表,画出状态图或时序图。

设初态为 $Q_3Q_2Q_1Q_0 = \mathbf{0000}$,代入状态方程进行计算,得状态转换表如表9.4.4所示。

表 9.4.4 8421 BCD 码异步十进制加法计数器状态转换表

计数脉冲序号	现态				次态				时钟脉冲				输出
	Q_3^n	Q_2^n	Q_1^n	Q_0^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}	CP_3	CP_2	CP_1	CP_0	CO
0	0	0	0	0	0	0	0	1	0	0	0	↓	0
1	0	0	0	1	0	0	1	0	↓	0	↓	↓	0
2	0	0	1	0	0	0	1	1	0	0	0	↓	0
3	0	0	1	1	0	1	0	0	↓	↓	↓	↓	0
4	0	1	0	0	0	1	0	1	0	0	0	↓	0
5	0	1	0	1	0	1	1	0	↓	0	↓	↓	0
6	0	1	1	0	0	1	1	1	0	0	0	↓	0
7	0	1	1	1	1	0	0	0	↓	↓	↓	↓	0
8	1	0	0	0	1	0	0	1	0	0	0	↓	0
9	1	0	0	1	0	0	0	0	↓	0	↓	↓	1

对于异步电路,由于时钟脉冲到来时,并不是每一个触发器都有时钟信号,因此,在画状态表时要加上时钟一栏。

电路的工作波形如图 9.4.13 所示。

由状态转换表和工作波形图可知,该电路为 8421 BCD 码异步十进制加法计数器,且在计数满时还有进位信号。

电路能否自启动请读者自行分析。

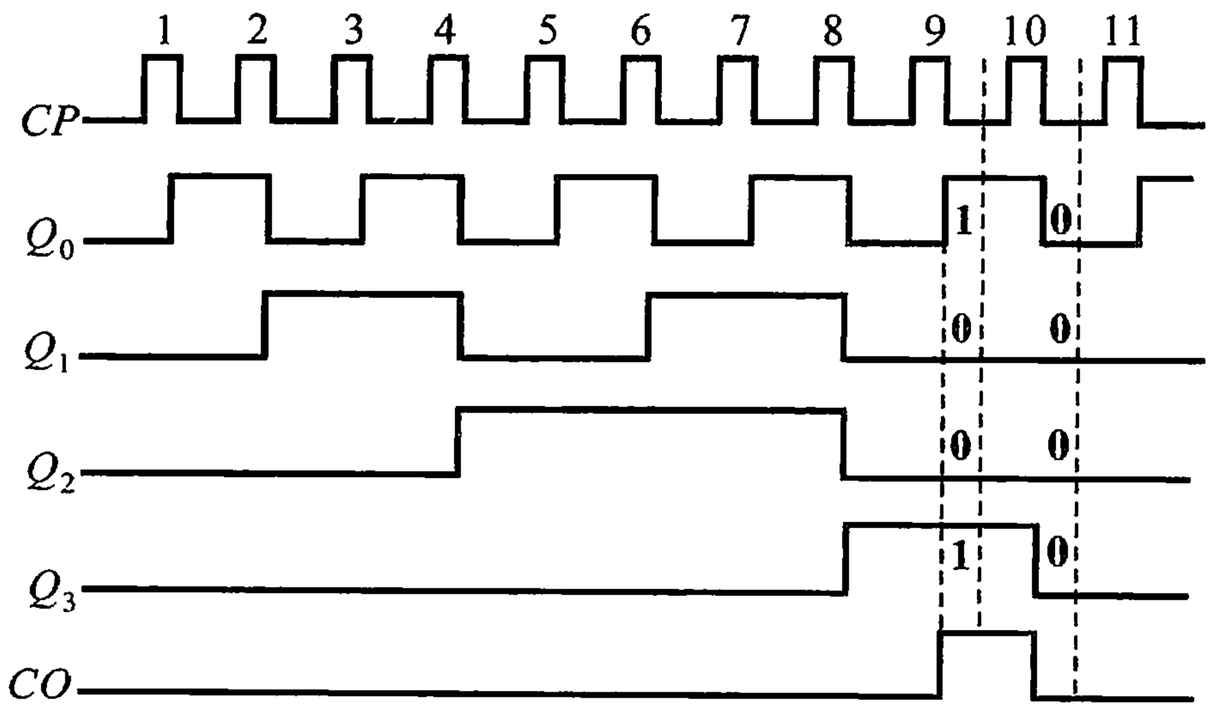


图 9.4.13　8421 BCD 码异步十进制加法计数器工作波形

9.4.3　中规模集成计数器的功能分析与扩展

目前，由 TTL 和 MOS 电路构成的中规模集成计数器品种繁多，应用非常广泛。它们与前述小规模集成计数器一样也分异步、同步两大类，其中也有可逆与不可逆之分，计数容量也有多种。除此之外，还具有置数功能，有同步置数、异步置数、同步清零、异步清零之分。总之，这些计数器功能比较完善，还可以自行扩展，通用性强。利用它们的级联可以很方便地接成任意（整数）进制计数器。这里，通过几个基本集成计数器逻辑图的介绍，以掌握它们的逻辑功能和功能扩展方法。

1. 异步加法计数器

按照图 9.4.12 所示基本结构制成的中规模加法计数器有 7490、74290 等几种，它们的内部逻辑图如图 9.4.14 所示。

（1）电路结构

图 9.4.14 所示电路由 4 个 $J-K$ 触发器和两个**与非**门组成。后者用来设置两个置 **0** 输入端 $R_{0(1)}$、$R_{0(2)}$ 和两个置 9 输入端 $S_{9(1)}$、$S_{9(2)}$。为了增加使用的灵活性，FF_1 和 FF_3 的 CP 端没有与 Q_0 端接在一起，而是引出一个单独的输入端 CP_1。这样，在图9.4.14中就明显具有如下两个独立的计数单元。

① 第一个计数单元由触发器 FF_0 构成，以 CP_0 为计数输入端，Q_0 为输出端，构成二进制加法计数器（2 分频器）；

② 第二个计数单元由触发器 FF_1、FF_2 和 FF_3 组成，以 CP_1 为计数输入端，Q_3 为输出端，构成五进制加法计数器（5 分频器）。

如将 CP_1 接至 Q_0，以 CP_0 为计数输入端，Q_3 为输出端，则构成十进制加法计数器（10 分频器）。

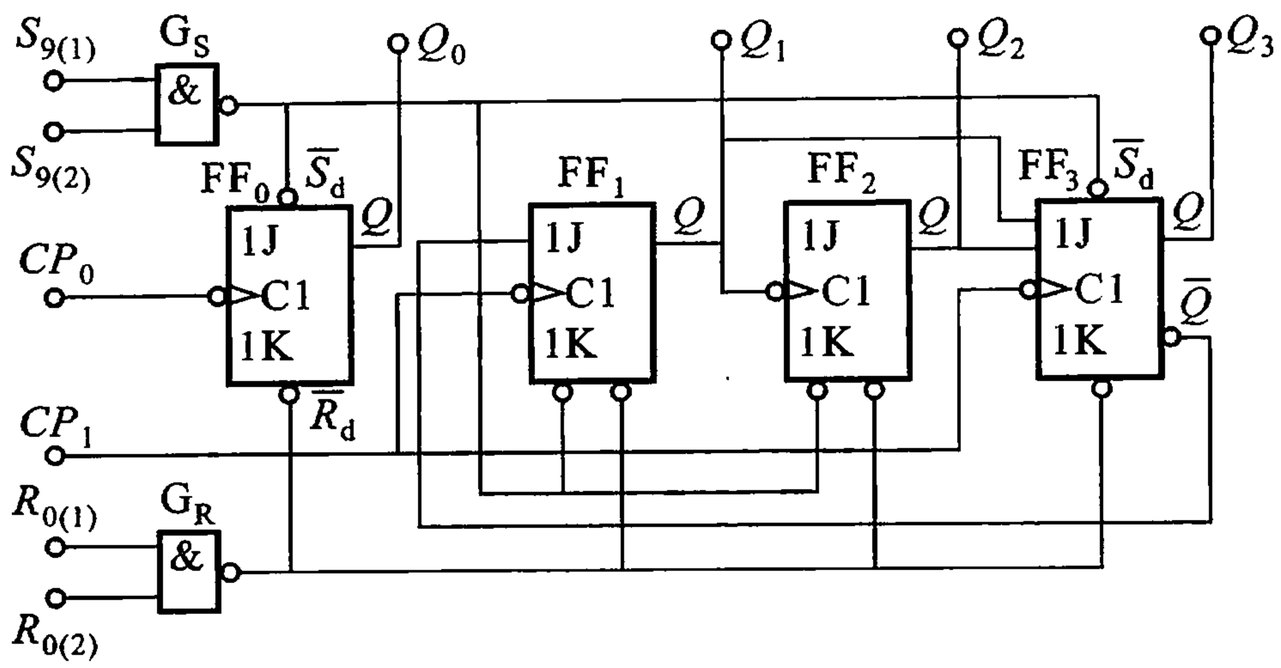


图 9.4.14 中规模集成异步二－五－十进制加法计数器
(7490)逻辑图

(2) 逻辑功能分析

7490 的逻辑功能如表 9.4.5 所示。

① 异步置 **0**（输出 $Q_3Q_2Q_1Q_0 =$ **0000**）

当 $R_{0(1)}$、$R_{0(2)}$ 全接高电平，$S_{9(1)}$、$S_{9(2)}$ 中有低电平时，通过与非门 G_R 使各触发器 $\overline{R}_d$ 端获得一个低电平信号，使各触发器置 **0**，实现置 **0** 功能。这种只需置 **0** 信号而毋需与 *CP* 脉冲同步的清零方式称为异步清零或异步置 **0**。

表 9.4.5 7490 逻辑功能表

CP	输 入				输 出			
	$R_{0(1)}$	$R_{0(2)}$	$S_{9(1)}$	$S_{9(2)}$	Q_3	Q_2	Q_1	Q_0
×	**1**	**1**	**0**	×	**0**	**0**	**0**	**0**
	1	**1**	×	**0**	**0**	**0**	**0**	**0**
	0	×	**1**	**1**	**1**	**0**	**0**	**1**
	×	**0**			**1**	**0**	**0**	**1**
↓	×	**0**	×	**0**	加法计数			
	0	×	**0**	×				
	0	×	×	**0**				
	×	**0**	**0**	×				

② 异步置 9（输出 $Q_3Q_2Q_1Q_0 =$ **1001**）

当 $S_{9(1)}$、$S_{9(2)}$ 全为高电平，$R_{0(1)}$、$R_{0(2)}$ 中有低电平时，与非门 G_S 输出的低电平加到 FF_0、FF_3 的 $\overline{S}_d$ 端及触发器 FF_1、FF_3 的 $\overline{R}_d$ 端使输出 $Q_3Q_2Q_1Q_0 =$ **1001**，实

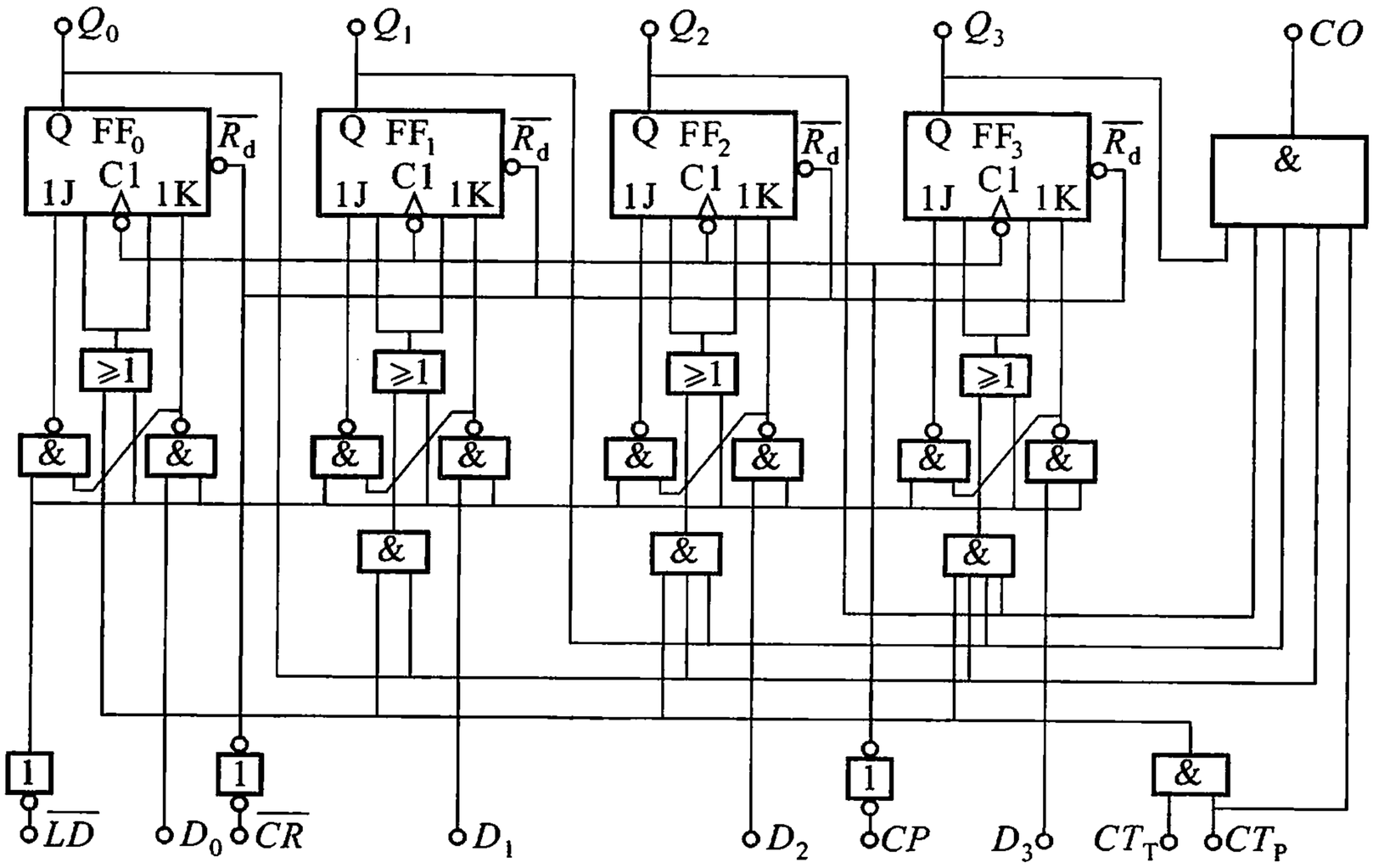
现了置 9 功能。这种只需置数信号而毋需与 CP 脉冲同步的置数方式称为异步置数。

③ 计数

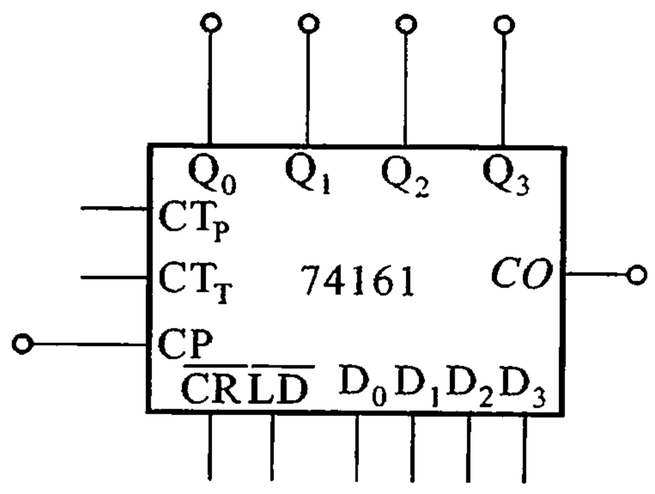
当 $R_{0(1)}$、$R_{0(2)}$ 及 $S_{9(1)}$、$S_{9(2)}$ 输入中有低电平，使与非门 G_S 和 G_R 输出全为高电平时，各触发器执行 $J-K$ 触发器逻辑功能，电路实行二－五－十进制加法计数。

2. 中规模集成同步二进制可预置加法计数器

图 9.4.15(a)所示为中规模集成同步二进制可预置加法计数器 74161 的逻辑图，图(b)所示为其代表符号。CP 为计数脉冲输入端，$\overline{CR}$为清零(复位)信号



(a)



(b)

图 9.4.15　中规模集成同步二进制可预置加法计数器 74161

(a) 逻辑图　　(b) 代表符号

输入端，$\overline{LD}$为置数控制端。$D_0 \sim D_3$ 为欲置数据输入端，CT_T、CT_P 为计数器工作状态控制端(使能端)，CO 为进位信号输出端。74161 由 4 个主从 $J-K$ 触发器和若干控制门构成。

由表 9.4.6 所示的 74161 的功能表可知，它具有如下功能。

表 9.4.6 74161 功能表

输入									输出			
CP	$\overline{CR}$	$\overline{LD}$	CT_T	CT_P	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3
×	**0**	×	×	×	×	×	×	×	**0**	**0**	**0**	**0**
↑	**1**	**0**	×	×	D_0	D_1	D_2	D_3	D_0	D_1	D_2	D_3
×	**1**	**1**	**0**	×	×	×	×	×	保持			
×	**1**	**1**	×	**0**	×	×	×	×	保持			
↑	**1**	**1**	**1**	**1**	×	×	×	×	加法计数			

(1) 异步清零

当$\overline{CR} = \mathbf{0}$ 时，即可对计数器清零。

(2) 同步预置

当$\overline{LD} = \mathbf{0}$、$\overline{CR} = \mathbf{1}$ 时，在 CP 上升沿作用下能将 $D_0D_1D_2D_3$ 数码置入计数器中。这种除要求有效置数信号外还需要由时钟脉冲控制的置数方式称为同步置数。

(3) 保持

当$\overline{LD} = \overline{CR} = \mathbf{1}$，只要 CT_T、CT_P 中有一个是低电平，就能使 74161 中各触发器的 $J = K = \mathbf{0}$，因此，$Q^{n+1} = Q^n$。计数器无论有无计数脉冲输至 CP 端，其输出状态均不改变。

(4) 计数

当$\overline{LD} = \overline{CR} = CT_T = CT_P = \mathbf{1}$ 时，电路就成了二进制同步加法计数器。

3. 中规模集成 BCD 码十进制同步可逆计数器 74192

图 9.4.16 所示为中规模集成 BCD 码十进制同步可预置双时钟输入式可逆计数器 74192 的逻辑图。图中，CP^+ 是递增(加法)计数输入端，CP^- 是递减(减法)计数输入端，$\overline{CR}$为清零端，$\overline{LD}$为置数端。Q_{CC}为进位输出端，Q_{CB}为借位输出端，它们都是负脉冲输出。

74192 的功能见表 9.4.7，工作波形图如图 9.4.17 所示。

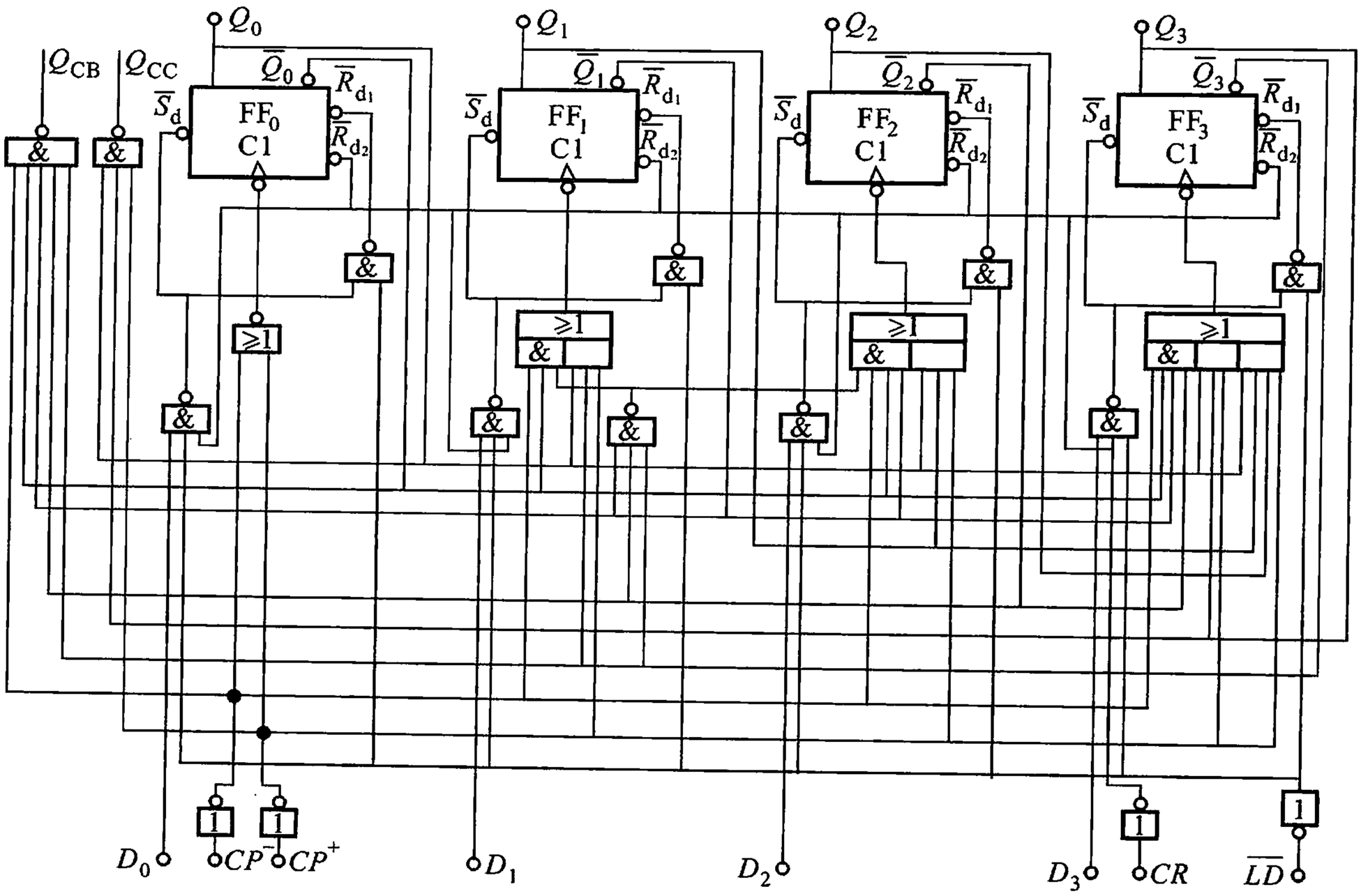


图 9.4.16　中规模集成 BCD 码十进制同步双时钟输入可逆计数器 74192 逻辑图

表 9.4.7　74192 功能表

输入								输出			
CR	$\overline{LD}$	CP^+	CP^-	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0
1	×	×	×	×	×	×	×	**0**	**0**	**0**	**0**
0	**0**	×	×	D_3	D_2	D_1	D_0	D_3	D_2	D_1	D_0
0	**1**	↑	**1**	×	×	×	×	递增计数			
0	**1**	**1**	↑	×	×	×	×	递减计数			
0	**1**	**1**	**1**	×	×	×	×	保　持			

由图 9.4.16 还可以看出，计数器中触发器的 J、K 端都是悬空的，即 $J = K = 1$，$FF_0 \sim FF_3$ 都接成 T'触发器。这时 $J-K$ 触发器的特征方程被简化为 $Q^{n+1} = \overline{Q}^n$，该式只有在时钟脉冲存在时才成立。若没有时钟脉冲，触发器则维持原态。对于这些受时钟脉冲控制的触发器的特征方程，可写为

$$Q^{n+1} = \overline{Q}^n CP + Q^n \overline{CP} \tag{9.4.10}$$

由此，可写出 74192 计数器中各触发器的特征方程，分别为

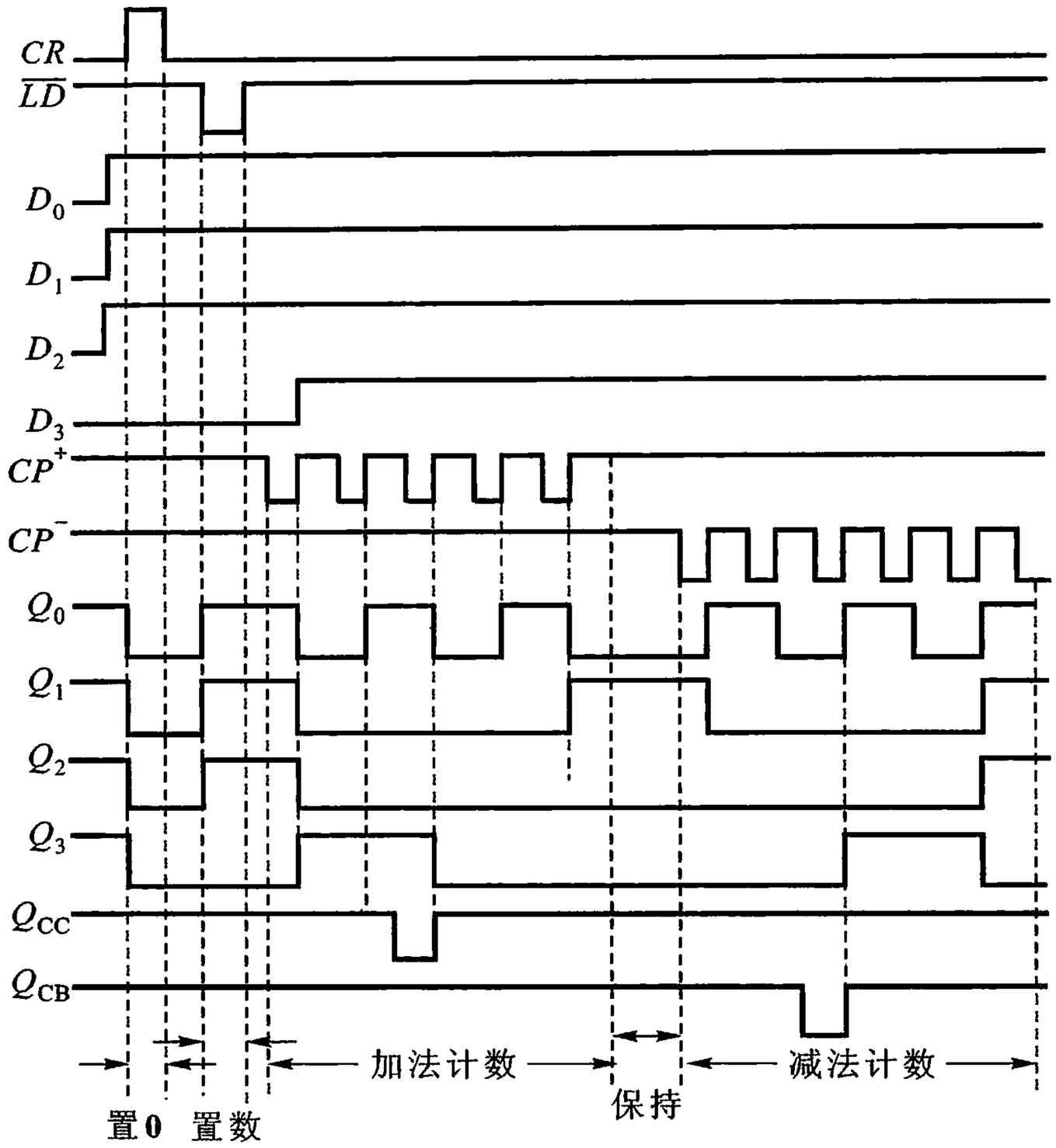


图 9.4.17 74192 工作波形示例

$$\left.\begin{aligned} Q_0^{n+1} &= \overline{Q}_0^n CP_0 + Q_0^n \overline{CP_0} \\ Q_1^{n+1} &= \overline{Q}_1^n CP_1 + Q_1^n \overline{CP_1} \\ Q_2^{n+1} &= \overline{Q}_2^n CP_2 + Q_2^n \overline{CP_2} \\ Q_3^{n+1} &= \overline{Q}_3^n CP_3 + Q_3^n \overline{CP_3} \end{aligned}\right\} \tag{9.4.11}$$

式(9.4.11)中,CP_0、CP_1、CP_2 和 CP_3 可由图 9.4.16 求得,它们分别为

$$\left.\begin{aligned} CP_0 &= \overline{CP^+} + \overline{CP^-} \\ CP_1 &= \overline{CP^+}\,\overline{Q}_3 Q_0 + \overline{CP^-}\,\overline{\overline{Q}_3\overline{Q}_2\overline{Q}_1\overline{Q}_0} \\ &= \overline{CP^+}\,\overline{Q}_3 Q_0 + \overline{CP^-}(Q_3 + Q_2 + Q_0)\overline{Q}_0 \\ CP_2 &= \overline{CP^+} Q_1 Q_0 + \overline{CP^-}\,\overline{\overline{Q}_3\overline{Q}_2\overline{Q}_1\overline{Q}_1\overline{Q}_0} \\ &= \overline{CP^+} Q_1 Q_0 + \overline{CP^-}(Q_3 + Q_2 + Q_1)\overline{Q}_1\overline{Q}_0 \\ CP_3 &= \overline{CP^+}(Q_2 Q_1 Q_0 + Q_3 Q_0) + \overline{CP^-}\overline{Q}_2\overline{Q}_1\overline{Q}_0 \end{aligned}\right\} \tag{9.4.12}$$

电路中进位输出和借位输出端的逻辑表达式，分别为

$$Q_{CC} = \overline{\overline{CP^+}Q_3Q_0} \tag{9.4.13}$$

$$Q_{CB} = \overline{\overline{CP^-}\overline{Q}_3\overline{Q}_2\overline{Q}_1\overline{Q}_0} \tag{9.4.14}$$

图 9.4.16 所示电路作可逆计数的工作过程如下：

（1）当 $CP^- = \mathbf{1}$、CP^+ 有计数脉冲输入时

设计数器的起始状态为 $Q_3Q_2Q_1Q_0 = \mathbf{0000}$，第一个计数脉冲上升沿时，由式（9.4.12）可得 $CP_0 = \overline{CP^+}$，而 $CP_1 = CP_2 = CP_3 = \mathbf{0}$，代入式（9.4.11）得电路次态为 $Q_3Q_2Q_1Q_0 = \mathbf{0001}$，再由式（9.4.13）和式（9.4.14）得 $Q_{CC} = \mathbf{1}$、$Q_{CB} = \mathbf{1}$，再将所得的新态 $Q_3Q_2Q_1Q_0 = \mathbf{0001}$ 作为现态，第二个计数脉冲上升沿时，运用式（9.4.11）~式（9.4.14）可得 $Q_3Q_2Q_1Q_0 = \mathbf{0010}$，$Q_{CC} = \mathbf{1}$、$Q_{CB} = \mathbf{1}$。依此类推，可知电路此时为递增（加法）计数，与功能表所示一致。

（2）当 $CP^+ = \mathbf{1}$、CP^- 有计数脉冲输入时

此时，式（9.4.12）中各 CP 表达式第一项均为 **0**，只有递减（减法）计数输入脉冲起作用，读者可作类同（1）中的分析方法得知电路此时作递减（减法）计数。

4. 集成计数器功能扩展

一般集成计数器芯片在计数进制上都只能做成应用最广的几种类型，如我们上面所介绍的二进制、十进制等。在需要其他任意 N 进制计数器时，一般有两种方法，一种是采用触发器和门电路设计构成所需电路，一种是采用集成计数器加少量外加电路扩展得到。

假定已有 M 进制计数器，需要得到 N 进制计数器。只要 $N < M$，则可使 M 进制计数器在计数过程中跳过多余的（$M - N$）个计数状态，即可获得 N 进制计数器。

跳过 $M - N$ 个状态的方法有两种：

（1）置零法：计数器从全 **0** 状态开始计数，经过 $N - 1$ 个状态以后，设法产生一个置零信号，使下一个状态为全 **0** 状态；

（2）置数法：在已有 N 进制的计数器的状态循环中，取任意一个状态为起始状态计数，经过 $N - 1$ 个状态以后，产生预置数信号。

置零法适用于有置零输入端的计数器。

对于有异步置零输入端的计数器，它的工作原理为：原 M 进制计数器从全 **0** 状态开始计数，接收到 N 个计数脉冲后电路进入 S_N 状态。如果将 S_N 状态译码产生一个置零信号加到计数器的异步置零输入端，则计数器将立刻返回到 S_0 状态，这样就可跳过 $M - N$ 个状态而得到 N 进制计数器。由于电路一进入 S_N 状态

后立刻又被置为 S_0 状态，因此在稳定的计数状态循环中不包括 S_N 状态。图 9.4.18为异步置零法原理示意图。

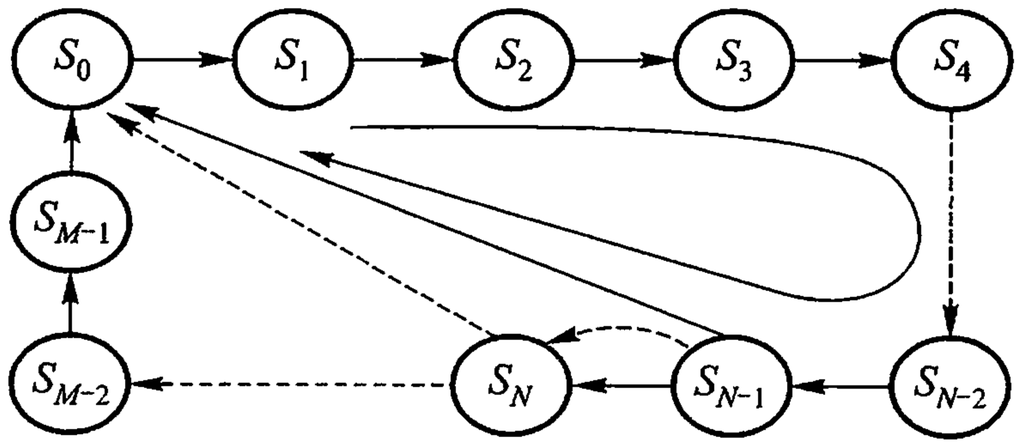


图 9.4.18 异步置零法原理示意图

对于有同步置零输入端的计数器，由于置零输入信号变为有效后计数器并不马上被置零，还需要等待下一个时钟信号到达后才能被置零，因此应该在 S_{N-1} 状态译码产生同步置零信号，N 进制计数器的所有状态都为稳定状态。

置数法适用于有预置数功能的计数器电路。其工作原理也和置零法类似，可分为异步置数和同步置数两种，只是其起始状态通过预置数得到。图 9.4.19 为同步置数法原理示意图，计数器预置数数据输入端的状态为 S_j，将 S_i 状态译码产生一个置数信号加到计数器的同步置数端，则计数器将从 S_i 状态跳到 S_j 状态，跳过 $M-N$ 个状态。

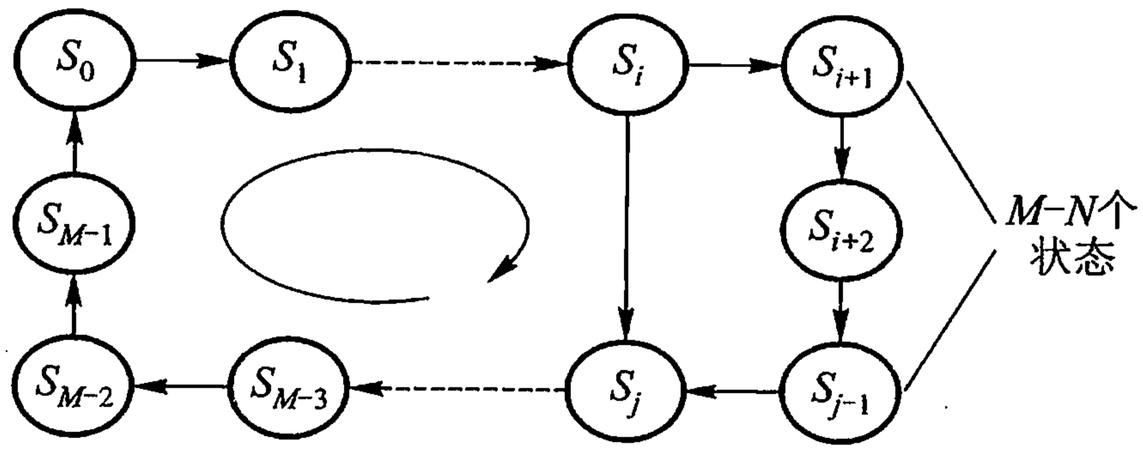
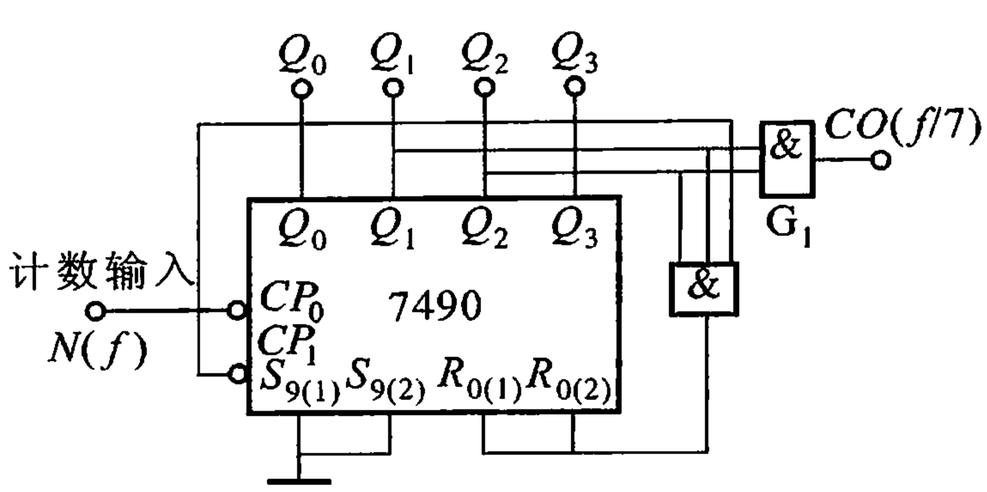


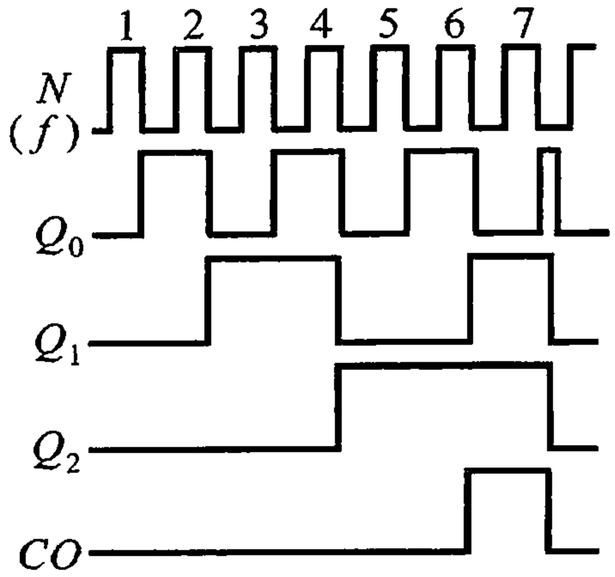
图 9.4.19 同步置数法原理示意图

例 9.4.1 试用 7490 构成七进制计数器

解 已知 7490 为异步十进制计数器，$M=10$，要求构成的七进制计数器 $N=7$，满足 $M>N$。可用反馈法使十进制计数器的状态跳过 $10-7=3$ 个无关状态即可构成七进制计数器。能实现上述跳跃的电路不止一种，现仍选用常用的 8421 BCD 码十进制计数器，即选择**0000 ~ 0110**等 7 个状态，跳越**0111 ~ 1001**等 3 个状态。其电路原理图如图 9.4.20(a)所示，其工作波形如图 9.4.20(b)所示。



(a)



(b)

图 9.4.20　用 7490 构成七进制计数器

(a) 电路原理图　　(b) 工作波形

应该指出，对于图 9.4.20 所示的一类的反馈复位电路，当第 N 个脉冲输入后，计数器进入了 S_N 状态。而 S_N 状态一旦出现，又立即使计数器置 **0**，脱离 S_N 状态。也就是说，计数器停留在 S_N 状态的时间即置 **0** 信号作用于计数器的时间是极其短暂的。一般地说，计数器中各触发器的负载情况及转换延迟时间不可能完全相同。这样，只要计数器中有一个触发器因转换延迟时间较短而首先翻转为 **0** 态，就会使所有触发器的置 **0** 信号立即消失，而那些转换较慢的触发器可能还来不及复位，由此将导致计数错误。这一缺点可用在反馈复位电路中加入一个复位信号锁存电路予以改进。这种改进电路如图 9.4.21 所示。图中，G_2、G_3 组成基本 $R-S$ 触发器，G_4 是为了置 **0**、置 **1** 信号配置对称而加入的反相器。其工作原理如下：

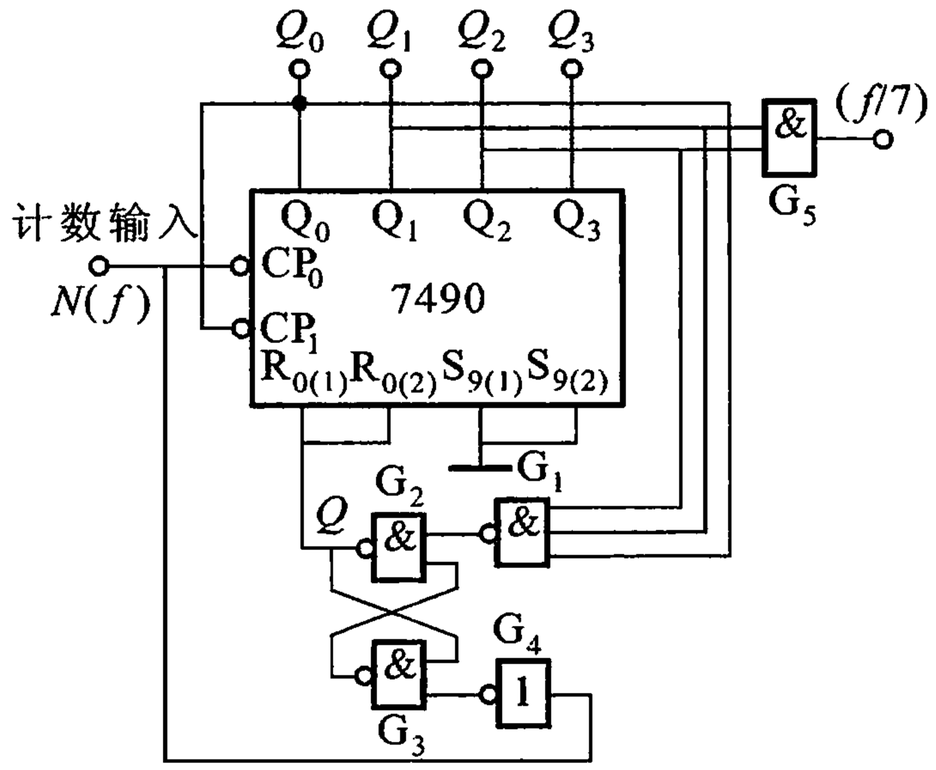


图 9.4.21　加入复位锁存电路提高复位可靠性

未计满 7 个脉冲以前，因 $S_{9(1)} = S_{9(2)} = \mathbf{0}$、$R_{0(1)} = R_{0(2)} = \mathbf{0}$，电路进行加法计数。当第 7 个计数脉冲下降沿到达后，电路进入**0111**状态。此时，门 G_1 给出的低电平信号使基本 $R-S$ 触发器的 $Q = \mathbf{1}$、$\overline{Q} = \mathbf{0}$，使 $R_{0(1)} = R_{0(2)} = \mathbf{1}$。由表 9.4.5可知，这种条件能使 7490 置 **0**（复位）。这时，即使门 G_1 给出的低电平马上消失，基本 $R-S$ 触发器的状态仍保持不变，使计数器的复位信号得以维持，直到计数脉冲回到高电平之后，基本 $R-S$ 触发器才被置 **0**（$Q = \mathbf{0}$），7490 的复位信号才消失。计数器复位信号的持续时间与计数脉冲低电平的持续时间相等，这就保证了计数器中各触发器有足够的复位时间。

例 9.4.2 试用 7490 构成 24 进制计数器

解 可用两片 7490 串联组成。当 $N = 24$ 时，要求个位“4”和十位“2”同时清 **0**，即要求两片 7490 的 $R_{0(1)}$、$R_{0(2)}$ 同时为高电平，图 9.4.22 所示为这种电路的接线图。

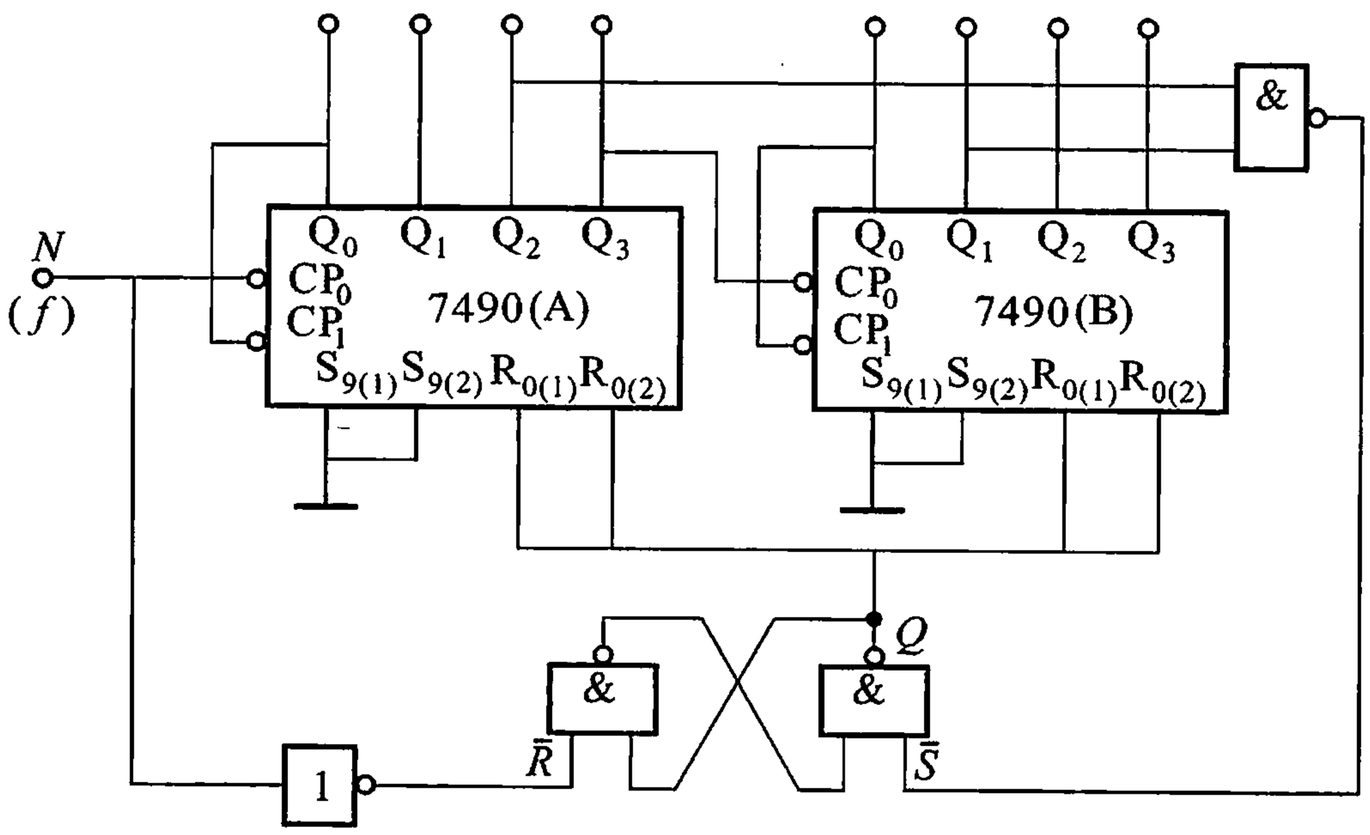


图 9.4.22 用 7490 构成 24 进制计数器

例 9.4.3 试用 74161 及**与非**门构成十进制加法计数器。

解 十进制加法计数器计数状态表可以在二进制加法计数器状态表的基础上跳越 6 种状态构成。可以取前 10 种为有效状态，也可以取后 10 种为有效状态，如表 9.4.8 所示。

由表 9.4.8 所示的两种取舍方案，可得到用 74161 构成十进制加法计数器的 3 种电路图如图 9.4.23 所示。图(a)中，以**0000**为计数初始状态，当第九个计数脉冲到达后，G_1 输出的低电平加到预置控制端，使 $\overline{LD} = \mathbf{0}$，作好了置数准备。待第十个计数脉冲的上升沿到达时，74161 将 $D_3D_2D_1D_0 = \mathbf{0000}$ 同步置入计数器，完成了一个计数周期。图(b)中，利用计数到 $N = 10$ 时，G_1 反馈的低电平使

74161 清零，完成一个计数周期。图(c)中，先对计数器置入**0110**并以此作为初态开始计数。当 $N=9$ 时，计数器输出为**1111**，使进位输出 $CO=\mathbf{1}$，经 G_1 反相后接预置控制端，使 $\overline{LD}=\mathbf{0}$。待第十个脉冲上升沿到达时，74161 即同步预置为初态(**0110**)，完成了一个计数周期。

表 9.4.8　十进制加法计数器计数状态表

计数 N	输出 Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	前10种为有效状态
1	0	0	0	1	
2	0	0	1	0	
3	0	0	1	1	
4	0	1	0	0	
5	0	1	0	1	
6	0	1	1	0	
7	0	1	1	1	
8	1	0	0	0	
9	1	0	0	1	
10	1	0	1	0	后6种为无效状态
11	1	0	1	1	
12	1	1	0	0	
13	1	1	0	1	
14	1	1	1	0	
15	1	1	1	1	

前6种为无效状态

后10种为有效状态

例 9.4.4　试用 74161 及少量与非门构成一个 1 ~ 24 循环($N=24$)的同步式计数(分频)器。

解　题意要求每次计数从 1 开始，且因为 $(24)_{10}=(\mathbf{11000})_2$，因此，要用两片 74161 才能构成 $N=24$ 的计数(分频)器。为构成同步式计数器，必须用使能控制端 CT_T、CT_P。只有低位片 A 有进位($CO_1=\mathbf{1}$)时，高位片 B 才能开始计数。利用反馈预置法实现 1 ~ 24 循环计数器，如图 9.4.24 所示。为使电路初态为

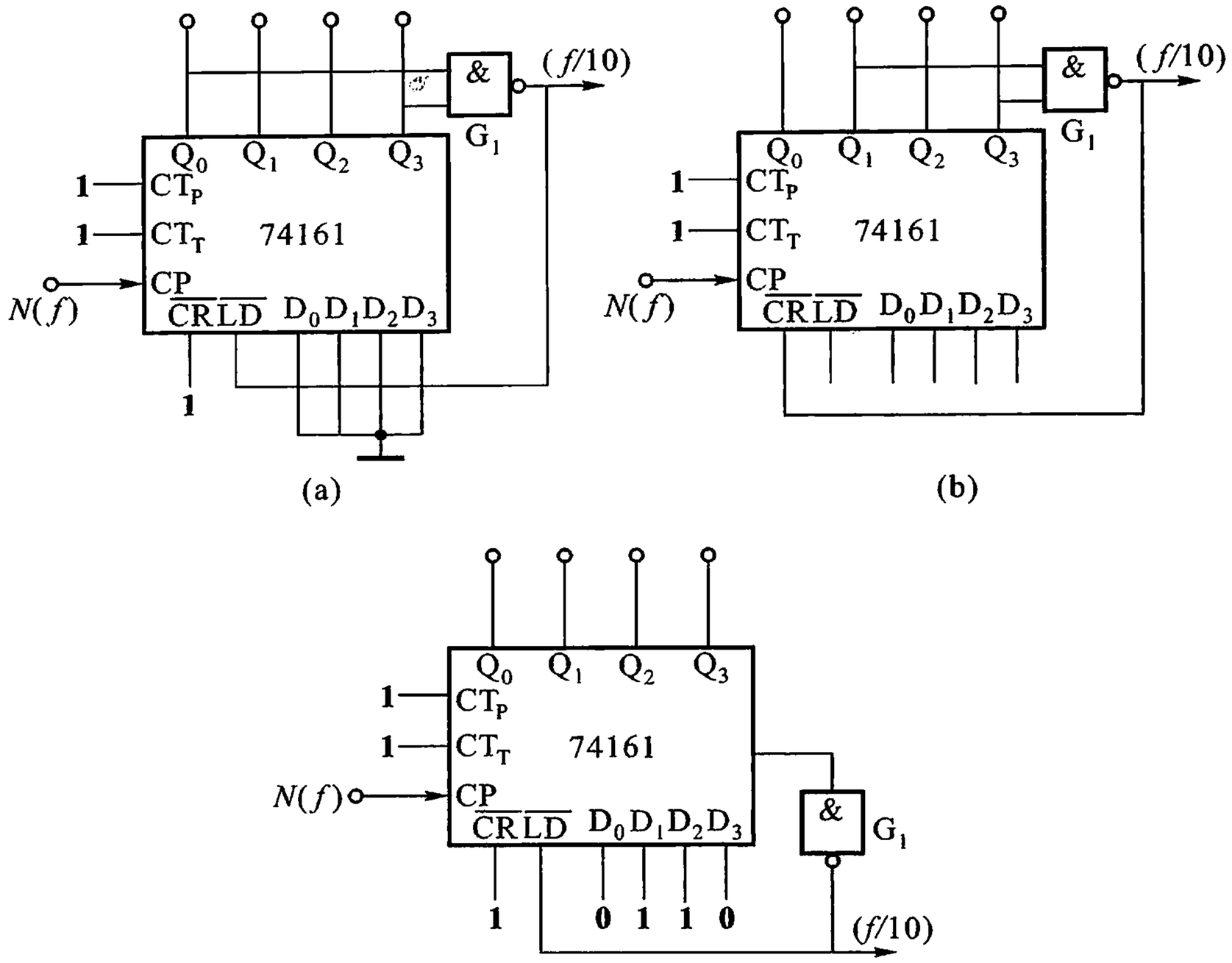


图 9.4.23 用 74161 构成十进制加法计数器

（a）取前 10 种计数状态 （b）取前 10 种计数状态 （c）取后 10 种计数状态

1，必须在开始循环计数前对低位片 A 进行同步预置。

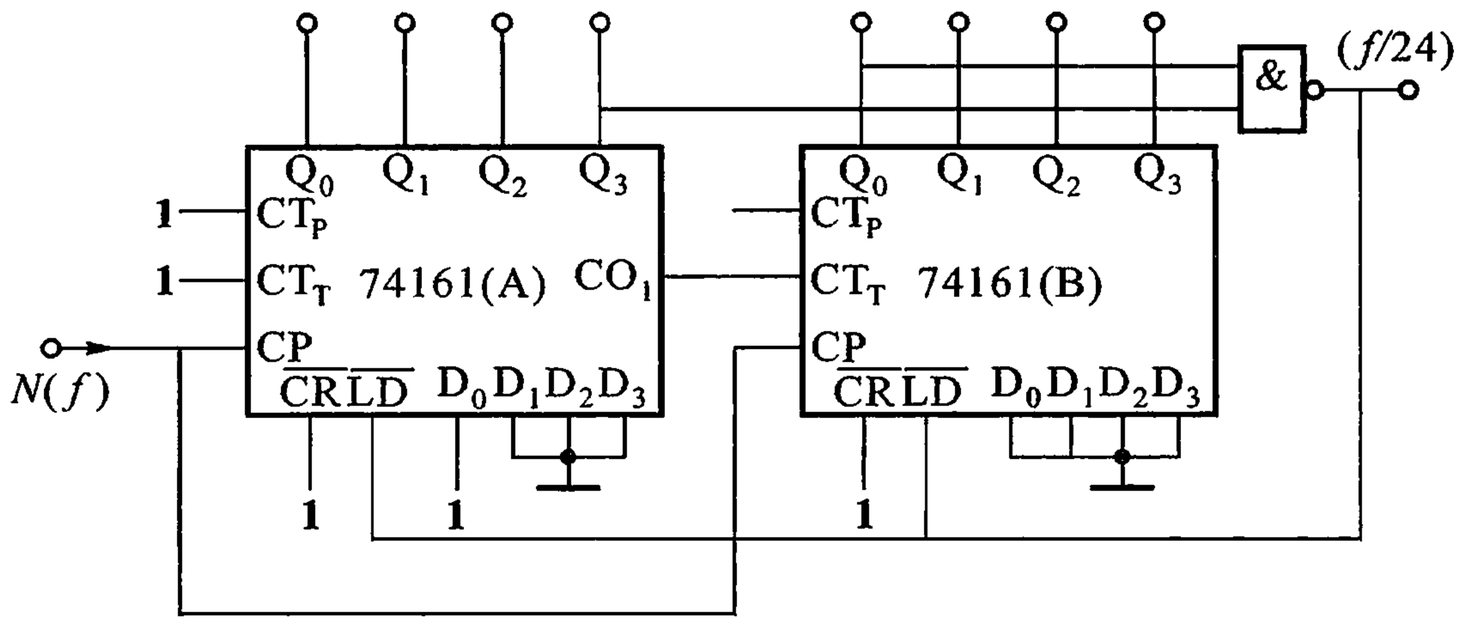


图 9.4.24 用 74161 构成 1 ~ 24 同步循环计数器



小结

1. 时序逻辑电路的输出状态不仅与当时的输入变量有关，而且还与系统前一时刻的状态有关。

2. 触发器是组成时序逻辑电路的基本存储单元，其逻辑功能可以用特性表或特征方程来表示。使用触发器时，除注意其逻辑功能外还要注意其状态变化时刻与 CP 脉冲 4 个不同阶段（高电平、低电平、上升沿、下降沿）的对应关系。

触发器按电路结构可分为基本触发器、同步触发器、主从结构触发器和边沿触发器等类型；按逻辑功能可分为 $R-S$ 触发器、$J-K$ 触发器、D 触发器和 T 触发器等类型。

主从结构的触发器抗干扰能力较弱。使用时要求时钟脉冲较窄，并要求输入信号不得在主触发器存储信号阶段（CP 高电平期间）变化；边沿触发器抗干扰能力较强，但使用这种触发器时，要求时钟脉冲边沿陡峭，其边沿时间不允许太长。

3. 就工作方式而言，时序逻辑电路可分为同步与异步两大类。它们的主要区别是：同步时序电路中所有触发器受同一脉冲（时钟脉冲）控制；异步时序电路中所有触发器则受不同的脉冲控制。同步时序电路的工作速度比异步时序电路的工作速度高。

时序逻辑电路的逻辑功能的表示方法常用的也有三种：逻辑表达式、真值表（状态转换表）和状态转换图。

分析时序逻辑电路的一般步骤：

（1）由逻辑图写出下列各逻辑方程式（各触发器的时钟方程、时序电路的输出方程和各触发器的驱动方程）；

（2）将驱动方程代入相应触发器的特性方程，求得时序逻辑电路的状态方程；

（3）根据状态方程和输出方程，进行计算，列出该时序电路的状态表，画出状态图或时序图；

（4）根据电路的状态表或状态图说明给定时序逻辑电路的逻辑功能。

4. 要想正确、灵活地使用中规模集成移位寄存器、计数器等数字部件，必须了解它们的逻辑功能、性能扩展方法及执行这些逻辑功能时所要求具备的条件等。

使用 M 进制集成计数器加少量外部电路可接成 $N(N<M)$ 进制计数器，方法有置零法和置数法两种。

习题与思考题

9.1 由或门组成的基本 $R-S$ 触发器如图 P9.1 所示，试分析其逻辑功能并总结出特性表。

9.2 在图 P9.1 所示的基本 $R-S$ 触发器中，加上如图 P9.2 所示的输入信号，试绘出 Q 和 $\overline{Q}$ 的波形。

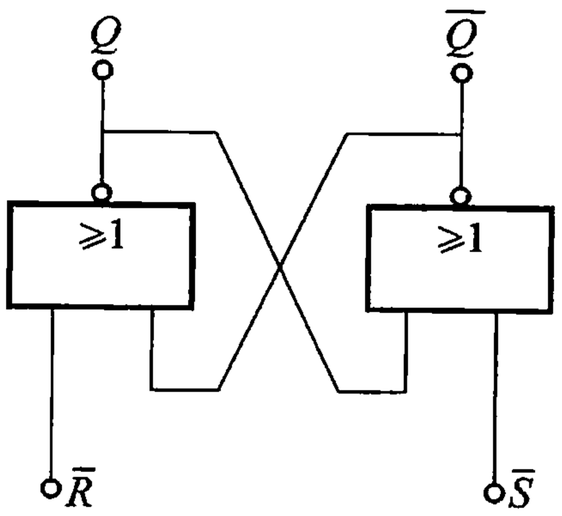


图 P9.1

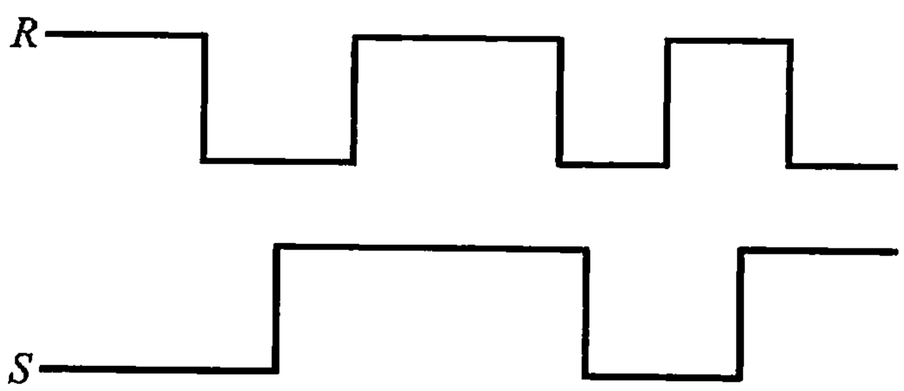


图 P9.2

9.3 在图 P9.1 所示的基本 $R-S$ 触发器中，设初态 $Q=1$。若输入信号波形如图 P9.3 所示，在不计门延迟的情况下，试画出 Q 端的波形。

9.4 图 P9.4 所示为一个无反跳开关。试说明其 Q（或 $\overline{Q}$）端为什么能消除由于手动开关 S 倒向 A（或 B）时的机械弹跳使触点多次接触而造成的多余脉冲。

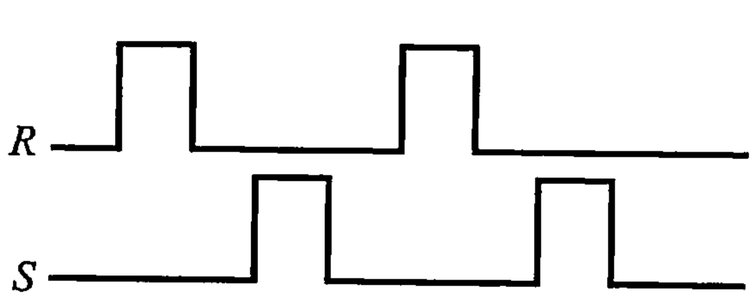


图 P9.3

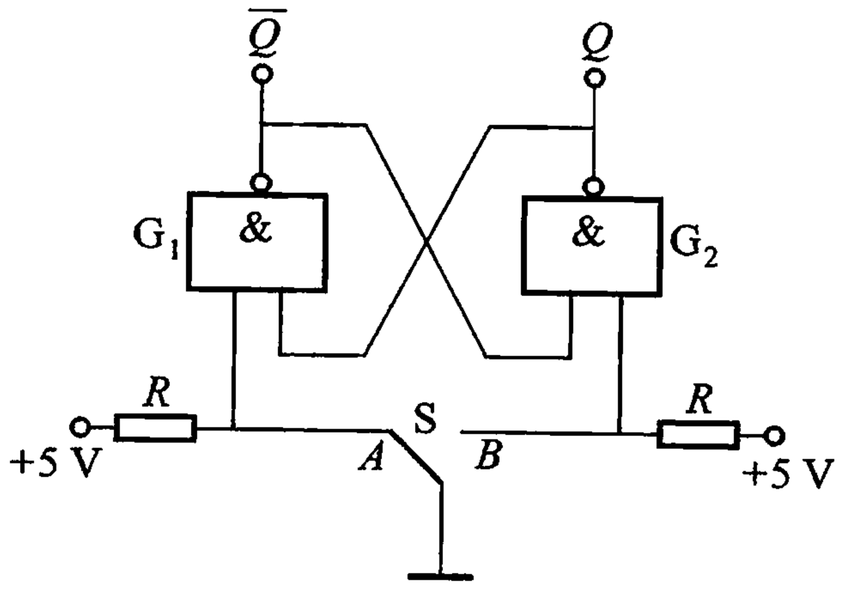


图 P9.4

9.5 设同步 $R-S$ 触发器起始状态为 $Q=0$，R、S、CP 端的输入信号如图 P9.5 所示，试绘出输出端 Q 和 $\overline{Q}$ 的波形。

9.6 设主从 $J-K$ 触发器的 CP、J、K 信号波形如图 P9.6 所示，设起始状态

为 $Q=0$,试绘出 Q 的波形。

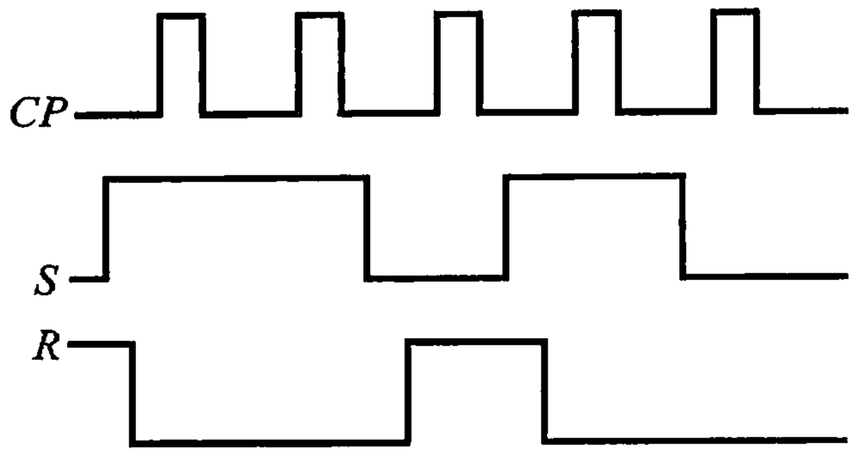


图 P9.5

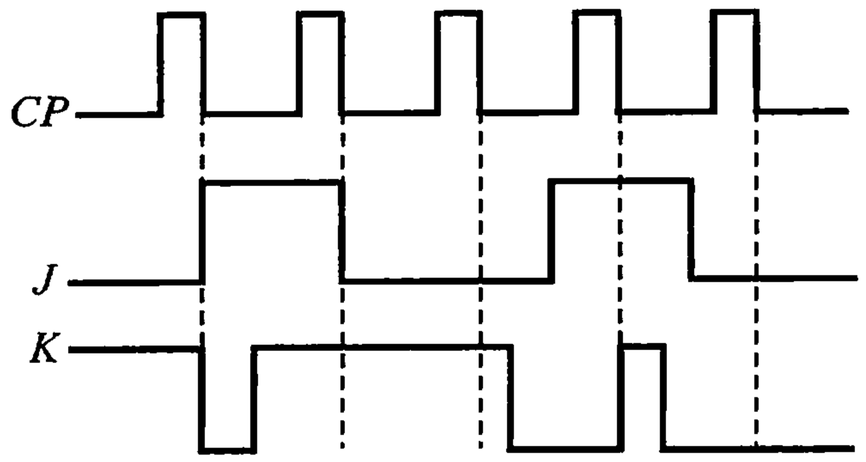


图 P9.6

9.7　维持阻塞 D 触发器的 CP、D、$\overline{S}_d$ 及 $\overline{R}_d$ 信号波形如图 P9.7 所示,试绘出输出信号 Q 的波形。

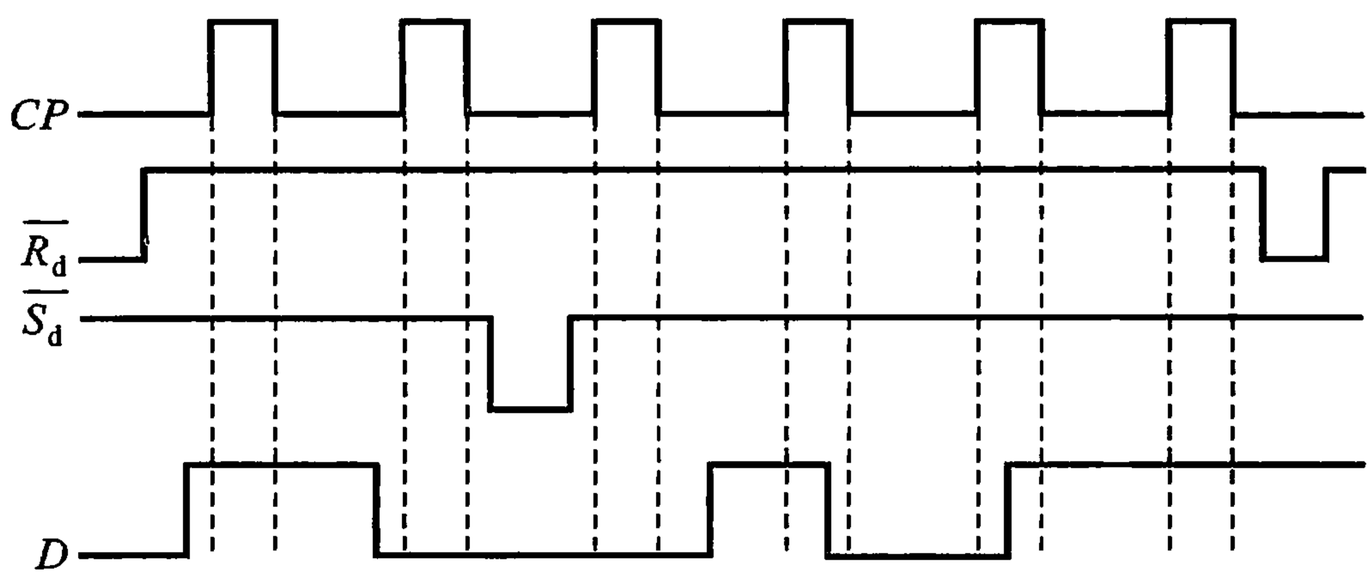


图 P9.7

9.8　试画出下列各电路在时钟脉冲 CP 等信号作用下的输出波形,设触发器的初态均为**0**,电路及时钟波形参看图 P9.8。

9.9　试用 $J-K$ 触发器构成一个 4 位单拍接收方式的寄存器和一个左移移位寄存器。

9.10　试利用中规模集成双向移位寄存器 74194 将并行数码 D_3、D_2、D_1、D_0 转换为串行数码 $D_3D_2D_1D_0$,简述其转换步骤。

9.11　试用 D 触发器构成一个异步八进制减法计数器。

9.12　由 $J-K$ 触发器构成的同步计数器如图 P9.12 所示,试指出它是一个几进制计数器并绘出工作波形图。

9.13　试分析如图 P9.13 所示的数字逻辑部件的性质,并绘出 Q_0、Q_1 的波形(设触发器的初始状态为**0**态)。

9.14　异步二进制可逆计数器如图 P9.14 所示,X 为加/减控制端。试以 FF_1 和 FF_2 之间的控制电路为例说明其可逆计数的工作原理。

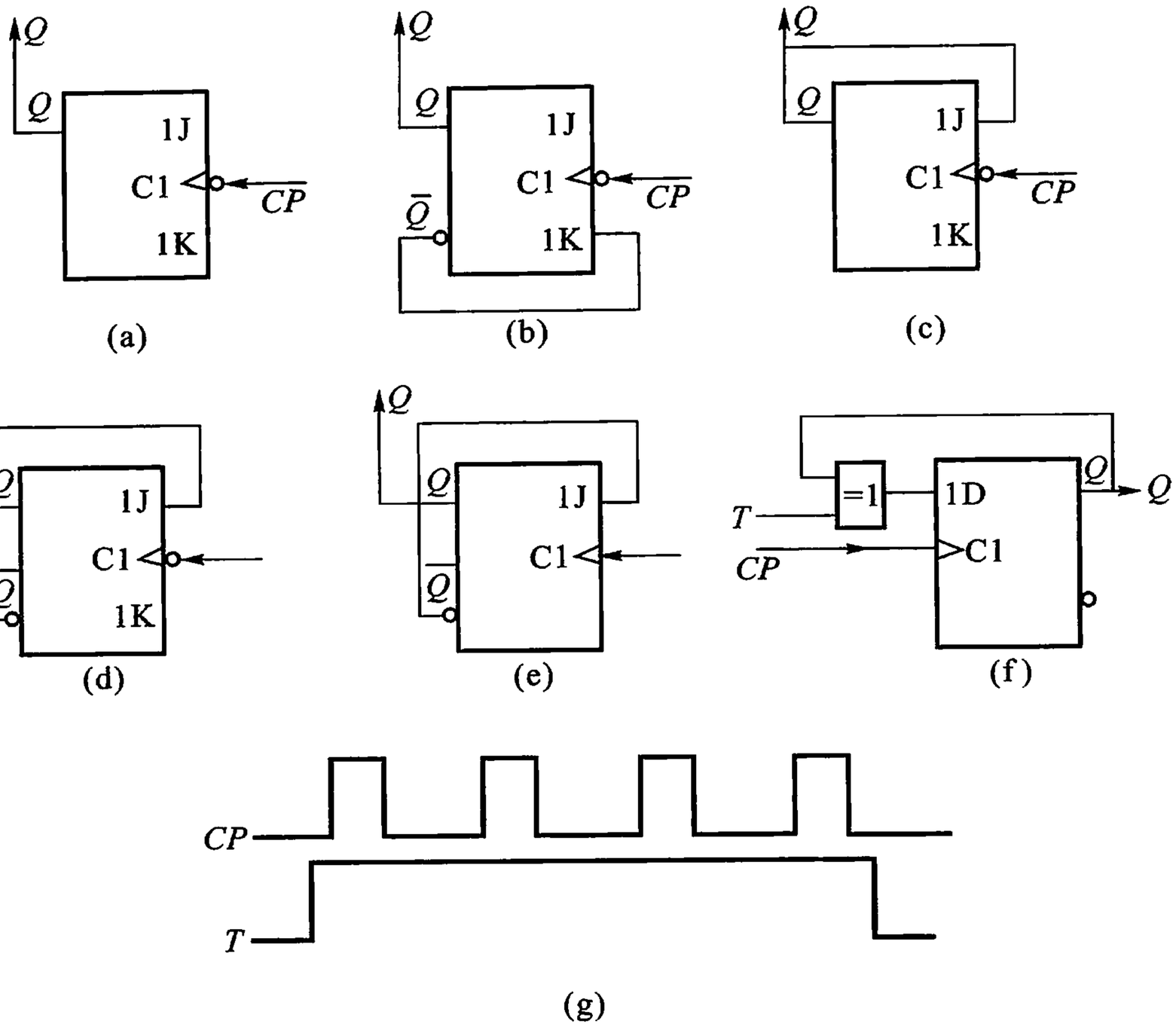


图 P9.8

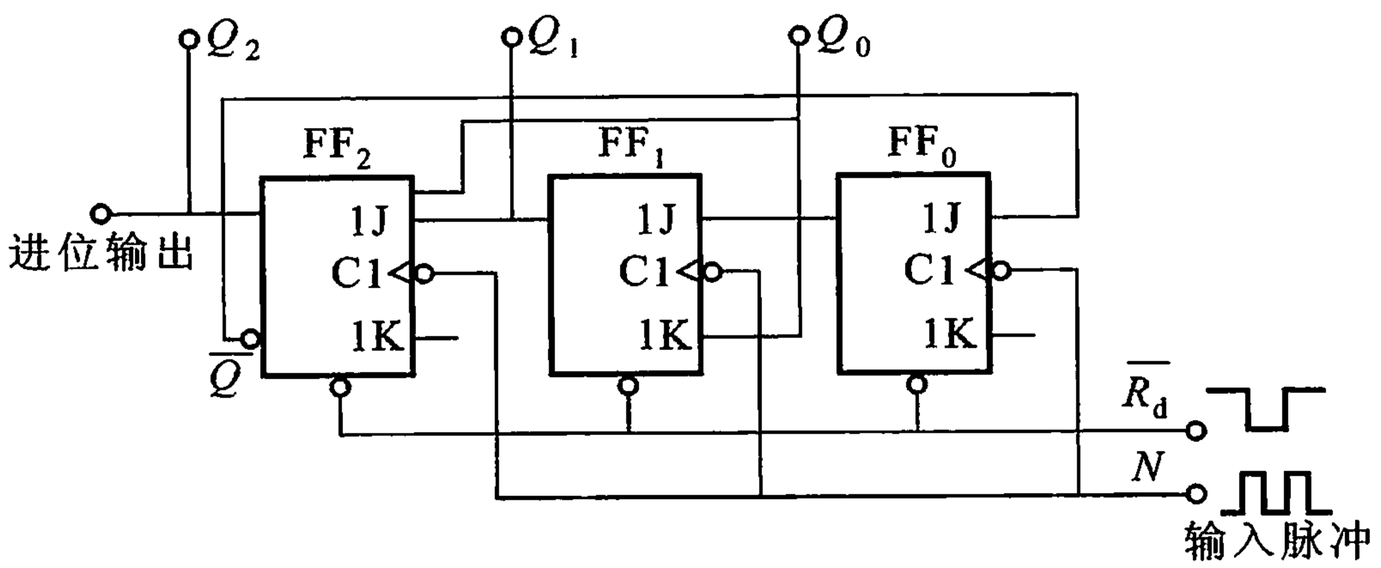


图 P9.12

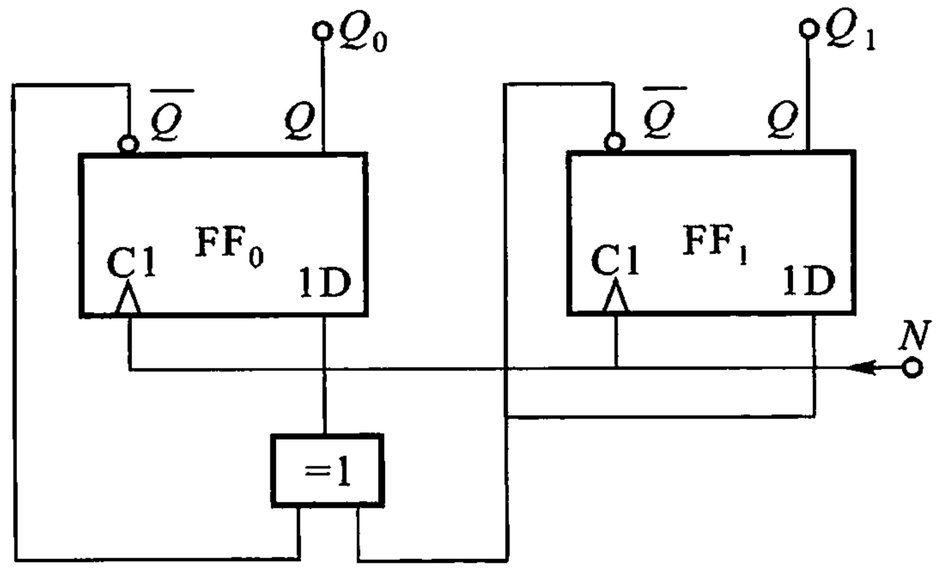


图 P9.13

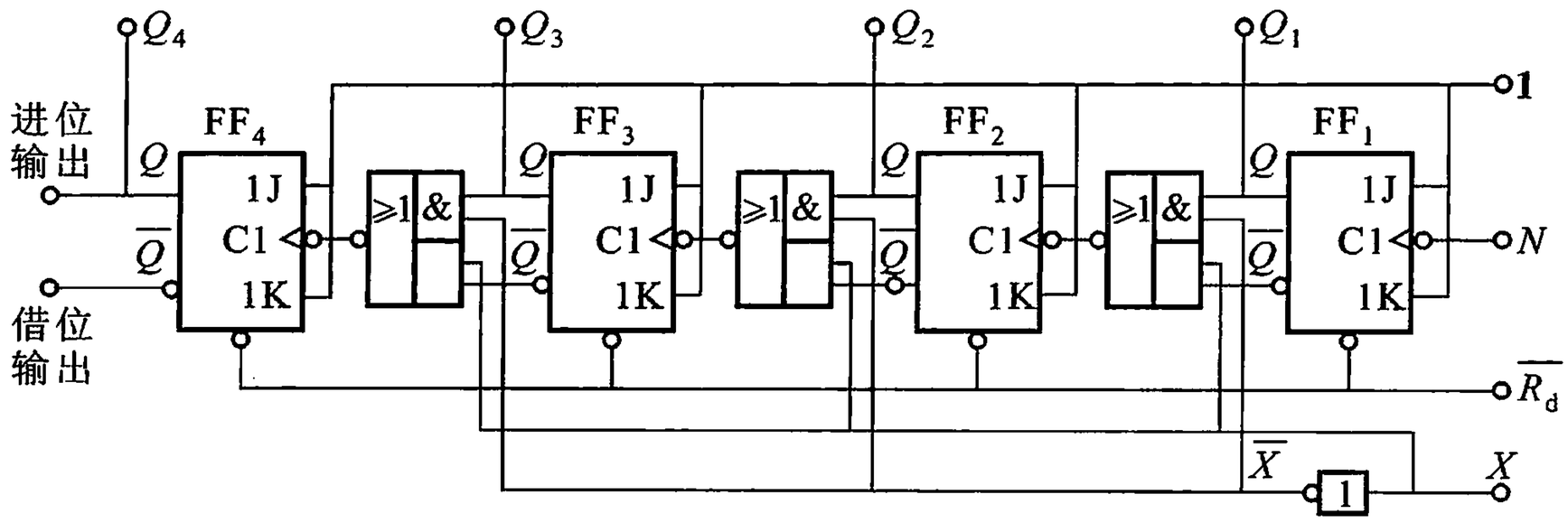


图 P9. 14

9. 15　试绘出利用中规模集成计数器 7490 构成的九进制计数器的原理电路图。

9. 16　试绘出两种利用中规模集成计数器 74161 构成的九进制计数器的原理电路图。

第 10 章　脉冲电路及模数转换

引　言

电子技术中的脉冲信号是区别于直流和正弦交流信号来说的。通常把一切既非直流又非正弦交流的电压、电流信号统称为脉冲信号。本章先介绍产生矩形脉冲的方法，进而介绍集成 555 定时器及其应用，最后介绍 A/D、D/A 转换技术。

10.1　中规模集成单稳态触发器

前面所讨论的触发器有两个不同的稳定状态，它可以持久地稳定在其中一个状态上，因此，这种触发器又称双稳态触发器或双稳开关。它在外界两次触发后才能完成一个工作周期。也就是说，双稳开关的开启或关断时刻都取决于外界控制信号。单稳态触发器与之不同，它只有一个稳定状态。如果没有外加触发脉冲作用，它始终处于这个稳定状态。在适当的外加触发脉冲 v_I 作用后，电路能从稳态翻转为一个新的状态，但这个新状态只能暂时维持（称为暂稳态），经过一段时间后，又自动返回原来的状态，输出一个矩形脉冲 v_O。单稳态触发器也称单稳开关，它由外界控制信号开启后经过一定时间自行关断。其工作示意如图 10.1.1 所示。单稳态触发器暂稳态维持时间的长短与外加触发信号无关，而是取决于电路本身的参数，具体说是靠电路中 *RC* 电路的充、放电过程来维持。单稳态触发器可以由门电路拼接而成，也可以采用中规模集成单片。

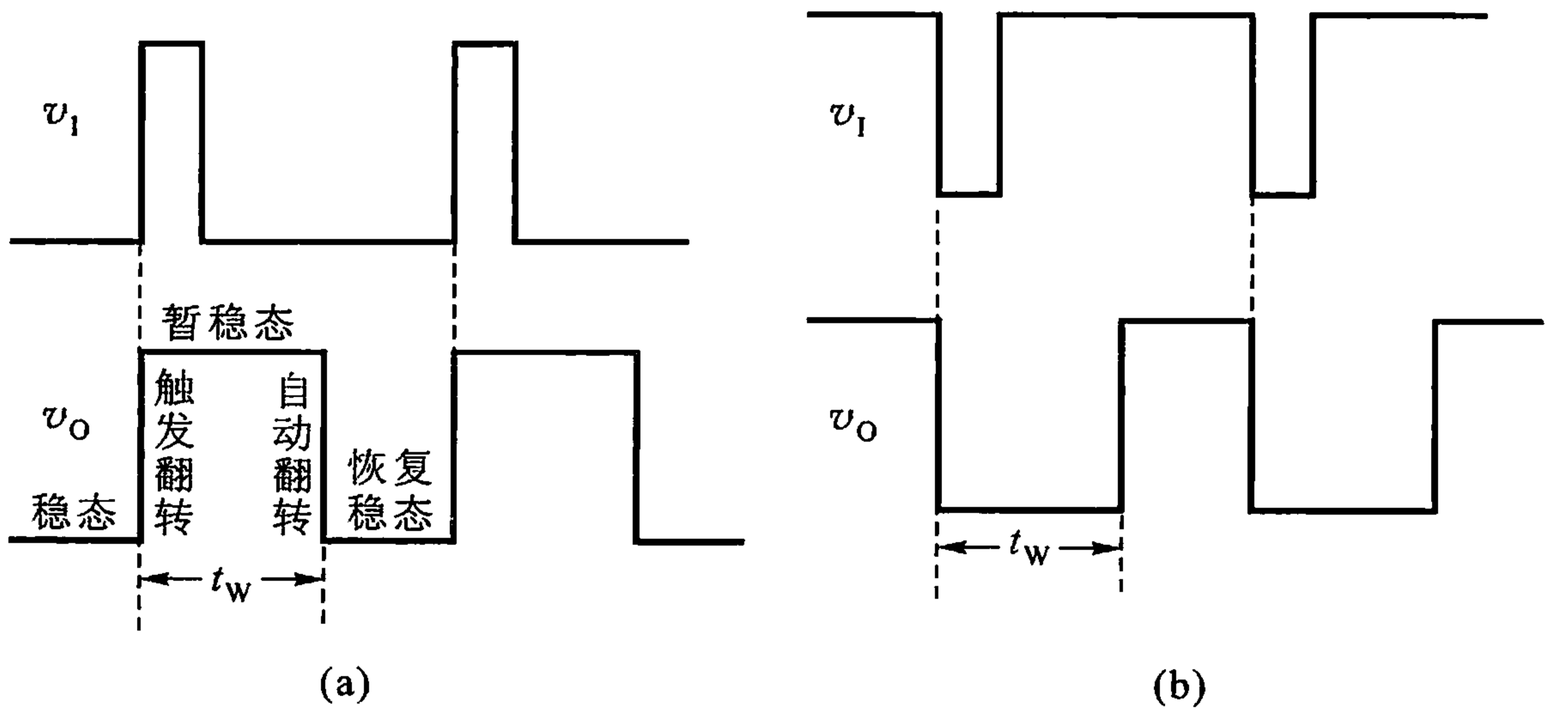


图 10.1.1　单稳态触发器工作特点

（a）上升沿触发　（b）下降沿触发

10.1.1　中规模集成单稳态触发器

现以 TTL 集成单稳态触发器 74121 为例，说明其工作原理和使用方法。

1. 电路组成

图 10.1.2 所示为 TTL 单稳态触发器 74121 的逻辑图。由逻辑图可知，它由输入控制电路、输出电路及微分型单稳态触发器构成。$G_1 \sim G_4$ 组成输入控制电路，可以实现上升沿或下降沿触发两种触发方式的控制。A_1、A_2 和 B 是触发脉冲输入端。当需要用上升沿触发时，正触发脉冲由 B 端输入，A_1、A_2 为电平控制端，两者中至少应有一个维持在低电平才允许触发；当需要用下降沿触发时，负触发脉冲应从 A_1 或 A_2 端输入（另一个接高电平），B 为电平控制端，B 为高电平时允许触发。Q 和 $\overline{Q}$ 为输出端，在触发脉冲作用下可由 Q 端获得正脉冲输出，由 $\overline{Q}$ 端获得负脉冲输出。C_{ext}（10 脚）及 R_{ext}/C_{ext}（11 脚）是外接电容 C_{ext} 和 R_{ext} 接线端，R_{int} 是内定时电阻的出线端。G_5、G_6、G_7、R_{ext}（或 R_{int}）及 C_{ext} 组成基本微分型单稳态触发器，它由 G_4 给出的上升沿触发。G_2、G_3 组成的 $R-S$ 触发器，可以解决当输入脉冲很宽时，利用 $\overline{Q}$ 的反馈使输出矩形脉冲宽度小于输入脉冲宽度。输出电路由 G_8、G_9 组成，用于提高 74121 的带负载能力。

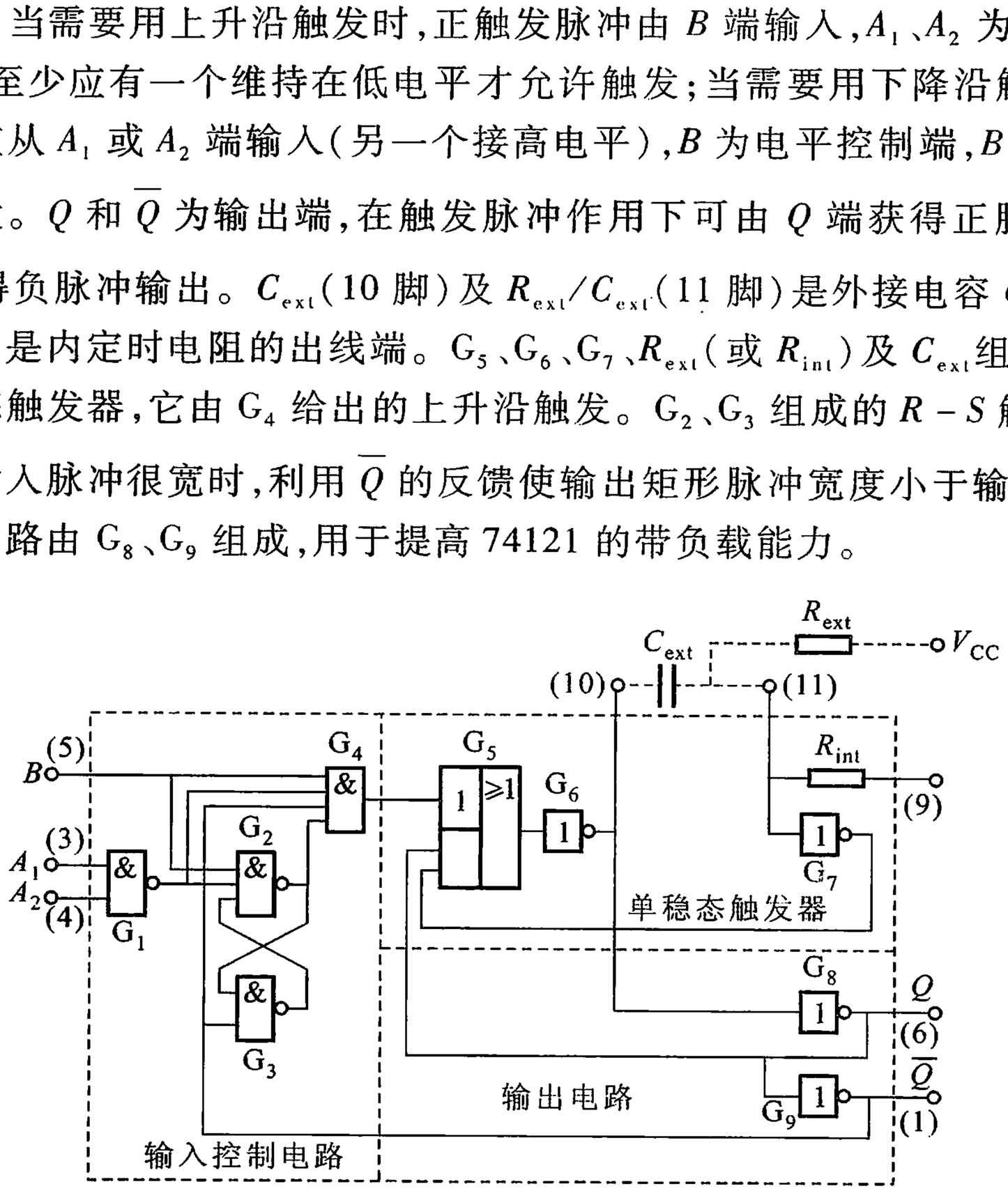


图 10.1.2　TTL 单稳态触发器 74121

2. 工作原理

（1）稳态

当上述两种触发脉冲都未到来时，即 A_1、A_2 中有一个保持低电平且 $B=0$

（触发上升沿未到）或者 $B=\mathbf{1}$、$A_1=A_2=\mathbf{1}$（触发下降沿未到），这两种情况下，都会有低电平送到 G_4 的输入端，使 G_4 输出为**0**，而 G_5 下半部**与**门受 G_7、G_8 的输出状态控制，G_7 的输入因通过 R_{ext}或 R_{int}接正电源 V_{CC}，故 G_7 静态时输出为**0**，于是 G_5 输出为**0**，G_6 输出为**1**，再经 G_8、G_9 反相使 $Q=\mathbf{0}$、$\overline{Q}=\mathbf{1}$，这就是 74121 的稳态。

（2）暂稳态

当上述两种触发脉冲中只要有一种到来时，G_4 输出为**1**，G_5 输出为**1**，G_6 输出由**1**变**0**，电源 V_{CC}经 R_{ext}（或 R_{int}）对 C_{ext}充电，同时 G_6 的负跳变经 G_8、G_9 反相后使 $Q=\mathbf{1}$、$\overline{Q}=\mathbf{0}$，电路进入暂稳态。C_{ext}充电初始瞬间，G_7 输入为低电平，输出为**1**，G_5 下半部**与**门输入全部为**1**。这样，即使输入触发脉冲很窄也能使 G_6 输出为**0**态而不会影响对 C_{ext}的充电；暂稳态开始后，$\overline{Q}$ 由**1**变**0**。这一变化一方面反馈到 G_4 的输入端使 G_4 输出为**0**；同时，还使 $R-S$ 触发器置**0**（即 G_2 输出为**0**）。这样，即使触发脉冲很宽也不会影响 G_6 的输出从**0**恢复到**1**的时间。

（3）由暂稳态自动返回稳态

暂稳态期间 V_{CC}对 C_{ext}充电，使 v_C 上升，当 v_C 达到**与非**门的门坎电平时，G_7 的输出自动从 **1** 下跳到**0**，使 G_4 的输入及 G_5 下半部**与**门的输入中均有**0**态，因而 G_6 输出恢复到**1**态，形成 $Q=\mathbf{0}$、$\overline{Q}=\mathbf{1}$。至此，暂稳态结束，电路回到了原来的稳态。

74121 的功能如表 10.1.1 所示。

表 10.1.1　74121 型单稳态触发器功能表

输　　入			输　　出	
A_1	A_2	B	Q	$\overline{Q}$
0	×	**1**	**0**	**1**
×	**0**	**1**	**0**	**1**
×	×	**0**	**0**	**1**
1	**1**	×	**0**	**1**
1	↓	**1**	⎍	⎎
↓	**1**	**1**	⎍	⎎
↓	↓	**1**	⎍	⎎
0	×	↑	⎍	⎎
×	**0**	↑	⎍	⎎

3. 输出脉冲宽度的调节

74121 输出脉冲宽度 $t_W\approx 0.7R_{ext}C_{ext}$。只要改变外电路外接电容 C_{ext}和 R_{ext}，即可达到调节输出矩形脉冲宽度的目的。定时元件的接线方法如图10.1.3所示。

当利用集成单片内部电阻($R_{int}=2\ k\Omega$)时,将 R_{int}(9 脚)接到 V_{CC}(14 脚)上,若取 $C_{ext}=80\ pF$,如图(a)所示,则输出脉宽的典型值是 110 ns(对 74121B 型,以下同);当用外接电阻 $R_{ext}=10\ k\Omega$,$C_{ext}=100\ pF$ 时,应将 R_{int}端悬空,R_{ext}一端接 R_{ext}/C_{ext}(11 脚),另一端接 V_{CC};C_{ext}一端接 C_{ext}(10 脚),另一端接 R_{ext}/C_{ext},如图(b)所示。这时输出脉宽的典型值是 700 ns。当要求输出脉冲较宽需采用容量较大的电解电容时,电容器的正极接 C_{ext}端。74121 外接电容 C_{ext}的取值范围可在 10 pF ~ 1 000 μF之间,外接电阻 R_{ext}的取值范围可在 2 ~ 40 kΩ 之间。

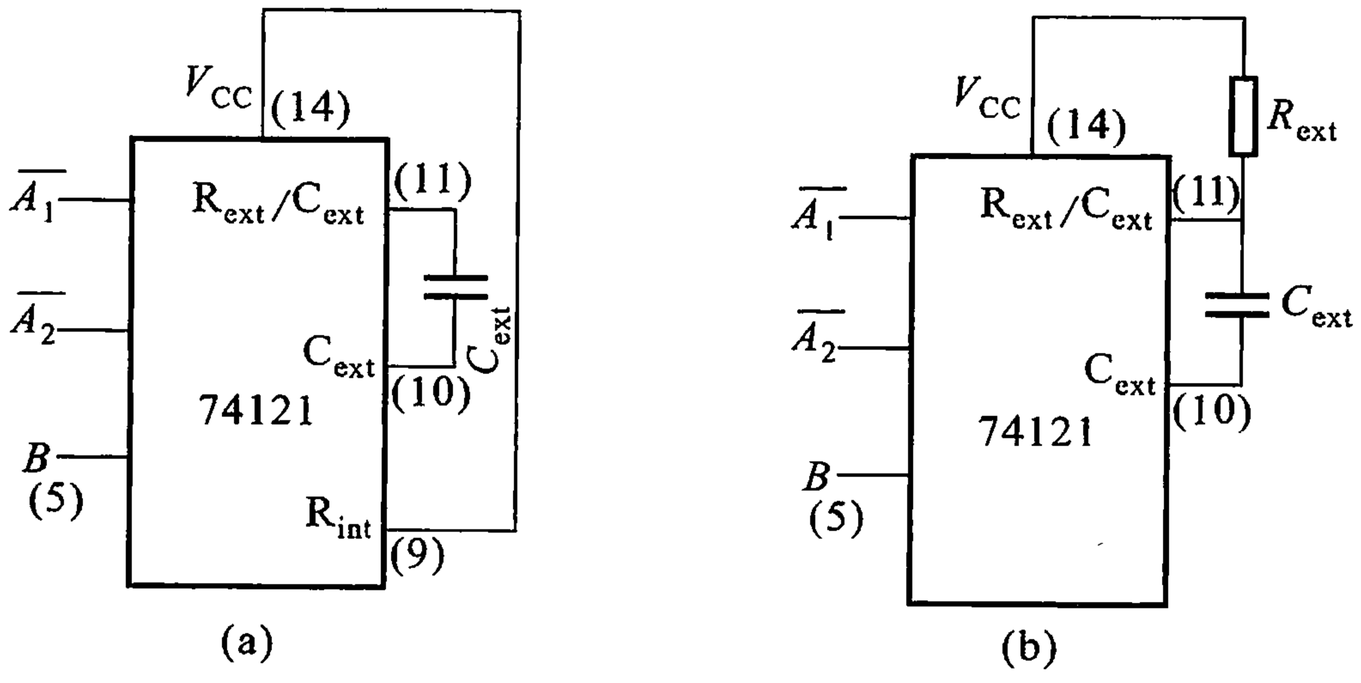


图 10.1.3　74121 定时元件接线图

(a) 采用内定时电阻 R_{int}及外电容 C_{ext}　(b) 采用外接电阻 R_{ext}及外接电容 C_{ext}

目前使用的集成单稳态触发器有不可重复触发型和可重复触发型两种。不可重复触发的单稳态触发器一旦被触发进入暂稳态以后,再加入触发脉冲不会影响电路的工作过程,必须在暂稳态结束以后,它才能接受下一个触发脉冲而转入暂稳态,如图 10.1.4(a)所示。而可重复触发的单稳态触发器就不同了,在电路被触发而进入暂稳态以后,如果再次加入触发脉冲,电路将重新被触发,使输出脉冲再继续维持一个 t_W 宽度,如图 10.1.4(b)所示。

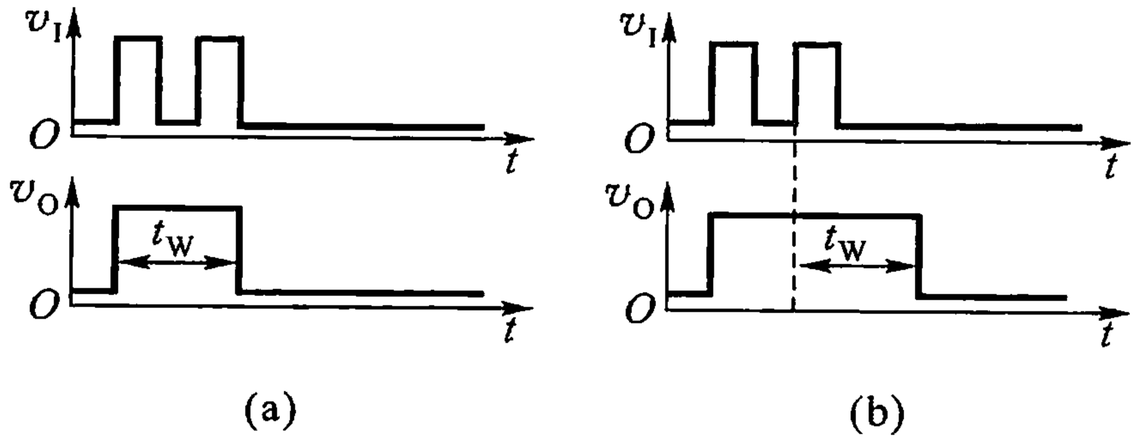


图 10.1.4　单稳态触发器的工作波形

(a) 不可重复触发型　(b) 可重复触发型

74121、74221、74LS221 都是不可重复触发的单稳态触发器。属于可重复触发的触发器有 74122、74LS122、74123、74LS123 等。

10.1.2　单稳态触发器应用举例

1. 用于定时

单稳态触发器在外加触发脉冲作用下，能产生一个幅度和宽度都恒定的矩形波。这一矩形脉冲可用来选通其他门电路，使被控制的门电路在 t_W 时间内选通或不通，如图 10.1.5 所示。

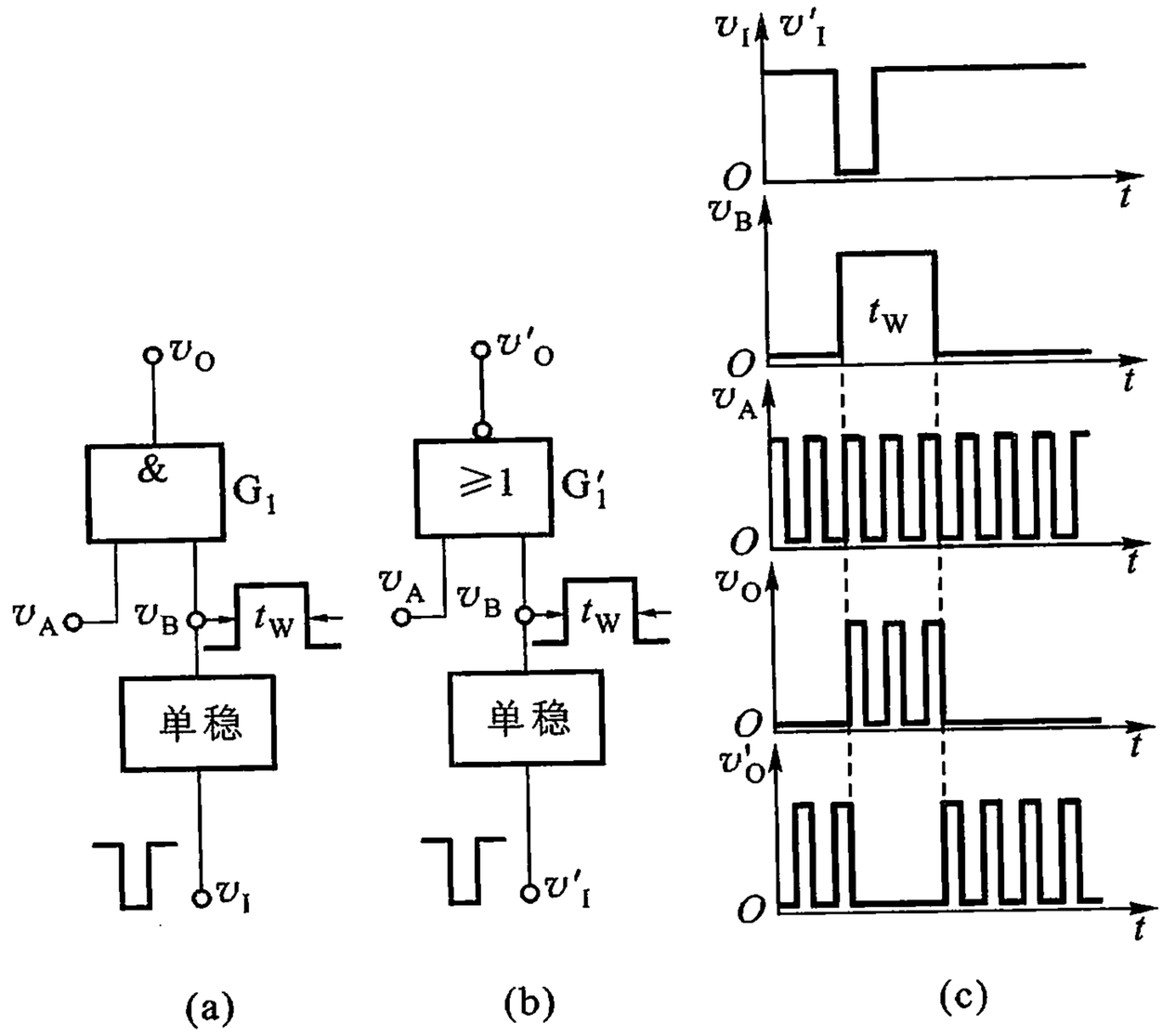


图 10.1.5　单稳态触发器作选通脉冲应用举例

(a) 在 t_W 期间内使 v_A 波形输出　(b) 在 t_W 期间内使 v_A 波形不输出　(c) 工作波形

2. 用于延时

由图 10.1.5 可见，v_B 的下降沿比 v_I 的下降沿延迟了 t_W 时间。如果用这两个脉冲去控制两个部件工作，则它们开始(或停止)工作的时刻会有 t_W 大小的先后差别。

3. 用于噪声消除

系统中的有用信号一般都有一定的宽度，而噪声则表现为宽度很窄的尖脉冲。因此，在用单稳态触发器构成的噪声消除电路中，可以将单稳态触发器的输出脉冲宽度 t_W 调到大于噪声宽度而小于信号脉冲宽度，即可达到消除噪声的目

的，如图 10.1.6 所示。

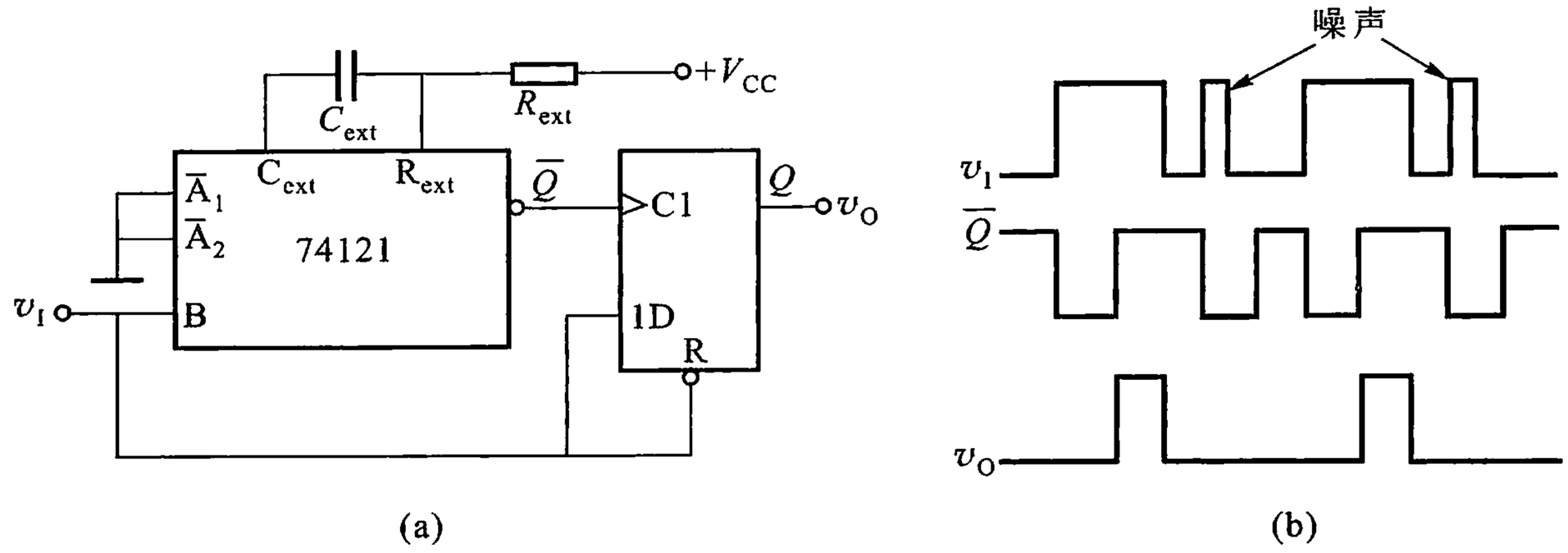


图 10.1.6　利用 74121 构成噪声消除电路

（a）逻辑图　（b）工作波形

10.2　门电路构成的多谐振荡器

多谐振荡器是一种自激振荡器，上电后无需外加触发信号便能自动地产生矩形脉冲。矩形脉冲的高、低电平对应电路的两个暂稳态，暂稳态持续的时间决定于电路中电容的充、放电时间常数。多谐振荡器广泛地被用来产生周期性方波或时钟信号发生器。

10.2.1　工作原理

图 10.2.1 所示为由 CMOS 反相器（或非门输入端相接，作非门用）和 *RC* 网络构成的多谐振荡器原理图。设图中 G_1、G_2 具有如图 10.2.2 所示的理想化特性。即开门电平 V_{ON}和关门电平 V_{OFF}相等，此值为逻辑门的门坎电平 V_{th}，当输入电压达到 V_{th}时，v_O 在 V_{DD} 和 0 V 之间转换。又设静态时 G_1、G_2 都工作在 CMOS 门电路电压传输特性的转折区，通常 $V_{th}=\dfrac{1}{2}V_{DD}$。

由图 10.2.1 可知，因为电容 C 通过 R 跨接于 v_{O1}和 v_{O2}之间，而 v_{O1}和 v_{O2}始终是反相的，因此，不管原来 v_{O1}（或 v_{O2}）处于什么状态，电路总会对 C 有充、放电作用，亦即 v_{O1}、v_{O2}总是要变化的。这说明电路不可能有稳态，必然振荡。

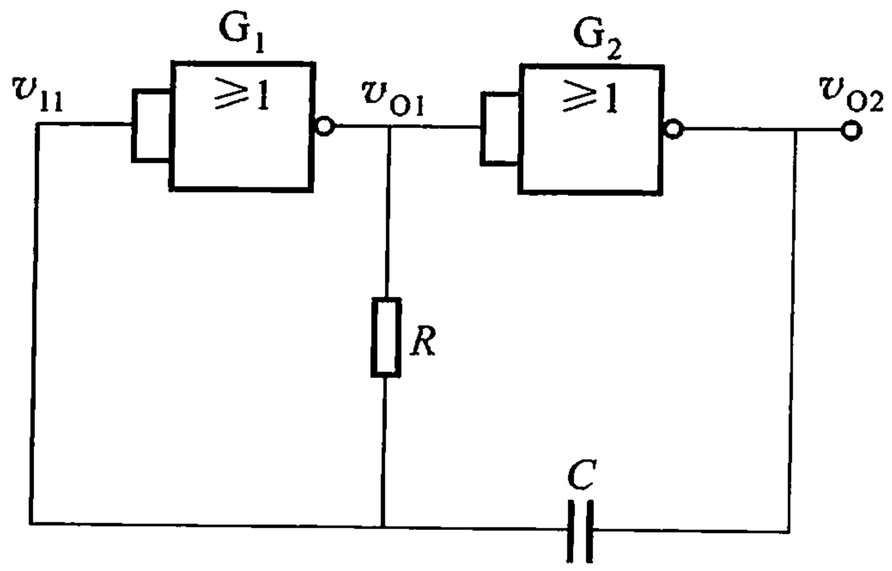


图 10.2.1　一种 CMOS 多谐振荡器

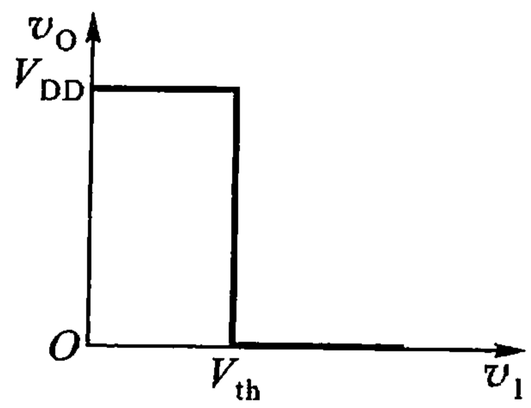


图 10.2.2　CMOS 门理想传输特性

1. 第一暂稳态及其自动翻转过程

接通电源后，设由于某种原因使 v_{I1} 有极微小的负跳变发生，则必然引起如下正反馈过程

$$v_{I1}\ \downarrow \longrightarrow v_{O1}\ \uparrow \longrightarrow v_{O2}\ \downarrow \quad (\text{回到 } v_{I1}\downarrow)$$

使 G_1 迅速截止、G_2 迅速饱和，$v_{O1}=\mathbf{1}$、$v_{O2}=\mathbf{0}$，称为第一暂稳态。此状态不会持久保持，v_{O1} 会以 $(R+R_{o1})C\approx RC$ 的时间常数通过 $v_{O1}\rightarrow R\rightarrow C\rightarrow v_{O2}$ 回路对 C 充电，R_{o1} 为 G_1 输出高电平时的输出电阻，$R>>R_{o1}$。v_{I1} 不断上升，当 v_{I1} 上升到门坎电平 V_{th} 时，可产生如下正反馈过程

$$v_{I1}\ \uparrow \xrightarrow{V_{th}} v_{O1}\ \downarrow \longrightarrow v_{O2}\ \uparrow \quad (\text{回到 } v_{I1}\uparrow)$$

最后使电路迅速转入 G_1 饱和、G_2 截止的第二暂稳态，$v_{O1}=\mathbf{0}$、$v_{O2}=\mathbf{1}$。

2. 第二暂稳态及其自动翻转过程

电路进入 $v_{O1}=\mathbf{0}$、$v_{O2}=\mathbf{1}$ 的第二暂稳态后，状态也不能持久维持。电容 C 以 $(R+R_{o2})C\approx RC$ 的时间常数通过 $v_{O2}\rightarrow C\rightarrow R\rightarrow v_{O1}$ 回路对 C 反充电，R_{o2} 为 G_2 输出高电平时的输出电阻，$R>>R_{o2}$。v_{I1} 不断下降，当 v_{I1} 下降到 V_{th} 时又会产生另一个正反馈过程

$$v_{I1}\ \downarrow \xrightarrow{V_{th}} v_{O1}\ \uparrow \longrightarrow v_{O2}\ \downarrow \quad (\text{回到 } v_{I1}\downarrow)$$

最终使 G_1 截止、G_2 饱和，回到了第一暂稳态，$v_{O1}=\mathbf{1}$、$v_{O2}=\mathbf{0}$。然后，v_{O1} 又对 C 充电。如此反复，在 v_{O1} 和 v_{O2} 端均可获得矩形波输出。以上过程对应的工作波形如图 10.2.3 所示。图中，V_D（$\approx$0.7 V）为 CMOS 门电路内输入保护电路中二极管的导通压降，由于这个二极管的钳位作用，使 v_{I1} 正跳变时的压降值不可能超过（$V_{DD}+V_D$）。

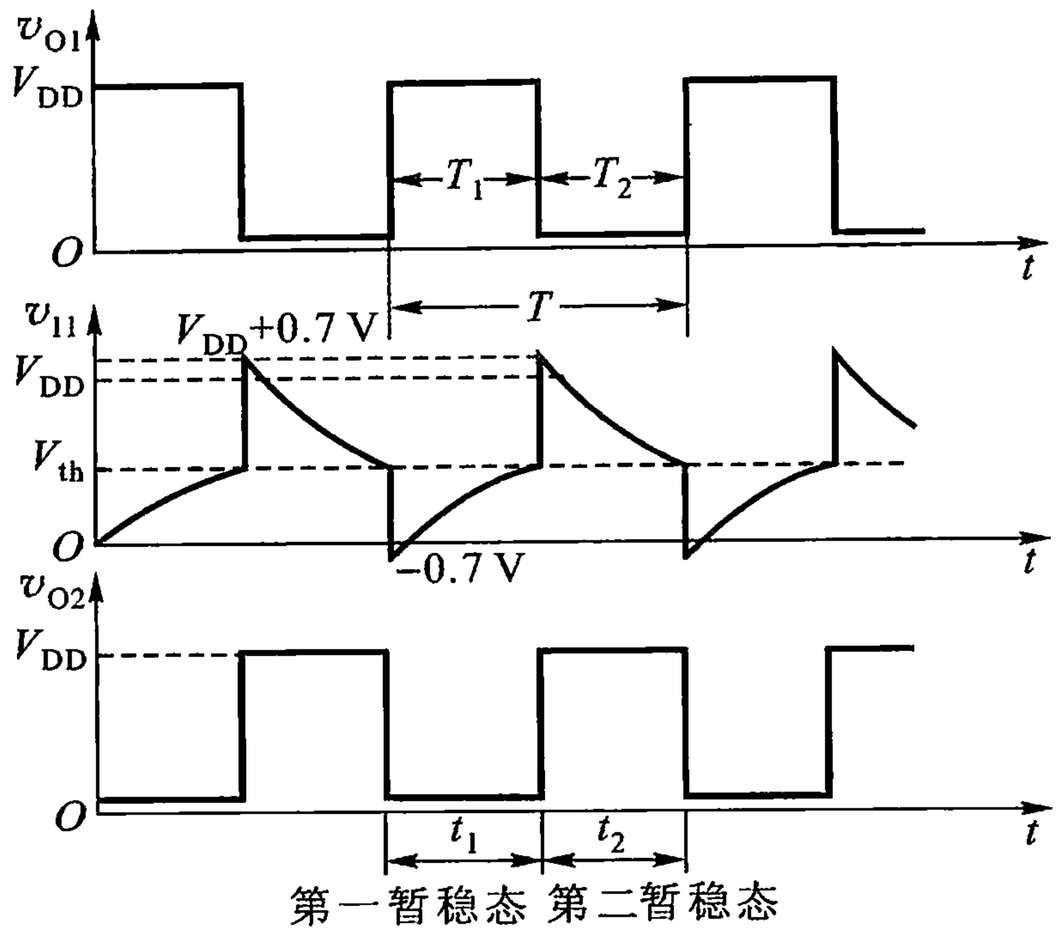


图 10.2.3　CMOS 多谐振荡器工作波形

10.2.2　参数估算

（1）振荡幅度 V_m

$$V_m = V_{OH} - V_{OL}$$

式中，V_{OH}、V_{OL}分别为 CMOS 门输出高、低电平值。

（2）振荡周期 T

设 T_1、T_2 分别为第一暂稳态及第二暂稳态的持续时间，它们的大小主要决定于 R、C 及 CMOS 门电路的参数。通过暂稳态过程分析计算可求得 T_1 及 T_2。

对第一暂稳态以 t_1 作为计算起点，则有

$$v_I(0^+) = -V_D \approx 0$$

$$v_I(\infty) = V_{DD}$$

$$\tau \approx RC$$

由三要素公式，得

$$T_1 = RC\ln\frac{V_{DD}}{V_{DD} - V_{th}} \tag{10.2.1}$$

对第二暂稳态以 t_2 作为时间计算起点，则有

$$v_I(0^+) = V_{DD} + V_D \approx V_{DD}$$

$$v_I(\infty) = 0$$

$$\tau \approx RC$$

由此可求出

$$T_2 = RC\ln\frac{V_{DD}}{V_{th}} \tag{10.2.2}$$

所以，多谐振荡器的重复周期 T 为

$$T = T_1 + T_2 = RC\ln\frac{V_{DD}^2}{(V_{DD} - V_{th}) \cdot V_{th}} \tag{10.2.3}$$

若 $V_{th} = \frac{1}{2}V_{DD}$，上式则为

$$T \approx RC\ln 4 \approx 1.4RC \tag{10.2.4}$$

10.3　555 定时器及其应用

定时器是一种通用的集模拟与逻辑功能为一体的中规模集成电路。利用这种集成单片，只要适当配接少量元件，可以很方便地构成脉冲产生和变换电路及具有其他定时功能的电路，在电子系统、电子玩具、家用电器等方面都有广泛的应用。

定时器有双极型和 MOS 型两种。双极型定时器的驱动能力大，MOS 型定时器具有功耗低、工作电压低等一系列优点。尽管定时器产品型号繁多，但几乎所有双极型产品型号最后的 3 位数码都是 555，所有 CMOS 产品型号最后的数码都是 7555，且它们的结构和工作原理基本相似，逻辑功能和外部引线排列完全相同。

10.3.1　555 定时器电路

图 10.3.1 所示为 555 定时器的简化原理图。它包括电阻分压器、电压比较器 C_1 和 C_2、$R-S$ 触发器、放电晶体管 T_1 及复位晶体管 T_2。

1．555 定时器电路结构

（1）电阻分压器

电阻分压器由三个阻值均为 5 kΩ 的电阻串联构成（555 也因此而得名），它为电压比较器 C_1 和 C_2 提供参考电压，使 C_1 的反相端电压 $V_N = \frac{2}{3}V_{CC}$，C_2 的同相端电压 $V_P = \frac{1}{3}V_{CC}$。

第 5 引出端 CO 端为电压控制端，如果在电压控制端外加控制电压，则可改

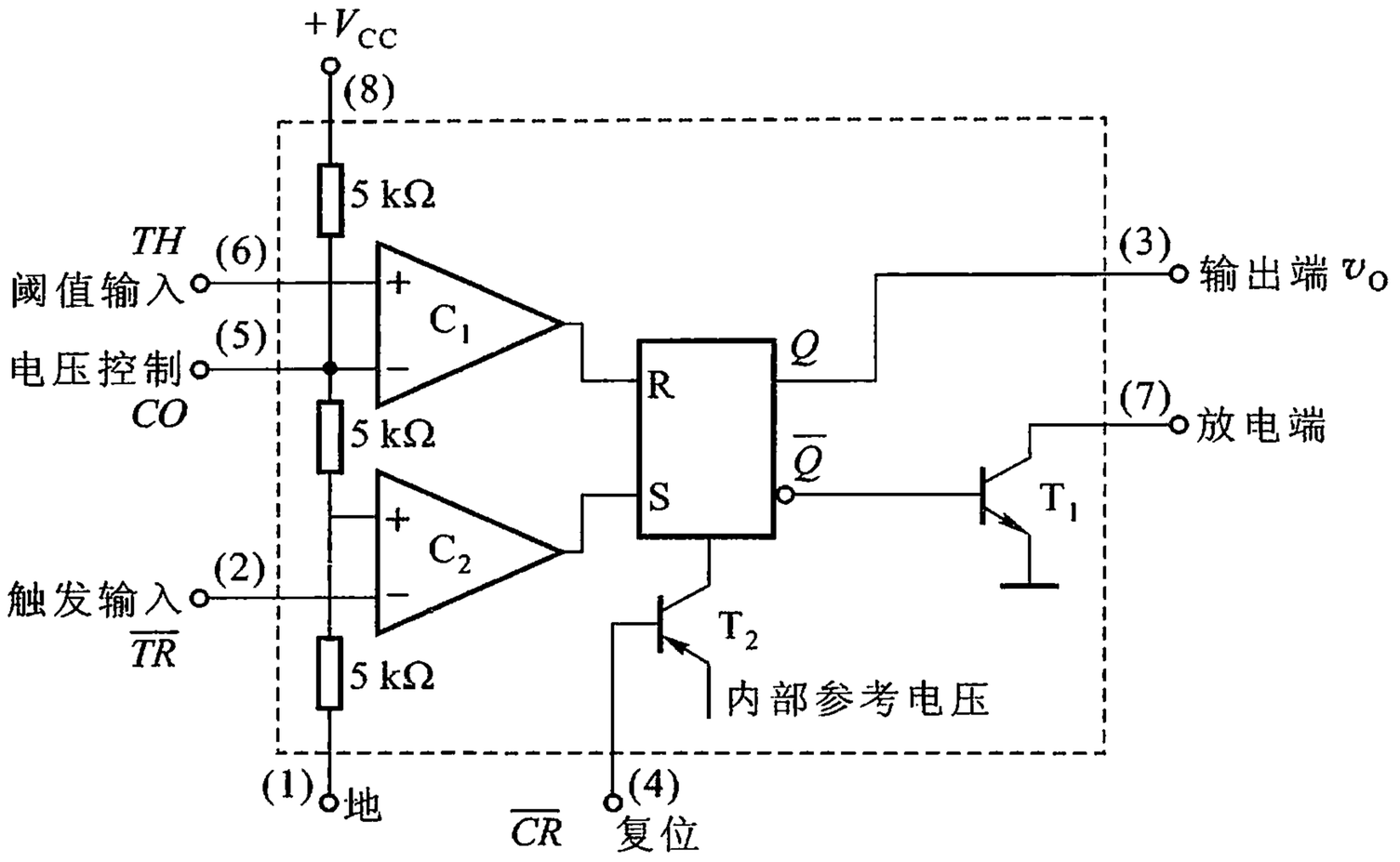


图 10.3.1　集成 555 定时器

变 C_1、C_2 的参考电压 V_N 和 V_P 值，如工作中不在 CO 端外加控制电压，一般都通过一个 0.01 μF 的电容接地，以旁路高频干扰。

（2）电压比较器

由图 10.3.1 可以看出，比较器 C_1 的同相输入端（即第 6 引出端）为阈值输入端（TH），此端输入的触发电平与参考电压 V_N（即第 5 引出端）进行比较，当 $V_{TH} > \frac{2}{3}V_{CC}$ 时，C_1 输出高电平，当 $V_{TH} < \frac{2}{3}V_{CC}$ 时，C_1 输出低电平。比较器 C_2 的反相输入端（即第 2 引出端）为低电平触发端（$\overline{TR}$），此端输入的触发电平与参考电压 V_P 进行比较，当 $V_{\overline{TR}} > \frac{1}{3}V_{CC}$ 时，C_2 输出低电平，当 $V_{\overline{TR}} < \frac{1}{3}V_{CC}$ 时，C_2 输出高电平。电压比较器 C_1、C_2 的输出控制基本 $R-S$ 触发器的工作状态。

（3）基本 $R-S$ 触发器

基本 $R-S$ 触发器的 Q 端为 555 定时器的输出，同时 $\overline{Q}$ 端又控制放电管 T_1 的导通和截止。复位（$\overline{CR}$）端是直接复位端（即第 4 引出端），它是专门设置的，可从外部直接将触发器置 **0**。当 $\overline{CR} = \mathbf{0}$ 时，T_2 导通，$Q = \mathbf{0}$，555 定时器输出为 **0**。

（4）集电极开路晶体管即放电管 T_1

晶体管 T_1 作为放电开关，其工作状态受 $\overline{Q}$ 控制，当 $\overline{Q} = \mathbf{0}$ 时，T_1 管截止，当 $\overline{Q} = \mathbf{1}$ 时，T_1 管导通，可通过较大电流。

2. 555 定时器的工作原理

集成 555 定时器的功能取决于在两个比较器的输入端所加信号的电平。

当 $V_{TH} > \frac{2}{3}V_{CC}$、$V_{\overline{TR}} > \frac{1}{3}V_{CC}$时，比较器 C_1 输出为 **1**，C_2 输出为 **0**，基本 $R-S$ 触发器被置 **0**，T_1 饱和导通，v_O 输出低电平。

当 $V_{TH} < \frac{2}{3}V_{CC}$、$V_{\overline{TR}} < \frac{1}{3}V_{CC}$，比较器 C_1 输出为 **0**，C_2 输出为 **1**，基本 $R-S$ 触发器被置 **1**，T_1 截止，v_O 输出高电平。

当 $V_{TH} < \frac{2}{3}V_{CC}$、$V_{\overline{TR}} > \frac{1}{3}V_{CC}$时，比较器 C_1 输出为 **0**，C_2 输出也为 **0**，基本 $R-S$ 触发器状态保持不变，T_1 和 v_O 输出状态也保持不变。

由此可得 555 定时器功能表如表 10.3.1 所示。

表 10.3.1　555 定时器功能表

$\overline{CR}$	V_{TH}	$V_{\overline{TR}}$	v_O	晶体管 T_1
1	$> \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	**0**	导通
1	$< \frac{2}{3}V_{CC}$	$< \frac{1}{3}V_{CC}$	**1**	截止
1	$< \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	保持	保持
0	×	×	**0**	导通

10.3.2　555 定时器的典型应用

1. 用 555 定时器构成单稳态触发器

图 10.3.2 所示为由 555 定时器构成的单稳态触发器，其中 R、C 是定时元件，输入信号 v_I 接触发输入端，工作原理如下：

电源接通时，触发脉冲 v_I 为高电平，V_{CC}通过 R 向电容 C 充电，当 v_C 上升到 $\frac{2}{3}V_{CC}$时，555 定时器内部 C_1 输出**1**，C_2 输出**0**，$R-S$ 触发器被复位，$Q=\mathbf{0}$，$\overline{Q}=\mathbf{1}$，使输出 $v_O=\mathbf{0}$；同时 T_1 导通，电容 C 通过 T_1 放电，维持 $v_I > \frac{1}{3}V_{CC}$，$v_C=0$，电路进入稳定状态。

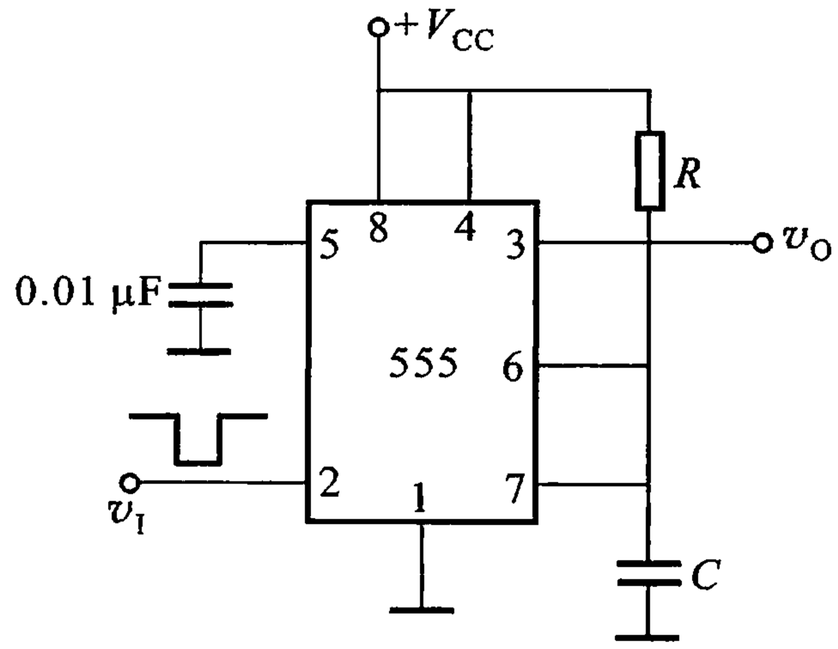


图 10.3.2　单稳态触发器

当 v_I 跳变成负向窄脉冲时，$v_I < \frac{1}{3}V_{CC}$，555 定时器内部 C_1 输出**0**，C_2 输出**1**，$R-S$ 触发器翻转，$Q=\mathbf{1}$，$\overline{Q}=\mathbf{0}$，使输出 $v_O=\mathbf{1}$。同时 T_1 截止，电源对电容 C 继续充电，电路进入暂稳态。

当 $v_C=\frac{2}{3}V_{CC}$ 时，$R-S$ 触发器又被复位，$Q=\mathbf{0}$，$\overline{Q}=\mathbf{1}$，输出 $v_O=\mathbf{0}$，电路恢复至稳态。

单稳态触发器在负脉冲作用下由稳态翻转到暂态，由于电容 C 充电，暂稳态自动返回稳态，这一转换过程为单稳触发器的一个工作周期。其工作波形图如图 10.3.3 所示。

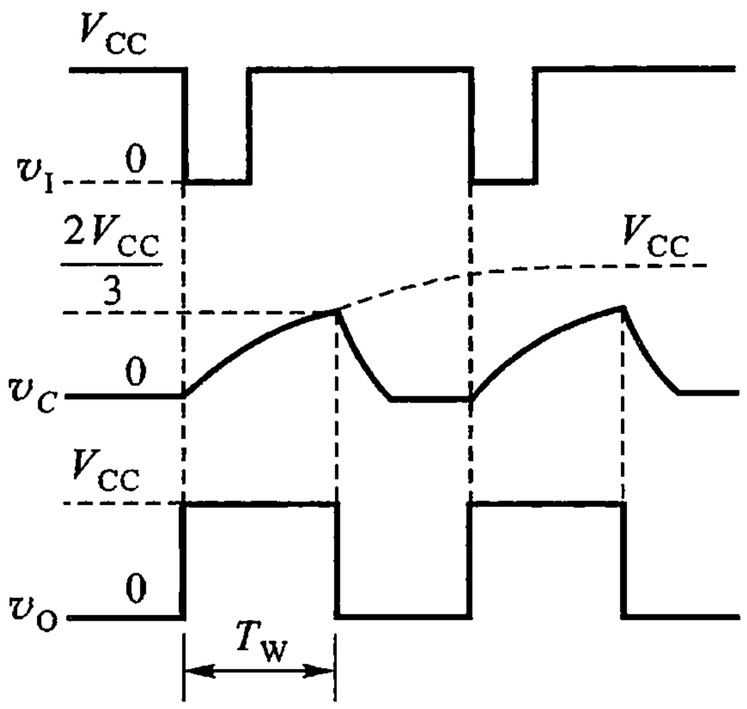


图 10.3.3　单稳态触发器工作波形

如果忽略三极管 T_1 的饱和压降，则电容 C 从零电平上升到 $\frac{2}{3}V_{CC}$ 的时间为暂稳态时间，即输出脉冲宽度 T_W 为

$$T_W = RC\ln 3 \approx 1.1RC$$

这种单稳态电路要求输入触发脉冲宽度要小于 T_W，而输入 v_I 的周期要大于 T_W，这就使 v_I 的每一个负触发脉冲都起作用。如果输入负脉冲宽度大于 T_W 时，可将输入负脉冲先经过一个微分电路，再接到 555 定时器的触发输入端上。

2. 用 555 定时器构成多谐振荡器

图 10.3.4 所示是由 555 定时器构成的多谐振荡器。图中 R_1、R_2 和 C 为定时元件，工作原理如下：

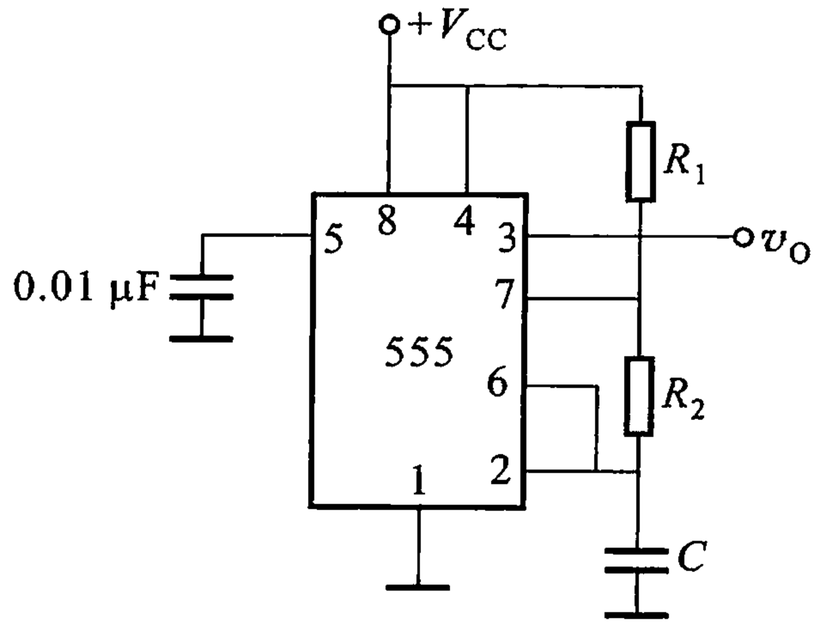


图 10.3.4　多谐振荡器

电源接通瞬间，由于电容 C 上的电压不能跳变，$v_C = \mathbf{0}$，使 555 定时器的阈值输入端和触发输入端电压均为**0**，所以其内部比较器 C_1 输出**0**，C_2 输出**1**，$R-S$ 触发器被置位，$Q = \mathbf{1}$，$\overline{Q} = \mathbf{0}$，输出 $v_O = \mathbf{1}$，同时三极管 T_1 截止，电源通过 R_1、R_2 对电容 C 充电，电路进入第一暂稳态；当电容电压 v_C 上升到 $\frac{2}{3}V_{CC}$ 时，555 定时器内部 C_1 输出**1**，C_2 输出**0**，$R-S$ 触发器翻转，$Q = \mathbf{0}$，$\overline{Q} = \mathbf{1}$，输出 $v_O = \mathbf{0}$，同时 T_1 导通，电容 C 通过 R_2 和 T_1 放电，电路进入第二暂稳态；当电容电压下降到 $v_C < \frac{1}{3}V_{CC}$ 时，555 定时器内部 C_1 输出**0**，C_2 输出**1**，$R-S$ 触发器又被置位，$Q = \mathbf{1}$，$\overline{Q} = \mathbf{0}$，输出 $v_O = \mathbf{1}$，电源又通过 R_1、R_2 对电容 C 充电。如此周而复始地两个暂稳态不停地转换。在定时器输出端就可得到矩形波脉冲信号，工作波形如图 10.3.5所示。

振荡周期 T 和振荡频率 f 的近似计算公式如下：

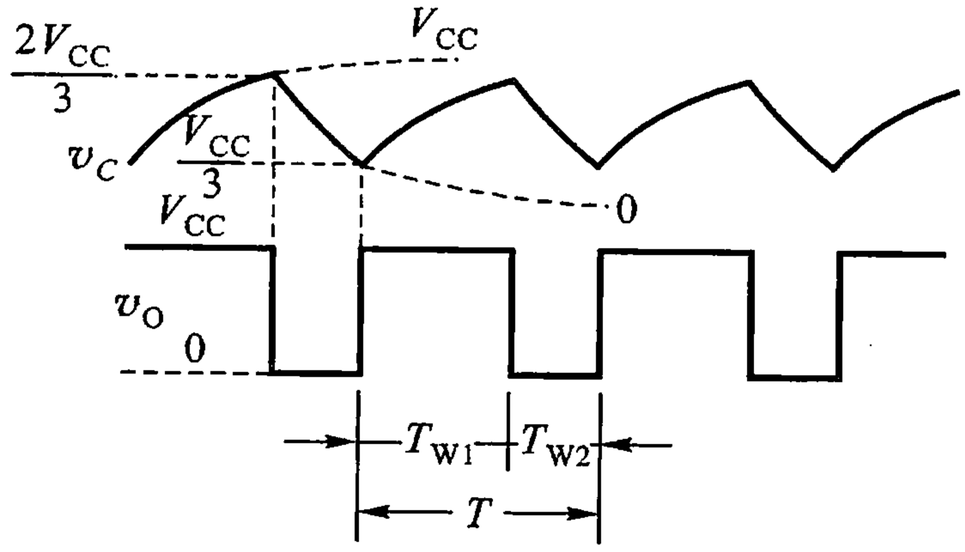


图 10.3.5　多谐振荡器工作波形

$$T_{W1} = (R_1 + R_2)C\ln 2$$

$$\approx 0.7(R_1 + R_2)C$$

$$T_{W2} = R_2 C \ln 2$$

$$\approx 0.7R_2C$$

$$T = T_{W1} + T_{W2} \approx 0.7(R_1 + 2R_2)C$$

$$f = \frac{1}{T} \approx \frac{1.43}{(R_1 + 2R_2)C}$$

输出脉冲幅度为

$$V_m \approx V_{CC}$$

图 10.3.6 所示为用 555 定时器构成占空比(脉冲宽度与周期之比)可调的多谐振荡器。该电路比图 10.3.4 所示电路多两个二极管 D_1、D_2 和一个电位器 R_p。

当三极管 T_1 截止时，V_{CC}通过 R_1、D_1 对电容 C 充电，当三极管 T_1 导通时，电容 C 通过 R_2、D_2 放电，则

脉冲宽度　　$T_{W1} \approx 0.7R_1C$

脉冲时间间隔　$T_{W2} \approx 0.7R_2C$

振荡周期　　$T \approx 0.7(R_1 + R_2)C$

占空比　　$$q = \frac{T_{W1}}{T_{W1} + T_{W2}} \approx \frac{0.7R_1C}{0.7(R_1 + R_2)C} = \frac{R_1}{R_1 + R_2}$$

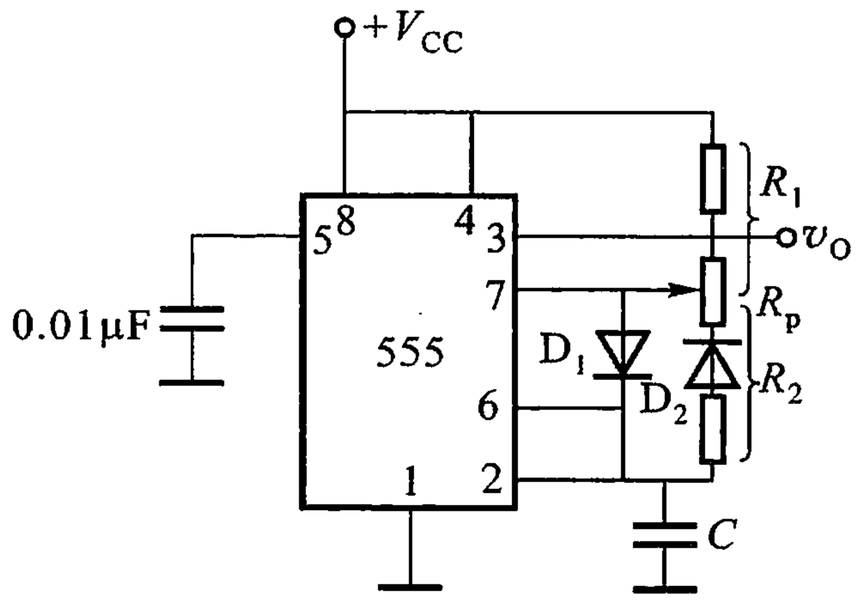


图 10.3.6　占空比可调的多谐振荡器

3. 用 555 定时器构成施密特触发器

施密特触发器是一种双稳态触发器。双稳态触发器的特点是在无外加触发脉冲信号时，它总是处于某一稳定状态；当有外加触发脉冲信号时，它才能从某一稳定状态翻转到另一稳定状态。施密特触发器的一个重要应用是可以将边沿变化缓慢的信号波形(如正弦波、三角波等)整形为矩形波，

而且由于施密特触发器具有回差电压，因而抗干扰能力比较强。

图 10.3.7 所示为用 555 定时器构成的施密特触发器。设输入信号 v_I 是一个三角波。

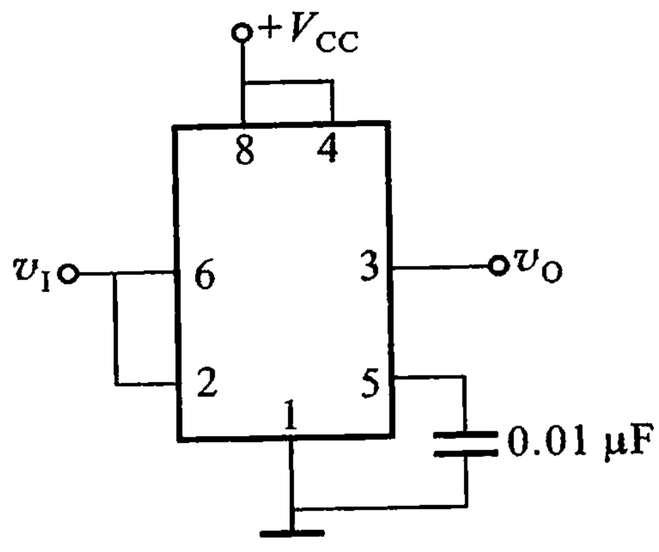


图 10.3.7　施密特触发器

当输入信号 v_I 处于低电位 $\left(v_I < \frac{1}{3}V_{CC}\right)$ 时，555 定时器内部 C_1 输出**0**，C_2 输出**1**，$R-S$ 触发器被置位，$Q=\mathbf{1}$，$\overline{Q}=\mathbf{0}$，输出端 $v_O=\mathbf{1}$，电路进入第一稳态；当 v_I 上升到稍大于 $\frac{2}{3}V_{CC}$ 时，555 定时器内部 C_1 输出**1**，C_2 输出**0**，$R-S$ 触发器被复位，$Q=\mathbf{0}$，$\overline{Q}=\mathbf{1}$，输出端 $v_O=\mathbf{0}$，电路进入第二稳态；当 v_I 由高电位下降到稍小于 $\frac{1}{3}V_{CC}$ 时，电路又回到第一稳态，如此连续变化，在输出端就可获得矩形波信号输出。工作波形图如图 10.3.8 所示。

从工作波形图上可以看出：上限阈值电压 $V_+=2V_{CC}/3$、下限阈值电压 $V_-=V_{CC}/3$、回差电压 $\Delta V=V_+-V_-=V_{CC}/3$。若在电压控制端 5 加上控制电压 V_C，则可通过改变 V_{CC} 调节 V_+、V_-、ΔV 值。

由工作波形图中 v_O 和 v_I 的对应关系，可画出 $v_O=f(v_I)$ 的关系曲线，如图 10.3.9 所示。此关系曲线就是施密特触发器的电压传输特性。

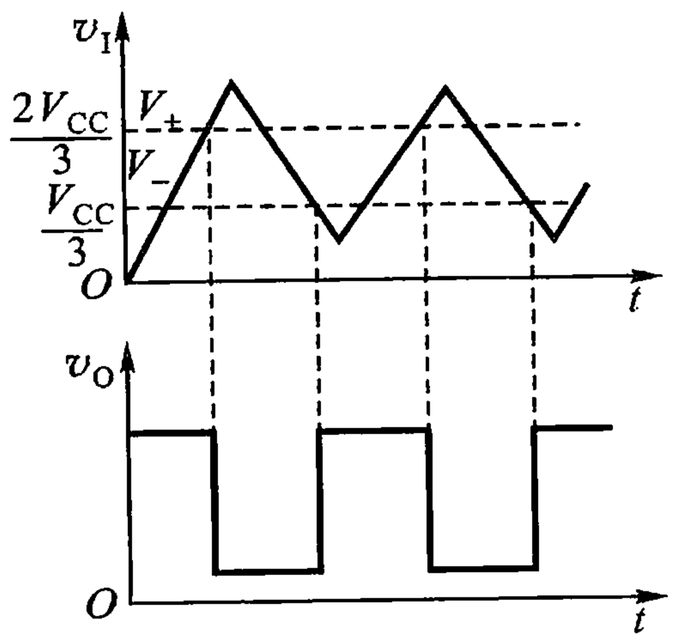


图 10.3.8　施密特触发器工作波形

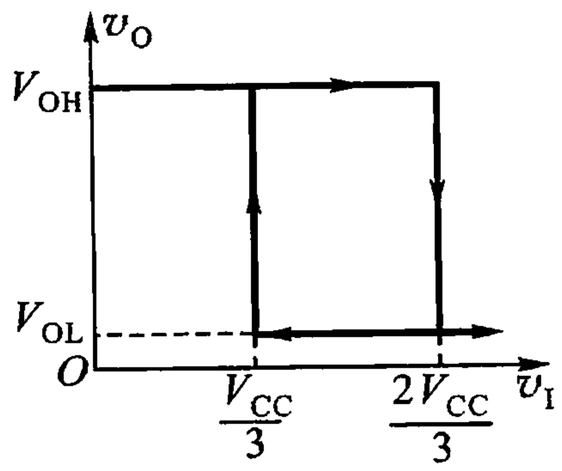


图 10.3.9　施密特触发器电压传输特性

施密特触发器状态的转换要由输入信号 v_I 来触发，同时输出的高、低电平也有赖于输入信号 v_I 的高、低电平来维持。输出对输入这种依赖关系和门电路相同，因此，常用图 10.3.10 所示的符号表示施密特触发器，输出端的小

圆圈表示输入、输出之间的反相关系(如果是同相关系,则无小圆圈)。方框图中的滞后特性表示电路具有施密特触发的特点。有时把图 10.3.10 所示电路称为施密特触发的反相器。

回差电压 ΔV 越大,电路的动作电压就越高,抗干扰能力也就越强。

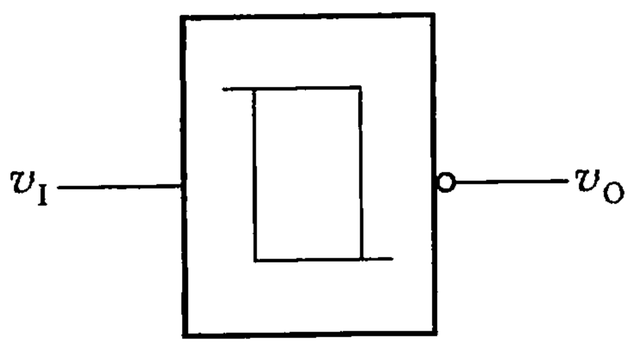


图 10.3.10　施密特触发器逻辑符号

10.4　A/D 和 D/A 转换器

10.4.1　概述

自然界中绝大多数的物理量都是连续变化的模拟量,这些模拟量经传感器转换后所产生的电信号也是模拟信号。当需要用计算机及数字设备对这些模拟信号进行运算和处理时,必须先将其转化为数字信号,这个过程称为模/数转换,即 A/D 转换。当需用计算机及数字设备处理后的数字信号去控制一些过程控制装置时,由于这些装置要求用模拟信号控制,因此,需要把数字信号转换成模拟信号,这个过程称为数/模转换,即 D/A 转换。相应完成 A/D、D/A 转换的电路称为 A/D、D/A 转换器。

10.4.2　A/D 转换器

1. 基本概念

A/D 转换需经 4 个步骤进行:采样、保持、量化和编码。前两个步骤在采样 - 保持电路中完成,后两个步骤在转换电路中完成。

(1) 采样 - 保持电路

模拟信号代表了一个连续变化的物理量,要使这种电信号的所有瞬间值电平都变换为数字信号显然是不现实的。通常是在一个控制信号作用下将模拟量每隔一定时间抽取一次样值,使时间上连续变化的模拟量变为一个时间上断续变化的模拟量,这个过程称为采样。控制信号也称为采样脉冲。由于每次采样得到的电压转换成数字量需要一定的时间,所以每次采样结果必须保持到下一个采样脉冲到来的时候,这个过程称为保持。可见,进行 A/D 转换时所用的输入电压实际上是每次采样结束时的值。

采样 - 保持电路的基本形式如图 10.4.1 所示。图中 TW 为理想模拟开关,高质量的存储电容器 C 作为保持电路,周期性的采样脉冲 CP_s(重复周期为 T_s)控制开关

的通、断。CP_s 脉冲到来期间(τ)为采样时间,TW 导通,v_C 跟随 v_I 变化,CP_s 脉冲过后为保持时间($T_s-\tau$),TW 断开,v_C 保持着采样期结束时的瞬时电压。放大器 A_1、A_2 都接成跟随器的形式。A_1 对 v_I 呈现高输入阻抗并提供低输出阻抗,使保持电容 C 在采样期内能迅速充电。A_2 的高输入阻抗使保持期间内 v_C 得以维持,A_2 还起到隔离负载的作用。单片集成采样 - 保持电路 LF198 的内部结构与图 10.4.1 所示电路类似,如图 10.4.2 所示。其中,A_1、A_2 是两个运算放大器,S 为电子开关,L 是开关驱动电路。当控制输入 CP_s 为高电平时,S 闭合,CP_s 为低电平时,S 断开。

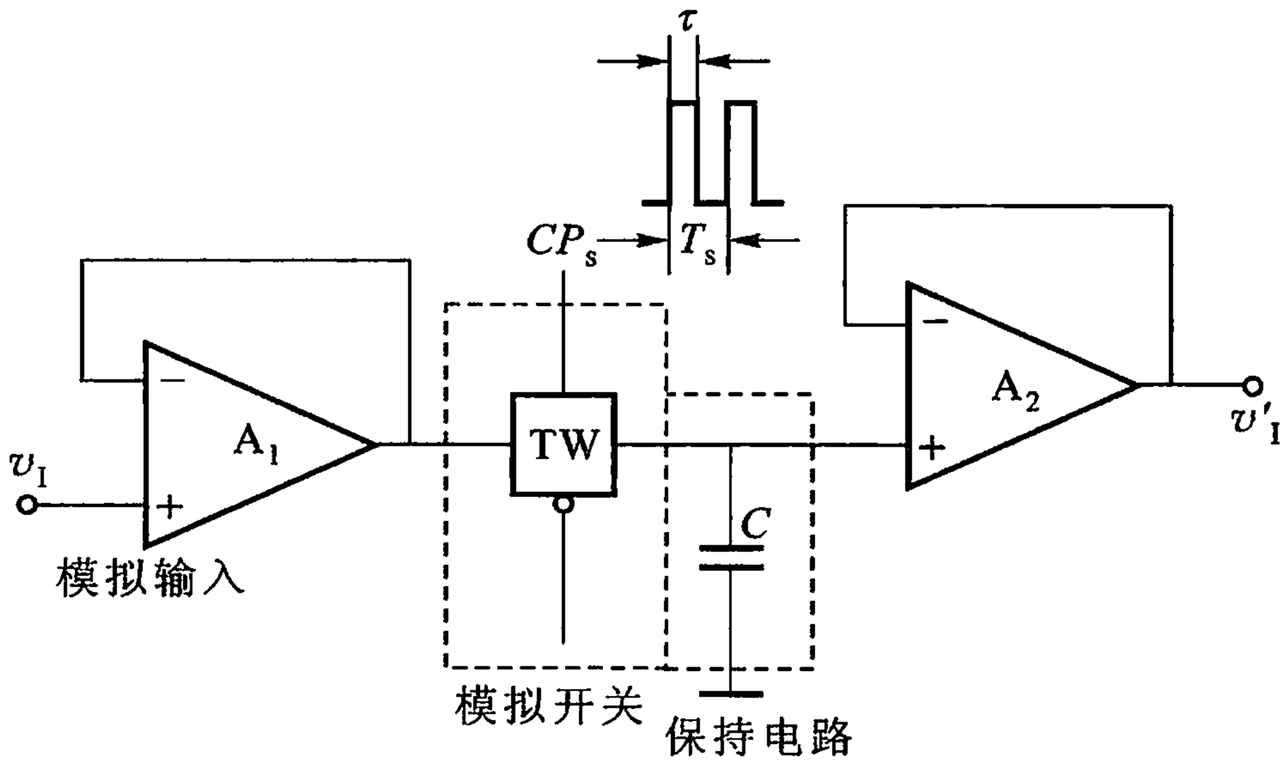


图 10.4.1　采样 - 保持电路基本形式

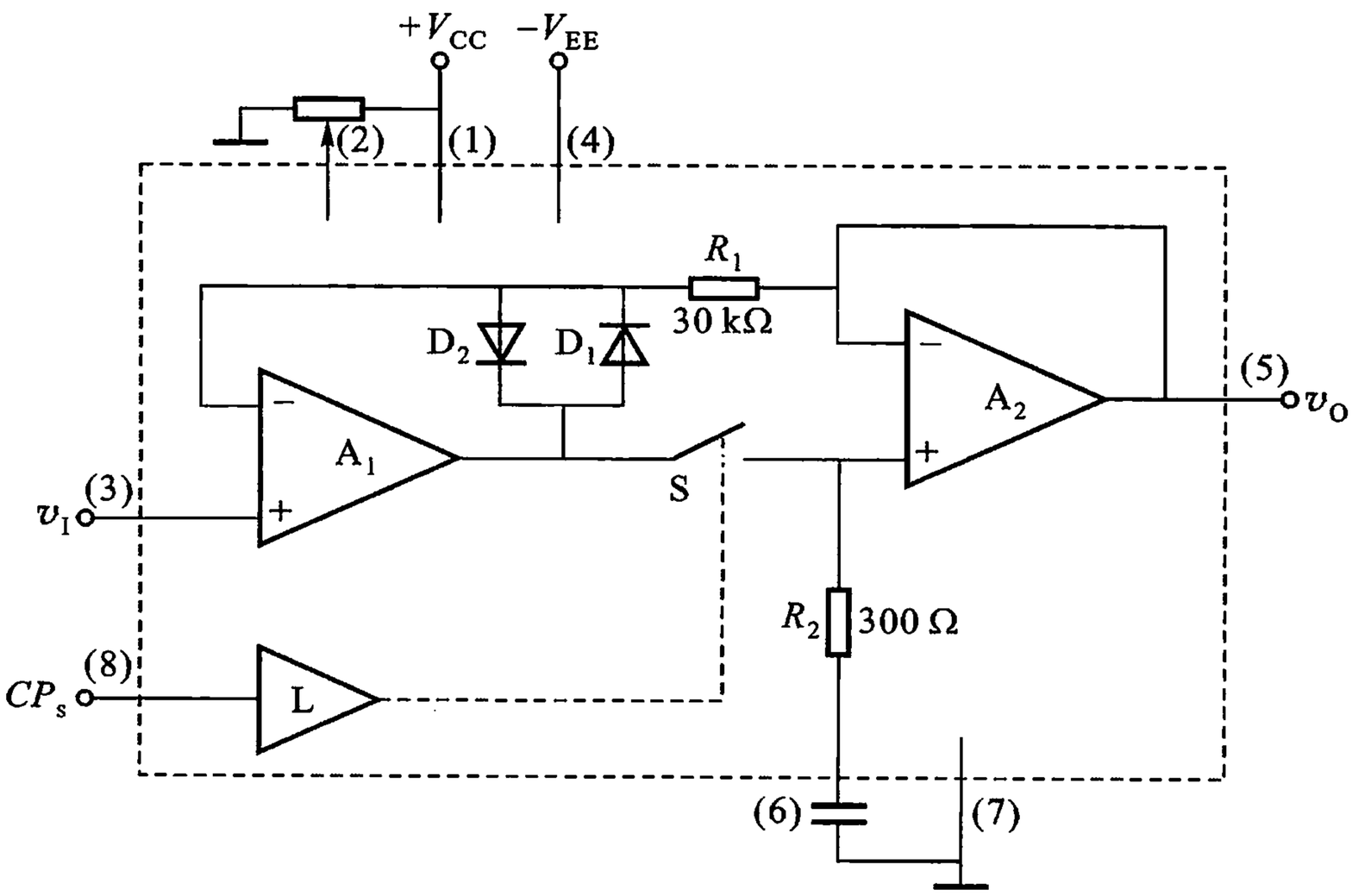


图 10.4.2　中规模集成采样 - 保持电路 LF198 的内部结构

对模拟电压 v_I 进行采样保持前后的工作波形如图 10.4.3 所示。为了能使采样结果更好地体现原来的模拟信号，采样脉冲必须有足够高的重复频率，即必

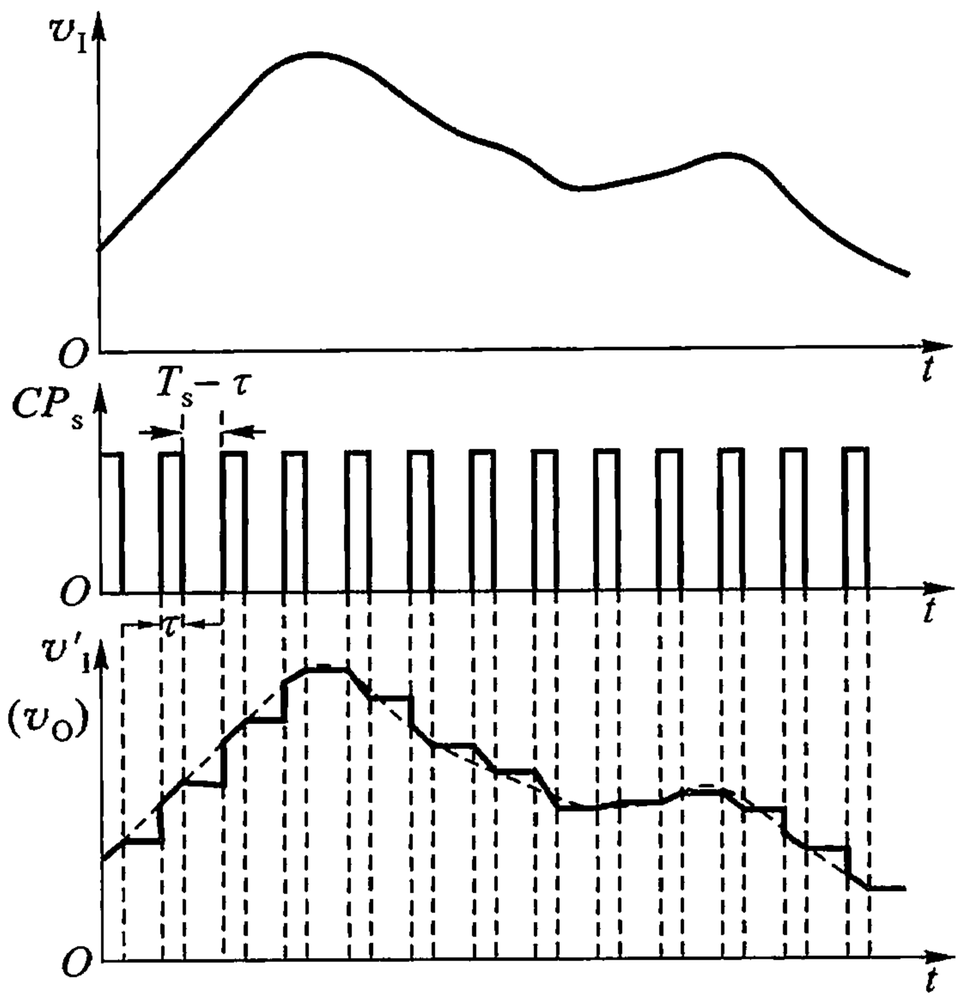


图 10.4.3　模拟信号被采样－保持前后工作波形示例

须满足

$$f_s \geqslant 2f_{I\max} \tag{10.4.1}$$

式中，f_s 为采样脉冲的重复频率，$f_{I\max}$ 为输入模拟信号 v_I 频谱中最高频分量的频率。

由式(10.4.1)可知，T_s 必须很小，τ 又比 T_s 小得多。这样，采样－保持后的波形才能较好的体现原输入电压 v_I。

(2) 量化和编码

数字信号不仅在时间上是离散的，而且在数值大小变化上也是不连续的。采样－保持后得到的模拟信号 v'_I 仍然不符合这个要求，因为 v'_I 虽呈阶梯状但电平仍是连续变化的。因此，必须将 v'_I 的大小局限在某些规定的离散电平上。即在进行 A/D 转换时，必须将采样－保持后的电压化为某个规定的最小单位的整数倍，这一过程称为量化，所规定的最小单位称为量化单位或量化间隔，用 S 表示。

通常对模拟电压采样后所得的各电压幅值不一定都能被 S 整除。也就是说，量化过程不可避免地会引起误差，这种误差称为量化误差。不同的量化方式可能出现的最大量化误差不同。

对采样值进行量化，一般有下述两种方式：

① 舍尾取整法

当输入幅值 v_I' 在两个相邻量化值之间时，即

$$(K-1)S \leqslant v_I' < KS(K \text{ 为整数})$$

由舍尾取整法，将 v_I' 大小不足一个 S 的尾数舍去，只取原整数，即取 v_I' 的量化值为 $(K-1)S$。

② 四舍五入法

当输入幅值 v_I' 经 S 度量尾数不足 $S/2$ 时则舍尾取整；当尾数大于或等于 $S/2$ 时则将尾入整，亦即将原整数加 1。

用舍尾取整法对 v_I' 进行量化时，最大量化误差 $\varepsilon_{max}=1S$，且 $\varepsilon \geqslant 0$；而用四舍五入法对 v_I' 进行量化时，最大量化误差 $\varepsilon_{max}=S/2$，ε 可以大于零、等于零或者小于零。可见，后一种量化方式较好。要想减小量化误差，应该减小量化单位 S 的值。

将量化幅值用二进制代码或二－十进制代码等表示出来的过程称为编码。那些代表模拟信号各采样值的代码组就是 A/D 转换的结果。

实用电路中，量化和编码过程是在同一个电路中完成的。

2. A/D 转换器

(1) 并行比较型 A/D 转换器

图 10.4.4 所示为 3 位二进制输出的并行比较型 A/D 转换器的逻辑图。这是一种直接 A/D 转换器，它由电压比较器、缓冲寄存器和编码器(代码转换器)几部分组成。图 10.4.4 中 V_{REF} 为电压比较器基准电源电压，输入的模拟电压幅值范围为 $0 \sim V_{REF}$，采用四舍五入量化方式，输出 3 位二进制代码($n=3$)。该电路的工作原理如下：

基准电压 V_{REF} 经 8 个电阻组成的分压器分压之后，分别加到电压比较器 $C_1 \sim C_7$ 的反相输入端作为参考电压。它们的数值分别为 $V_{REF}/15$、$3V_{REF}/15$、$5V_{REF}/15$、…、$13V_{REF}/15$ 共 7 个等级，量化单位 $S=2V_{REF}/15$。输入信号 v_I 同时加到电压比较器 $C_1 \sim C_7$ 的同相输入端，v_I 与各参考电压比较的结果决定相应比较器的输出状态。例如，当 $0 \leqslant v_I < V_{REF}/15$ 时，所有比较器的输出都是低电平，CP 上升沿到达时 $FF_1 \sim FF_7$ 均为 **0** 态；当 $V_{REF}/15 \leqslant v_I < 3V_{REF}/15$ 时，只有 C_1 输出高电平，CP 上升沿到达时，FF_1 被置 **1**，$FF_2 \sim FF_7$ 保持 **0** 态不变。依此类推，可列出 v_I 不同电平时电路各触发器的相应状态如表 10.4.1 所示。

寄存器的输出是一组 7 位二进制码，尚不是所要求的 3 位二进制码，因此，必须进行代码转换。也就是说，要进行编码才能得到符合要求的数字量输出。从表 10.4.1 所示的寄存器输出与编码器输出状态的对应关系，可以推出编码器输出逻辑函数表达式，分别为

$$D_0 = Q_7 + \overline{Q}_6 Q_5 + \overline{Q}_4 Q_3 + \overline{Q}_2 Q_1 \qquad (10.4.2)$$

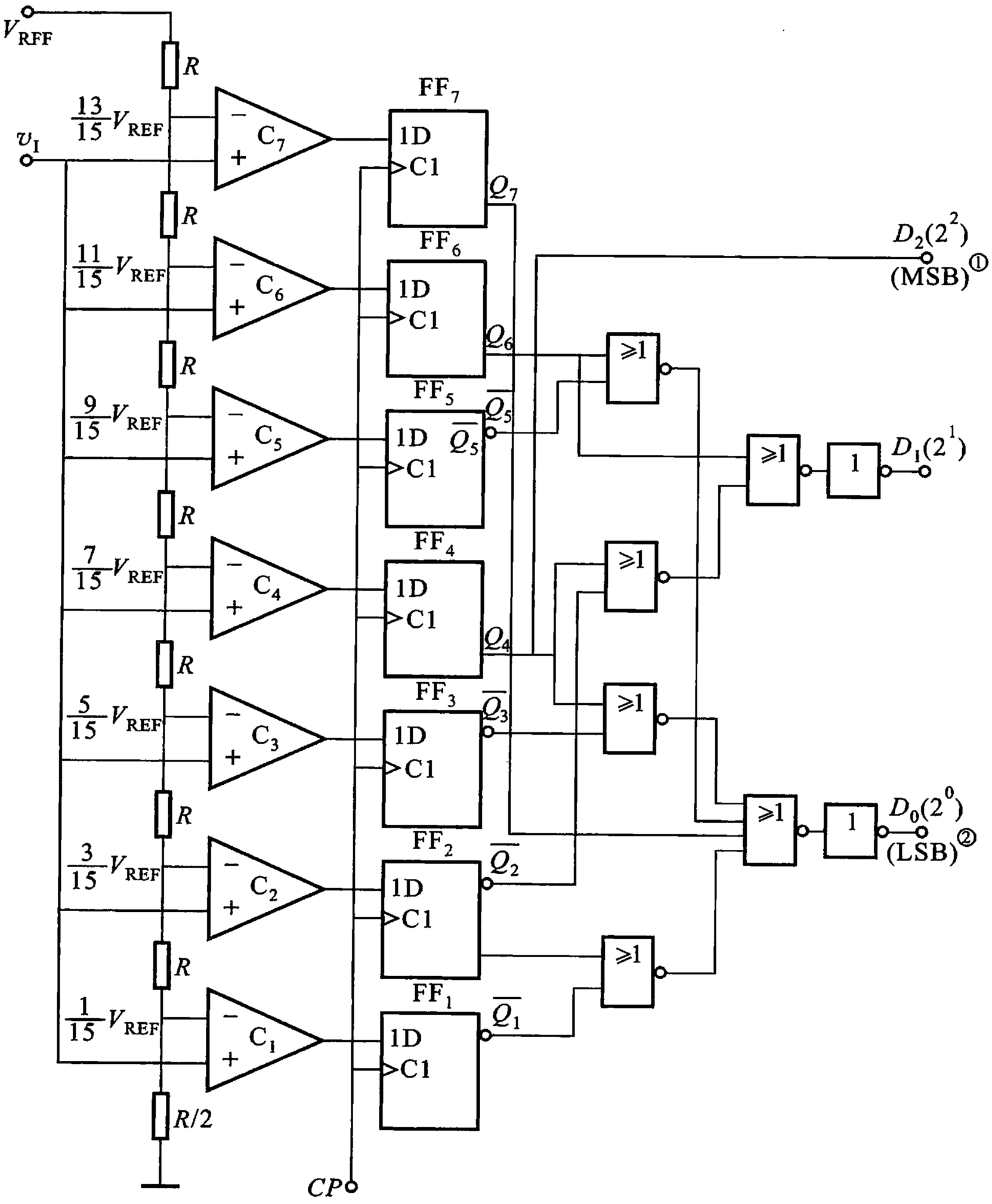


图 10.4.4　3 位二进制输出并行比较型 A/D 转换器

$$D_1 = Q_6 + \overline{Q}_4 Q_2 \tag{10.4.3}$$

$$D_2 = Q_4 \tag{10.4.4}$$

在图 10.4.4 中：

① MSB 系 Most Significant Bit 的缩写，即最高位。

② LSB 系 Least Significant Bit 的缩写，即最低位。

表 10.4.1　图 10.4.4 所示 A/D 转换器输入－输出关系

模拟输入 v_I	量化标尺分度值	编码器输入（寄存器输出） Q_7	Q_6	Q_5	Q_4	Q_3	Q_2	Q_1	编码器输出（MSB） D_2	D_1	（LSB） D_0
$0 \leqslant v_I < \frac{1}{15}V_{REF}$	$0S$	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**	**0**
$\frac{1}{15}V_{REF} \leqslant v_I < \frac{3}{15}V_{REF}$	$1S$	**0**	**0**	**0**	**0**	**0**	**0**	**1**	**0**	**0**	**1**
$\frac{3}{15}V_{REF} \leqslant v_I < \frac{5}{15}V_{REF}$	$2S$	**0**	**0**	**0**	**0**	**0**	**1**	**1**	**0**	**1**	**0**
$\frac{5}{15}V_{REF} \leqslant v_I < \frac{7}{15}V_{REF}$	$3S$	**0**	**0**	**0**	**0**	**1**	**1**	**1**	**0**	**1**	**1**
$\frac{7}{15}V_{REF} \leqslant v_I < \frac{9}{15}V_{REF}$	$4S$	**0**	**0**	**0**	**1**	**1**	**1**	**1**	**1**	**0**	**0**
$\frac{9}{15}V_{REF} \leqslant v_I < \frac{11}{15}V_{REF}$	$5S$	**0**	**0**	**1**	**1**	**1**	**1**	**1**	**1**	**0**	**1**
$\frac{11}{15}V_{REF} \leqslant v_I < \frac{13}{15}V_{REF}$	$6S$	**0**	**1**	**1**	**1**	**1**	**1**	**1**	**1**	**1**	**0**
$\frac{13}{15}V_{REF} \leqslant v_I < V_{REF}$	$7S$	**1**	**1**	**1**	**1**	**1**	**1**	**1**	**1**	**1**	**1**

根据式(10.4.2)～(10.4.4),可以画出编码器的逻辑电路,其结果与图 10.4.4 所示右半部分相同。

并行 A/D 转换器的优点是转换速度快,转换时间可低达20 ns。缺点是比较器数目较多,若要求有 n 位二进制数输出,所用比较器的个数为(2^n-1)。

(2) 逐次渐近型 A/D 转换器

逐次渐近型 A/D 转换器的工作原理如图 10.4.5 所示。这种转换器的电路包括比较器 C、D/A 转换器(DAC)、寄存器、时钟脉冲源和控制逻辑等 5 个组成部分。

转换开始前先将寄存器清零,所以加给 D/A 转换器的数字量也全是**0**。转换控制信号 v_C 变为高电平后开始转换,时钟信号首先将寄存器的最高位置成**1**,使寄存器的输出为**100…00**。这个数字信号被 D/A 转换器转换成相应的模拟电压 v_P,并送到比较器与输入信号 v_N 进行比较。如果 $v_P > v_N$,说明数字过大了,则这个**1**被去掉;如果 $v_P < v_N$,说明数字还不够大,这个**1**被保留。然后,再按同样的方法将次高位置**1**,并比较 v_P 与 v_N 的大小后确定这一位的**1**是否保留。这样逐位比较下去,直到最低位比较完为止。这时寄存器里所存的数码就是所求的输出数字信号。

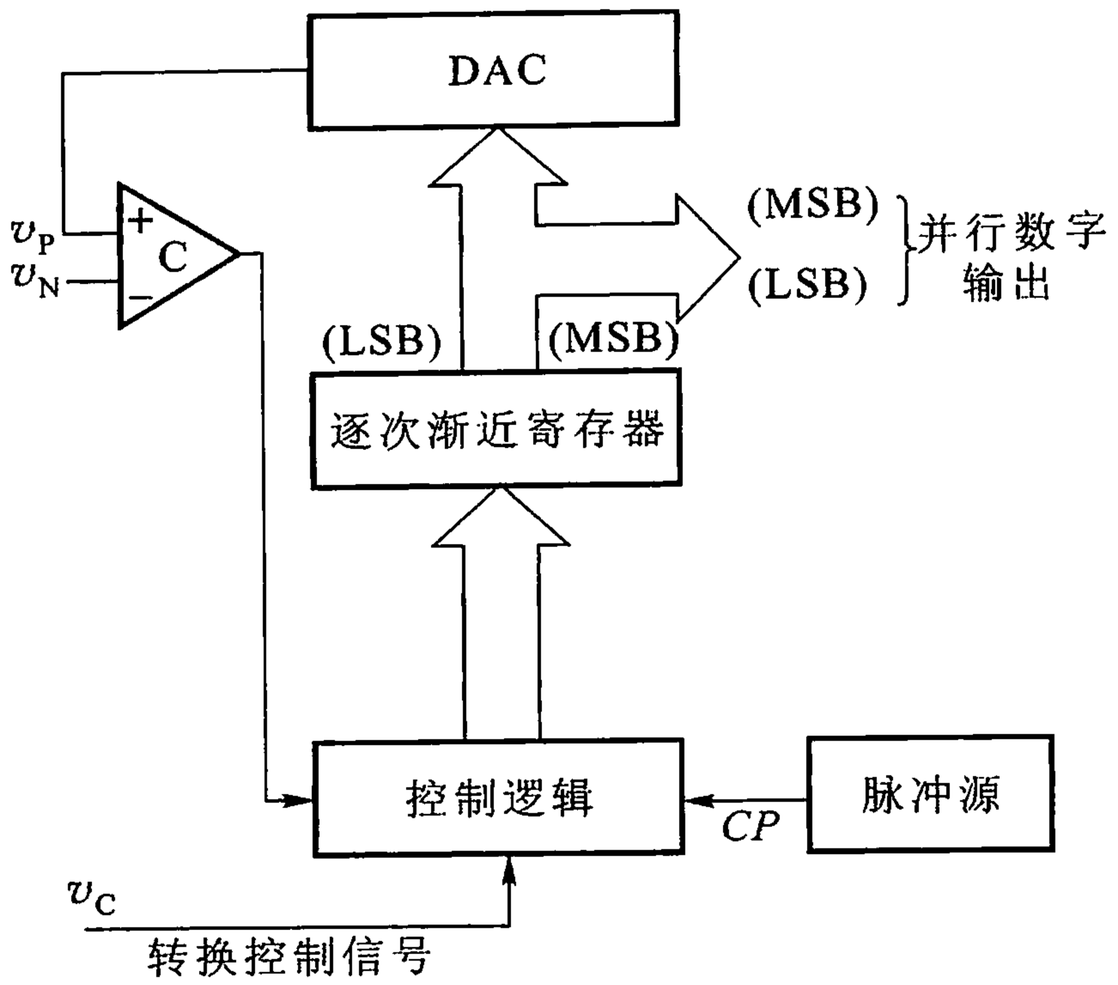


图 10.4.5　逐次渐近型 A/D 转换器的电路结构框图

(3) 双积分 A/D 转换器

这是一种间接 A/D 转换器。间接 A/D 转换器是先将模拟信号电压变换为相应的某种形式的中间信号(如变为时间、频率等),然后再将这个中间信号变换为二进制代码输出。目前,用得最多的是电压 - 时间($V-T$)变换型间接 A/D 转换器。

图 10.4.6 所示为双积分 A/D 转换原理图。它由积分器、过零比较器、脉冲信号源及控制逻辑电路组成。S_0、S_1 为模拟开关,控制逻辑电路包括一个 n 位计数器、附加触发器 FF_C、模拟开关驱动电路 L_0、L_1 及门 G_1、G_2。图中,v_I 为输入模拟信号,$-V_{REF}$为参考电压。这里只考虑单极性运用情况,即 $v_I \geqslant 0$,并设 $V_{REF} > v_I$。

转换开始之前,令转换控制信号 $v_C = \mathbf{0}$。所以,计数器和附加触发器均被置 **0**,同时使 S_0闭合,电容器 C 充分放电,$v_{O1} = \mathbf{0}$。

$v_C = \mathbf{1}$以后,S_0断开,A/D 转换开始。每次转换都包括如下两个过程:

① 通过两次积分将 v_I 转换成相应的时间间隔

设转换开始时 $t = 0$,S_1与 v_I 接通,积分器以固定的时间间隔 $T_1 = t_1 - 0$ 对 v_I 积分。积分器输出电压负向线性变化,v_{O1}的波形如图 10.4.7 所示。$t = t_1$ 时,积分器的输出电压为

$$v_{O1}(t_1) = -\frac{1}{RC}\int_0^{t_1} v_I \mathrm{d}t = -\frac{v_{I(AV)}}{RC}t_1 \tag{10.4.5}$$

式中,$v_{I(AV)}$为 $0 \sim t_1$ 期间模拟电压的平均值。

从 $t = t_1$ 开始,开关 S_1 闭合到参考电压 $-V_{REF}$一侧,积分器开始对参考电压积分。积分器的输出电压从负值 $v_{O1}(t_1)$开始以正斜率回升,设经 T_2 时间(T_2 =

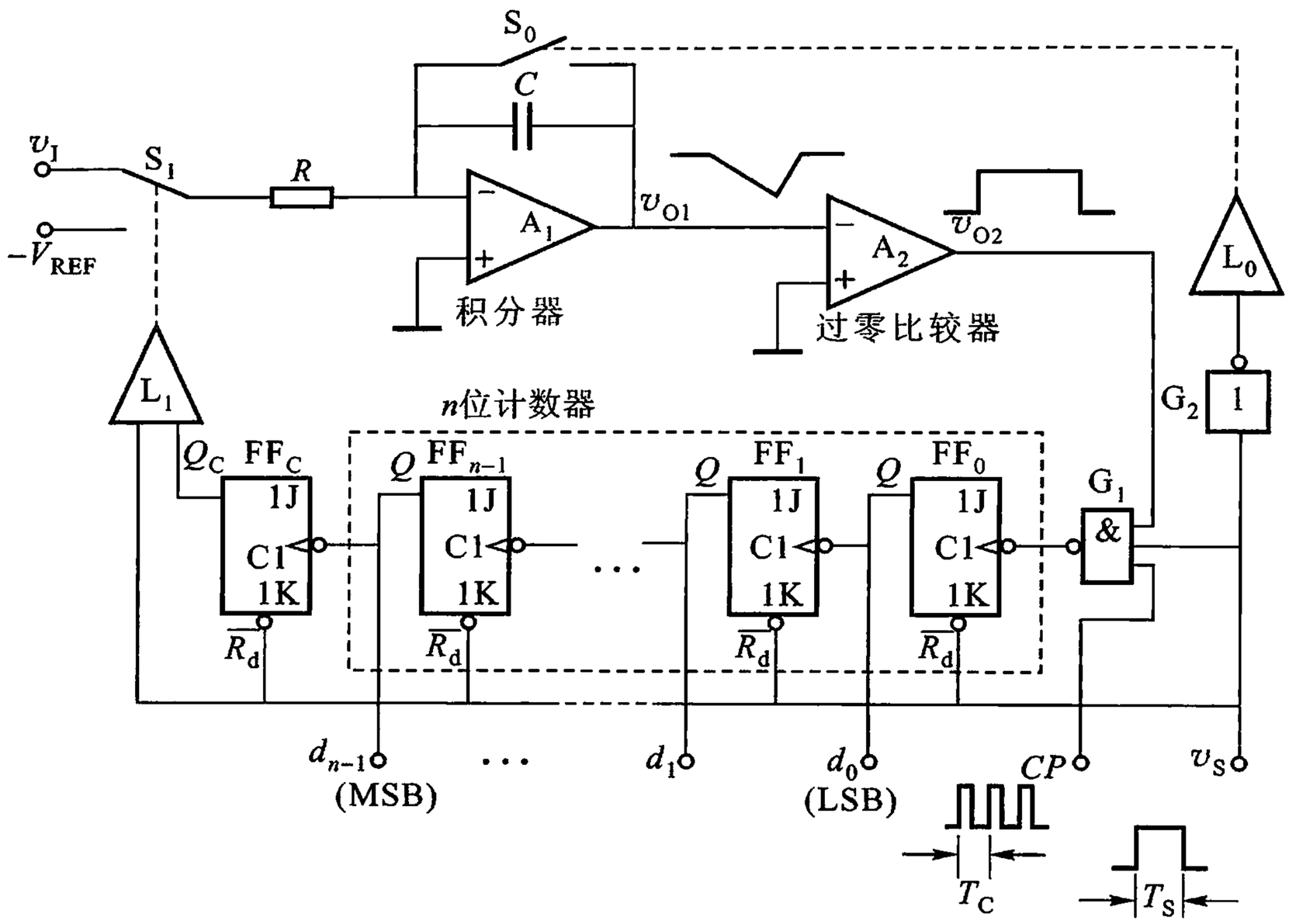


图 10.4.6　双积分 A/D 转换器原理图

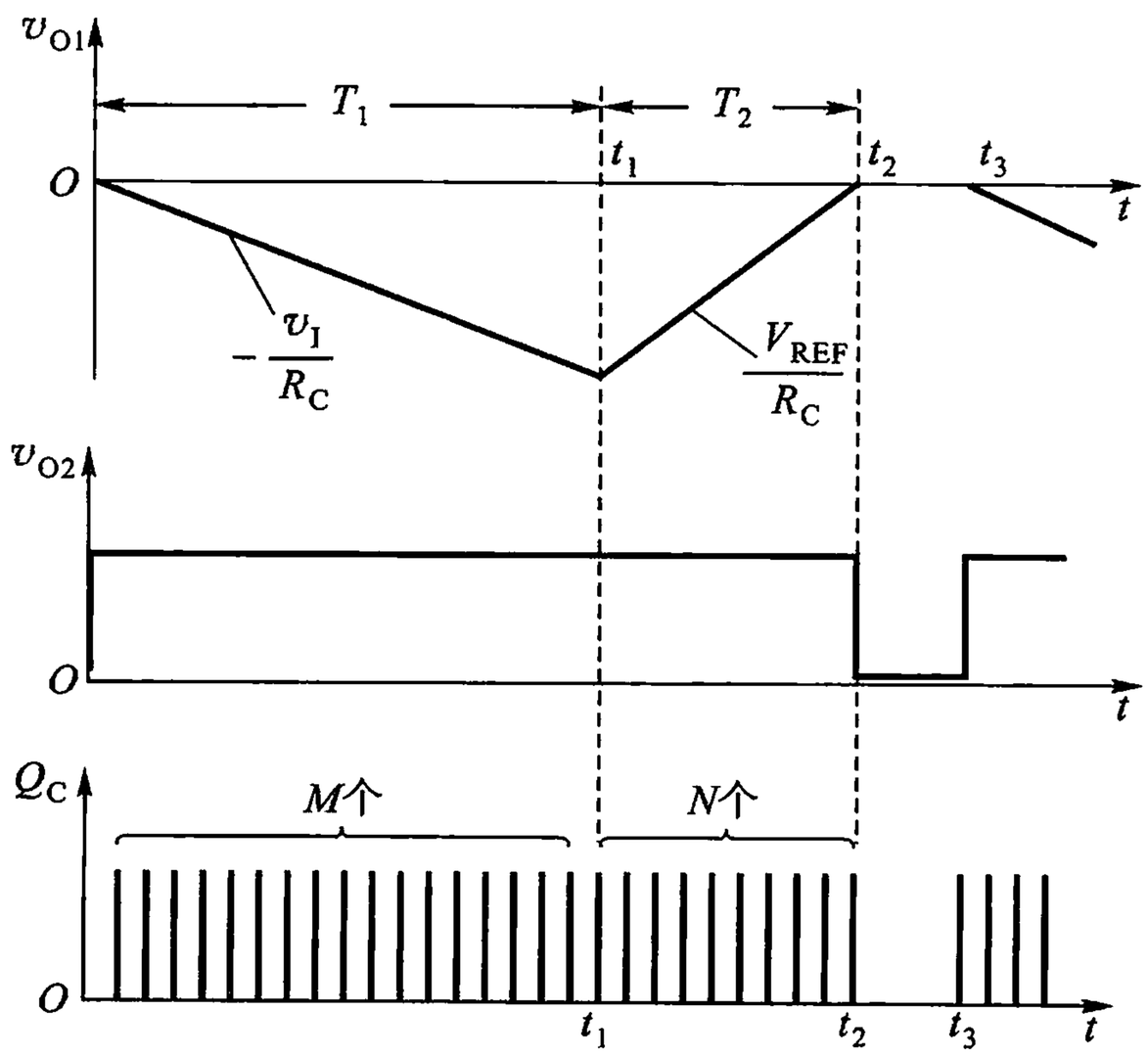


图 10.4.7　双积分 A/D 转换器工作波形

$t_2 - t_1$），$v_{O1}(t_2)$回升到 0，则有

$$v_{O1}(t_2) = v_{O1}(t_1) + \frac{1}{RC}\int_{t_1}^{t_2} V_{REF}\,dt$$

$$= -\frac{v_{I(AV)}}{RC}t_1 + \frac{V_{REF}(t_2 - t_1)}{RC} = 0 \qquad (10.4.6)$$

$$v_{I(AV)}T_1 = V_{REF}T_2$$

$$T_2 = \frac{T_1}{V_{REF}}v_{I(AV)} \qquad (10.4.7)$$

由于 V_{REF}和 T_1 为定值，所以 T_2 与 $v_{I(AV)}$成正比，即将 v_I 变换为与它成正比的时间间隔。

② 利用计数器对已知时钟脉冲计数测出 T_2 完成 A/D 转换

从 $t=0$ 开始，积分器的输出电压 $v_{O1}(t)$以负斜率自零负向变化，过零比较器输出高电平，选通控制门 G_1 使周期为 T_C 的时钟脉冲进入计数器，开始加法计数。计数器为一个 n 位加法计数器，模 $M=2^n$。当计满 M 个脉冲时，计数器回到全零状态。与此同时，计数器给 FF_C 一个进位脉冲，使 FF_C 由 **0** 变 **1**。该信号作用于模拟开关 S_1 的驱动电路 L_1，启动 S_1 改接至 $-V_{REF}$ 上。于是积分器开始对 $-V_{REF}$ 积分，经过 $T_2 = t_2 - t_1$ 时间，积分器输出电压回到零值，使过零比较器的输出变为低电平，封锁了门 G_1，加法计数停止。设 T_2 期间，计数器累计的时钟脉冲个数为 N，由于 $V_{REF} > v_I$，所以 $N < M$。N 的大小可通过译码显示电路得知（图中未画出）。

由以上分析可知，T_1、T_2 的大小分别为

$$T_1 = MT_C \qquad (10.4.8)$$

$$T_2 = NT_C \qquad (10.4.9)$$

将上两式代入式(10.4.7)中，得

$$v_{I(AV)} = \frac{T_2}{T_1}V_{REF} = \frac{N}{M}V_{REF} = \frac{N}{2^n}V_{REF} \qquad (10.4.10)$$

可见，输入模拟信号在采样期 T_1 时间内的平均值与 T_2 期间计数器的累计脉冲个数 N 成正比。$N = D = d_{n-1}\cdots d_0$。这就是将模拟量转换成数字量的最后结果。只要 $v_I < V_{REF}$，以上转换就能正常进行。图 10.4.7 所示为图 10.4.6 所示电路的工作波形。图中 $t_2 \sim t_3$ 的时间间隔为休止期。休止期内，$v_C = \mathbf{0}$，L_0 驱动 S_0 闭合，使积分器中电容器充分放电，以达到 $v_{O1} = \mathbf{0}$，计数器清零的初始状态，为下次转换准备好条件。$t = t_3$，A/D 转换又开始，重复上述物理过程。

如果取 $V_{REF} = 2^n$ V，则由式(10.4.10)得

$$N = \frac{2^n}{V_{REF}}v_{I(AV)} = v_{I(AV)} \qquad (10.4.11)$$

即计数器累计的脉冲数 N 在数字上等于被测电压的数值。

由于双积分 A/D 转换器采用了在采样期 T_1 时间内测量输入电压 v_I 平均值的原理，亦即进行的是一个积分过程，因此，具有工作性能稳定的优点。当选择 T_1 为 20 ms（工频周期）的整数倍时，对工频干扰信号和周期等于几分之一 T_1 的对称干扰（指整个周期内平均值为零的干扰）都有很强的抑制作用。另外，由于两次积分使用的是同一个积分器，因此，转换结果不受 R、C 值等参数变化的影响。双积分转换器的主要缺点是转换速度低，每次转换时间需取 $2^{n+1}T_C$ 以上，如再考虑转换前的准备时间，则完成一次转换所需时间更长。

（4）双积分型集成 A/D 转换器 5G14433 使用简介

双积分型 A/D 转换器 5G14433（MC14433）是采用 CMOS 工艺制作的大规模集成电路，使用时只需外加两个电阻和两个电容器，即可组成具有自动调零和极性自动转换功能的 A/D 转换系统。当参考电压取 2 V 或 200 mV 时，输入模拟电压的范围对应为 0 ~ 2 V、0 ~ 200 mV。它具有功耗低、抗干扰能力强、精度高等优点，缺点是转换速度低，只能达到 3 ~ 10 次/秒。

图 10.4.8 所示为 5G14433 的电路结构框图，其外部引线排列如图 10.4.9 所示。现将各引脚功能分述如下：

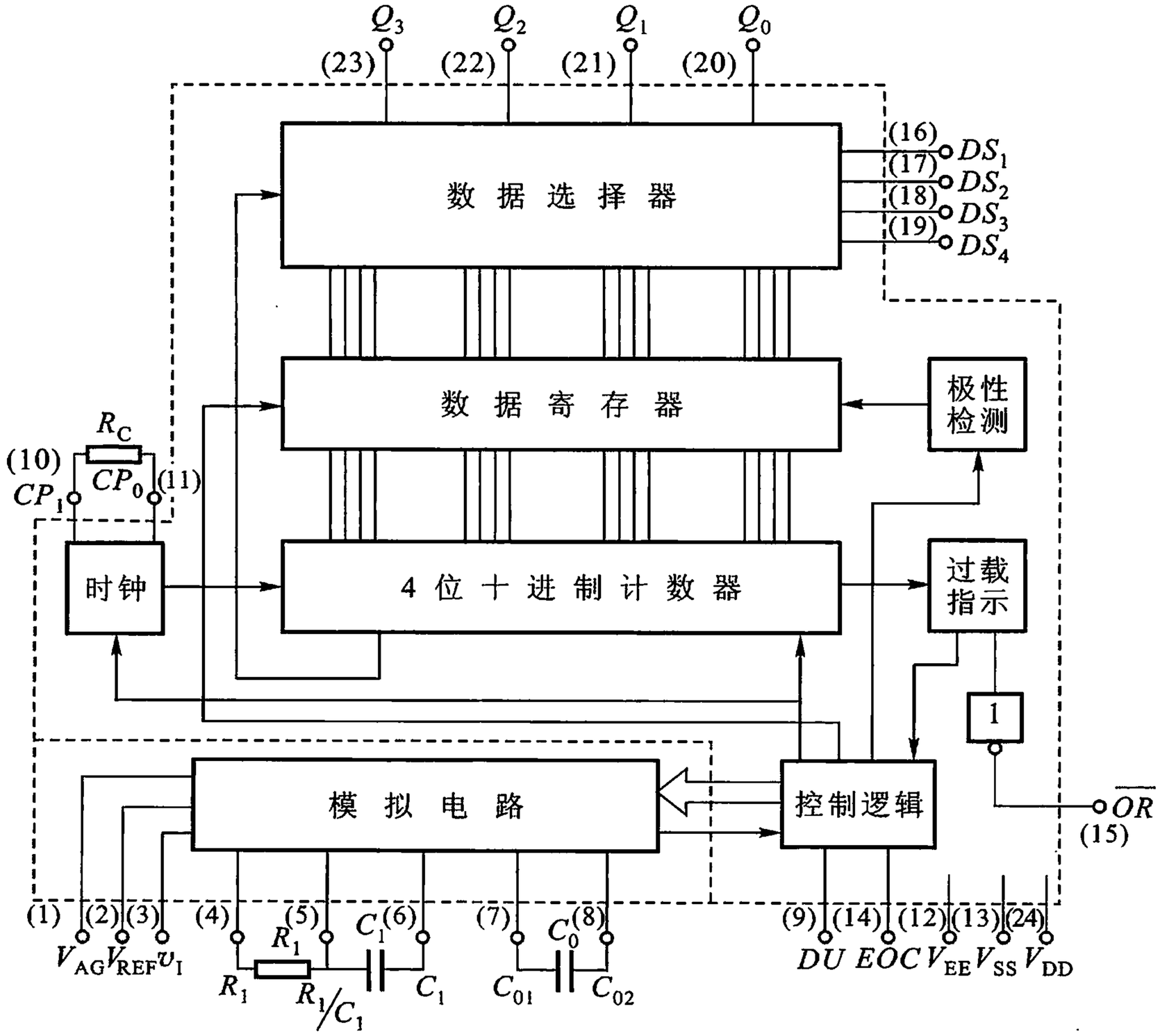


图 10.4.8　5G14433（MC14433）内部结构框图

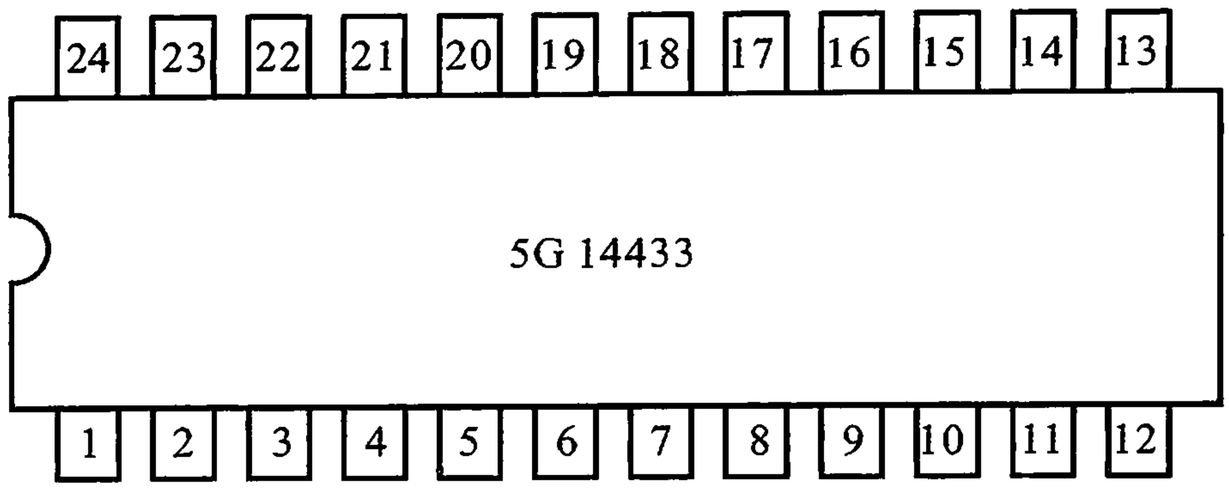


图 10.4.9　5G14433 外部引脚排列

① V_{AG}：　模拟地。是输入模拟电压和参考电压的电位参考点(零电位)。

② V_{REF}：　参考电压输入端。

③ v_I：　模拟电压输入端。

④ R_1、⑤ R_1/C_1、⑥C_1：　积分电阻、积分电容接线端;⑥兼作积分波形输出端。

⑦ C_{O1}、⑧ C_{O2}：　失调电压补偿电容接线端。

⑨ DU：　实时输出控制端。如果在双积分电路放电阶段开始前从 DU 端加入一个正脉冲,则转换结束时所得结果被送入数据寄存器,并经数据选择器输出;否则,数据寄存器中的数据不变,输出的仍为原来的结果。只要将 EOC 输出信号(转换周期结束信号)接到 DU 端,那么,输出将是每次转换后的新结果。

⑩ CP_1：　时钟信号输入端。使用外部时钟信号时,由此处输入。

⑪ CP_0：　时钟信号输出端。

⑫ V_{EE}：　负电源输入端。

⑬ V_{SS}：　电源公共端。

⑭ EOC：　转换周期结束输出信号

⑮ $\overline{OR}$：　溢出信号输出端。

⑯ DS_1：　输出数字千位的选通脉冲输出端。

⑰ DS_2：　输出数字百位的选通脉冲输出端。

⑱ DS_3：　输出数字十位的选通脉冲输出端。

⑲ DS_4：　输出数字个位的选通脉冲输出端。

⑳ ~ ㉓：　Q_0、Q_1、Q_2、Q_3 转换结果输出(BCD)码。

㉔ V_{DD}：　正电源输入端。

图 10.4.10 所示为 5G14433 工作时序图。每个转换周期结束时首先发出 EOC 正脉冲,每个脉冲宽度为 1/2 时钟周期。随后依次发出 DS_1 ~ DS_4 脉冲,每个脉冲宽度为 18 个时钟周期,依次延迟两个时钟周期。DS_1 = **1**期间,数据寄存

器中千位数的数据被送到输出端；$DS_2 = 1$期间，数据寄存器中百位数的数据被送到输出端；$DS_3 = 1$期间，数据寄存器中十位数的数据被送到输出端；$DS_4 = 1$期间，数据寄存器中个位数的数据被送到输出端。完成一次转换需 16 400 个时钟周期时间。时钟周期决定于图 10.4.8 中的外接电阻 R_C 的大小。

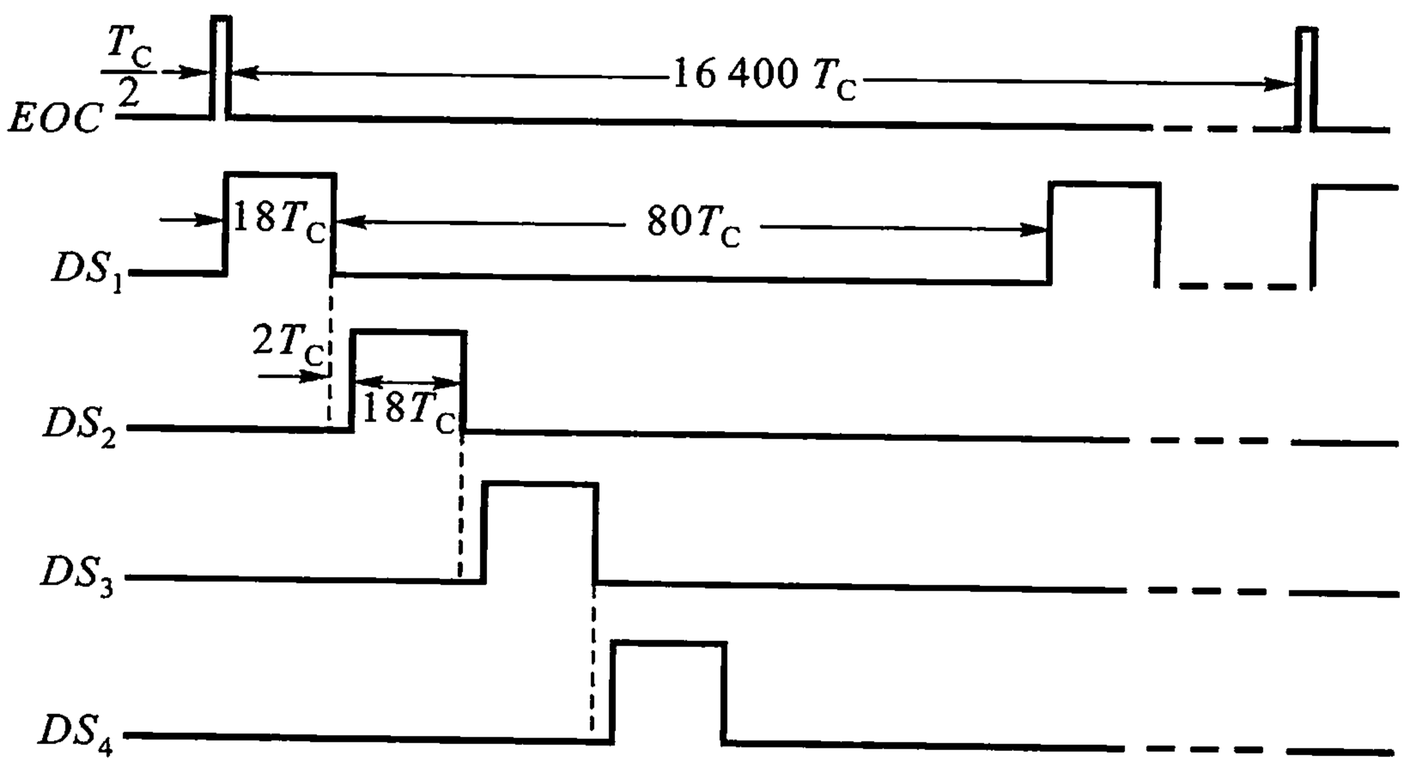


图 10.4.10　5G14433 工作时序波形图

（5）A/D 转换器的转换精度与转换速度

① A/D 转换器的转换精度

在单片集成的 A/D 转换器中也常用分辨率（又称分解度）和转换误差来描述转换精度。

分辨率以输出二进制数或十进制数的位数来表示，它表明A/D 转换器对输入信号的分辨能力。n 位二进制数字输出的 A/D 转换器应能分辨输入为 2^n 个不同等级大小的模拟电压，能分辨输入电压的最小差异为输入电压的FSR①/2^n，例如，A/D 转换器的输出为 10 位二进制数，最大输入信号为 5 V，那么，这个转换器的输出应能分辨出输入信号的最小差异为 5 V/2^{10} = 4.88 mV。

转换误差表示实际输出的数字量和理论上应有的数字输出量之间的差别，一般以最低有效位的倍数形式来表示。例如，给出转换误差小于 ± LSB/2，这就表明实际输出的数字量和理论上应得到的输出数字量之间的误差小于最低有效位的半个字。

有时也用满量程输出的百分数来表示转换误差。例如，A/D 转换器的输出为十进制的 $3\frac{1}{2}$位，转换误差为 ±0.005% FSR，则满量程输出为 1 999，最大输出误差小于最低位的 1。

① FSR 为 Full Scale Range 缩写，即满量程。

单片集成 A/D 转换器的转换误差已经综合地反映了电路内部各个元器件及单元电路偏差对转换精度的影响，所以无需再分别讨论这些因素各自对转换精度的影响了。

② A/D 转换器的转换速度

A/D 转换器的转换速度主要取决于转换电路的类型，不同类型 A/D 转换器的转换速度相差很远。

并联比较型 A/D 转换器的转换速度最快。例如，8 位二进制的单片集成 A/D转换器转换时间可以缩短至 50 ns 以内。

逐次渐近型 A/D 转换器的转换速度次之。多数产品的转换时间都在 10 ~ 100 μs 之间。个别速度较快的 8 位 A/D 转换器的转换时间可以不超过 1 μs。

相比之下间接 A/D 转换器的转换速度比较低。目前使用的双积分型 A/D 转换器转换时间多在数十毫秒至数百毫秒之间。

此外，在组成高速 A/D 转换器时还应将采样保持电路的获取时间（即采样信号稳定地建立起来所需要的时间）计入转换时间之内。一般单片集成采样保持电路的获取时间在几微秒的数量级，与所选定的保持电容的电容量大小很有关系。

10.4.3　D/A 转换器

如果 n 位二进制数用 $D_n = d_{n-1}d_{n-2}\cdots d_1 d_0$ 表示，则从最高位（MSB）到最低位（LSB）的权依次为 2^{n-1}、2^{n-2}、…、2^1、2^0。为了把数字量转换成模拟量，必须将二进制数中每一个为**1**的代码按其权相加，所得总和就是与数字量成正比的模拟量，从而能实现数字/模拟转换，其示意图如图 10.4.11 所示。D/A 转换电路种类很多，现只介绍最基本的几种。

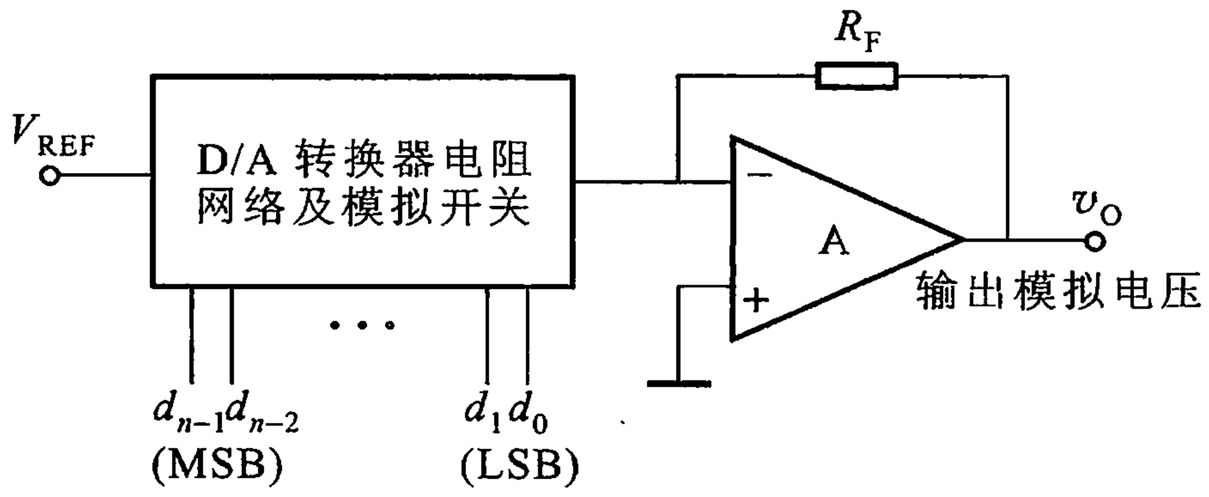


图 10.4.11　D/A 转换器框图

1. 权电阻 D/A 转换器

（1）电路组成

图 10.4.12 所示为 4 位权电阻 D/A 转换器原理图，它由权电阻网络、模拟开关、基准电压源和运算放大器等四部分组成。

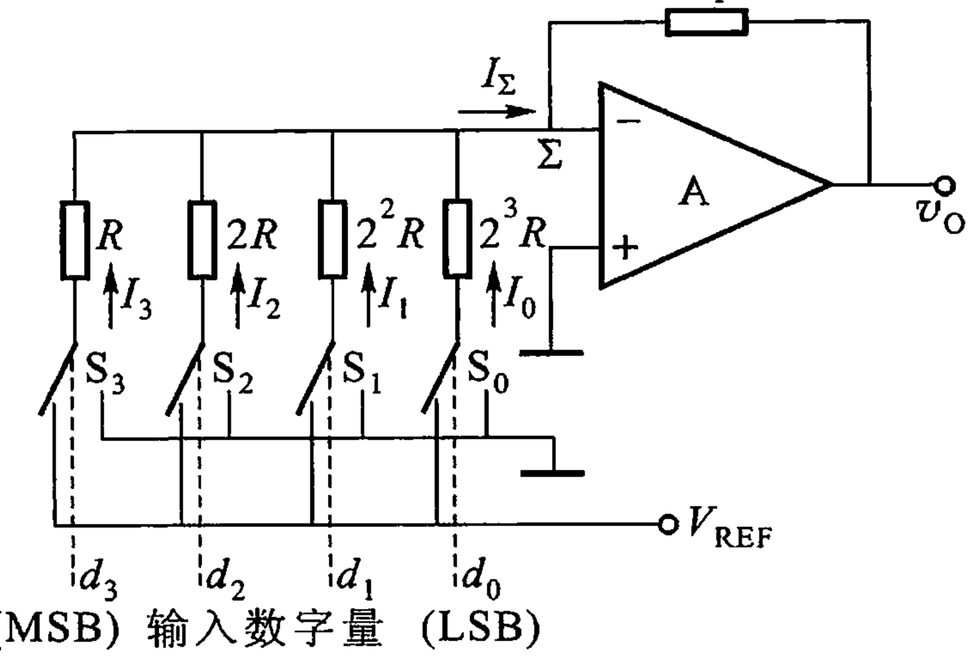


图 10.4.12　权电阻 D/A 转换器

① 4 个双向模拟开关 $S_0 \sim S_3$

它们由晶体管或者场效应管构成，每个模拟开关各受其对应输入代码的控制。代码为 **1** 时，对应电阻通过模拟开关与基准电压源 V_{REF} 相接；代码为 **0** 时，对应电阻通过开关接地。

② 权电阻网络 R、$2R$、2^2R、2^3R

流过权电阻网络中每个电阻的电流与对应位的权成正比，这些分电流在权电阻网络的输出端 Σ 处汇总加至运算放大器的反相端，I_Σ 与输入数字量成正比。

③ 基准电压源 V_{REF}

基准电压源是一个稳定性较高的恒压源。

④ 运算放大器 A

运算放大器和权电阻网络构成求和放大电路。v_O 与 I_Σ 成正比，亦即与输入数字量成正比。运算放大器还能起到缓冲作用，使 v_O 输出端的负载变化时不影响 I_Σ。调节反馈电阻 R_F 的大小，可以很方便地调节转换系数，使 v_O 的数值符合实际需要。

（2）定量分析

在图 10.4.12 中，

$$I_\Sigma = I_3 + I_2 + I_1 + I_0$$

$$= \frac{V_{REF}}{2^0 R} d_3 + \frac{V_{REF}}{2^1 R} d_2 + \frac{V_{REF}}{2^2 R} d_1 + \frac{V_{REF}}{2^3 R} d_0$$

$$= \frac{V_{REF}}{2^3 R}(d_3 \times 2^3 + d_2 \times 2^2 + d_1 \times 2^1 + d_0 \times 2^0) \tag{10.4.12}$$

由此可以推知,对于 n 位权电阻转换器,则有

$$I_\Sigma = \frac{V_{REF}}{2^{n-1}R}(d_{n-1} \times 2^{n-1} + d_{n-2} \times 2^{n-2} + \cdots + d_1 \times 2^1 + d_0 \times 2^0) \tag{10.4.13}$$

输出电压为

$$v_O = -R_F I_\Sigma = -\frac{V_{REF} R_F}{2^{n-1}R}(d_{n-1} \times 2^{n-1} + d_{n-2} \times 2^{n-2} + \cdots + d_1 \times 2^1 + d_0 \times 2^0) \tag{10.4.14}$$

若取 $R_F = R/2$,则

$$v_O = -\frac{V_{REF}}{2^n}(d_{n-1} \times 2^{n-1} + d_{n-2} \times 2^{n-2} + \cdots + d_1 \times 2^1 + d_0 \times 2^0) \tag{10.4.15}$$

由以上两式可见,图 10.4.9 所示电路的输出电压与二进制数字量大小成正比,从而实现了 D/A 转换。

在 $R_F = R/2$ 的情况下,当 $D_n = d_{n-1}d_{n-2}\cdots d_1 d_0 = \mathbf{00\cdots00}$ 时,$v_O = 0$;当 $D_n = \mathbf{11\cdots11}$ 时,$v_O = -(2^n - 1)V_{REF}/2^n$,$v_O$ 的最大变化范围是 $0 \sim -(2^n - 1)V_{REF}/2^n$。

图 10.4.12 所示电路的优点是结构简单;缺点是网络中各电阻阻值差别太大,尤其当输入数字量位数较多时,这种差别就更加突出。例如,输入数字量为 10 位二进制数时,网络中最大电阻阻值与最小电阻阻值之比为 512:1。若 $R_{min} = 10\ k\Omega$,则 $R_{max} = 5.12\ M\Omega$。在阻值变化范围如此宽广的情况下,实现每个电阻阻值并具有一定精度是十分困难的。

2. 倒 T 形电阻网络 D/A 转换器

这种电路中只有 R 和 $2R$ 两种电阻接成倒 T 形电阻网络。4 位倒 T 形电阻网络 D/A 转换器如图 10.4.13 所示。当输入数字量的任何一位 d_i 为 **1** 时,对应的开关将 $2R$ 电阻支路接运算放大器的反相端;当 d_i 为 **0** 时,对应开关将 $2R$ 电阻支路接地。因此,在图 10.4.10 中,不管输入的数字信号每一位是 **1** 还是 **0**,$2R$ 电阻总是接地的。假定开关转换时不出现脱空瞬间,即要么接地,要么接虚地,这样 $2R$ 电阻支路内流过的电流就与开关的位置无关且始终不变。由图 10.4.13可见,从参考电压源 V_{REF} 向左看去的等效电阻为 R。因此,从参考电压源流出的电流 $I = V_{REF}/R$。这个电流流过 A、B、C、D 每一个结点时都会等分为两路流出,即流过 $2R$ 电阻的电流依次为 $I/2$、$I/4$、$I/8$ 和 $I/16$。输入数字量为 **1** 的位,对应位的开关将电流同时导引到运算放大器;输入数字量为 **0** 的位,对

应的开关将电流导引入地;可见,图中的开关为电流开关。电流开关转换时,各结点电压保持不变,不会出现寄生电容充、放电带来的延迟,有利于提高转换速度。

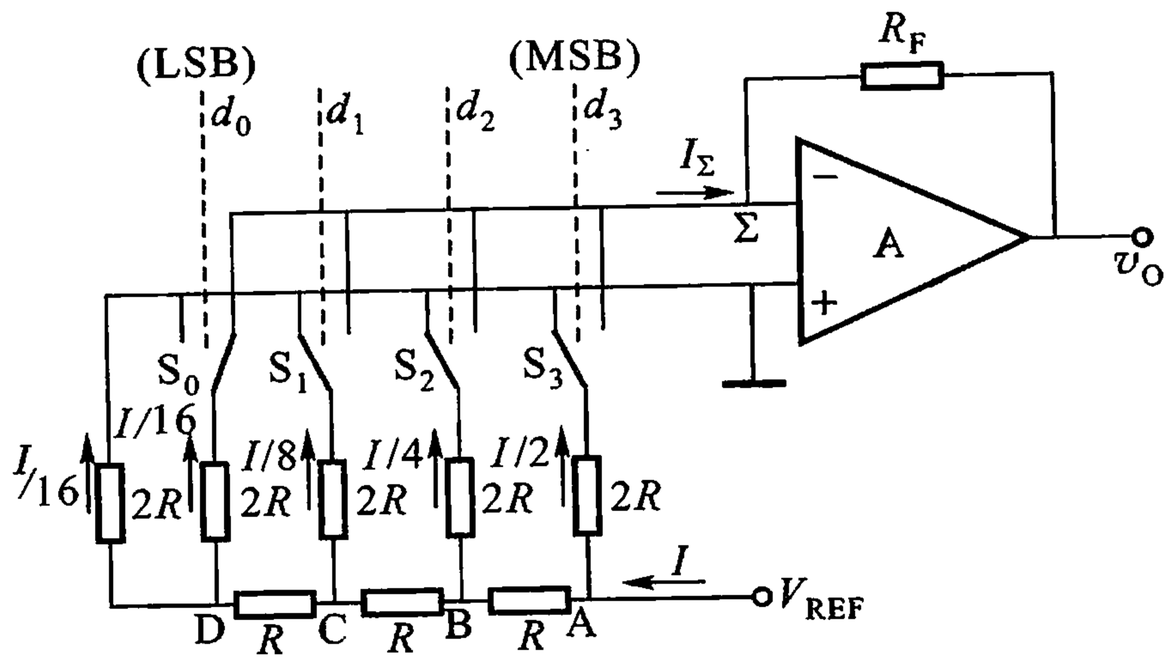


图 10.4.13　倒 T 形电阻网络 D/A 转换器

由图 10.4.13 可直接写出运算放大器的输出电压,即

$$v_O = -I_\Sigma R_F$$

$$= -R_F\left(d_3 \times \frac{I}{2} + d_2 \times \frac{I}{4} + d_1 \times \frac{I}{8} + d_0 \times \frac{I}{16}\right)$$

$$= -\frac{R_F}{R} \times \frac{V_{REF}}{2^4}(d_3 \times 2^3 + d_2 \times 2^2 + d_1 \times 2^1 + d_0 \times 2^0) \quad (10.4.16)$$

可见,v_O 正比于输入的数字量。

如果取 $R_F = 2R$,则有

$$v_O = -\frac{V_{REF}}{2^3}(d_3 \times 2^3 + d_2 \times 2^2 + d_1 \times 2^1 + d_0 \times 2^0)$$

$$= -\frac{V_{REF}}{2^3}\sum_0^3 (d_i \times 2^i)$$

$$= \left(-\frac{V_{REF}}{2^3}\right) \cdot D \quad (10.4.17)$$

对于 n 位倒 T 形电阻网络 D/A 转换器,有

$$v_O = -\frac{R_F}{R} \times \frac{V_{REF}}{2^n}(d_{n-1} \times 2^{n-1} + d_{n-2} \times 2^{n-2} +$$

$$\cdots + d_1 \times 2^1 + d_0 \times 2^0)$$

$$= \left(-\frac{R_F}{R} \times \frac{V_{REF}}{2^n}\right) \cdot D \quad (10.4.18)$$

倒 T 形电阻网络转换器是 D/A 转换器中速度最快的一种,使用最为广泛。

3. D/A 转换器的转换精度与转换速度

（1）D/A 转换器的转换精度

在 D/A 转换器中通常用分辨率和转换误差来描述转换精度。

分辨率用输入二进制数码的位数给出。在分辨率为 n 位的D/A 转换器中，从输出模拟电压的大小应能区分出输入代码从**00…00**到**11…11**全部 2^n 个不同的状态，给出 2^n 个不同等级的输出电压。因此，分辨率表示 D/A 转换器在理论上可以达到的精度。

另外，也可以用 D/A 转换器能够分辨出来的最小电压（此时输入的数字代码只有最低有效位为**1**，其余各位都是**0**）与最大输出电压（此时输入数字代码所有各位全是**1**）之比给出分辨率。例如，10 位 D/A 转换器的分辨率可以表示为

$$\frac{1}{2^{10}-1}=\frac{1}{1\,023}\approx 0.001 \tag{10.4.19}$$

然而，由于 D/A 转换器的各个环节在参数和性能上与理论值之间不可避免地存在着差异，所以实际能达到的转换精度要由转换误差来决定。表示由各种因素引起的转换误差的一个综合性指标称为线性误差（有时也称为转换误差）。线性误差表示实际的 D/A 转换特性和理想转换特性之间的最大偏差，如图 10.4.14 所示。图中的虚线表示理想的 D/A 转换特性，它是连结坐标原点和满量程输出（输入为全**1**时）理论值的一条直线。图中的实线表示实际可能的 D/A转换特性。线性误差一般用最低有效位的倍数表示。例如，给出线性误差为 1 LSB，就表示输出模拟电压与理论值之间的绝对误差小于、等于当输入为**00…01**时的输出电压。

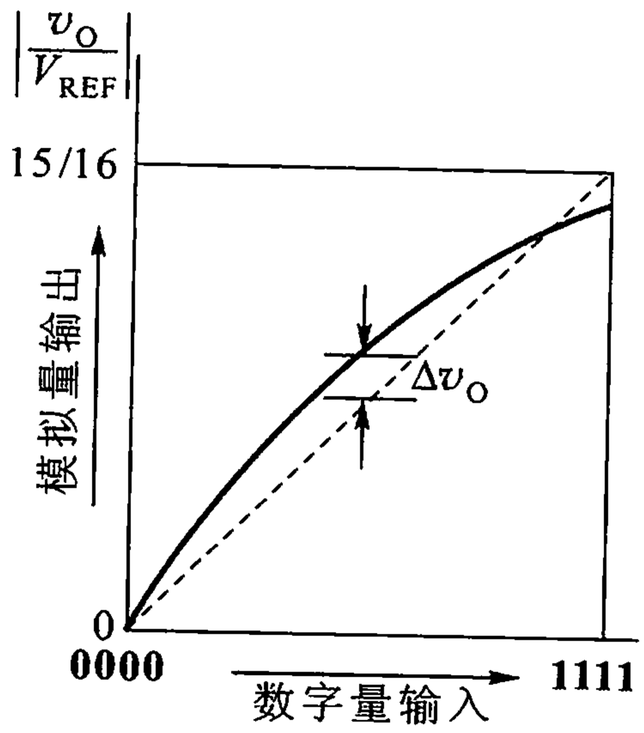


图 10.4.14　D/A 转换器的转换特性曲线

此外，有时也用输出电压满量程 FSR 的百分数表示输出电压误差绝对值的大小。

造成 D/A 转换器转换误差的原因有参考电压 V_{REF} 的波动、运算放大器的零点漂移、模拟开关的导通内阻和导通电压、电阻网络中电阻阻值的偏差以及三极管特性的不一致，等等。各种原因的具体影响可参见相关书籍。

（2）D/A 转换器的转换速度

通常用建立时间 t_{set} 来定量描述 D/A 转换器的转换速度。

建立时间 t_{set} 是这样定义的：从输入的数字量发生突变开始，直到输出电压

进入与稳态值相差 $\pm\frac{1}{2}$LSB 范围以内的这段时间，称为建立时间，如图 10.4.15 所示。因为输入数字量的变化越大建立时间越长，所以一般产品说明中给出的都是输入从全**0**跳变为全**1**（或从全**1**跳变为全**0**）时的建立时间。目前在不包含运算放大器的单片集成 D/A 转换器中，建立时间最短的可达到 0.1 μs 以内。在包含运算放大器的集成 D/A 转换器中，建立时间最短的也可达 1.5 μs 以内。

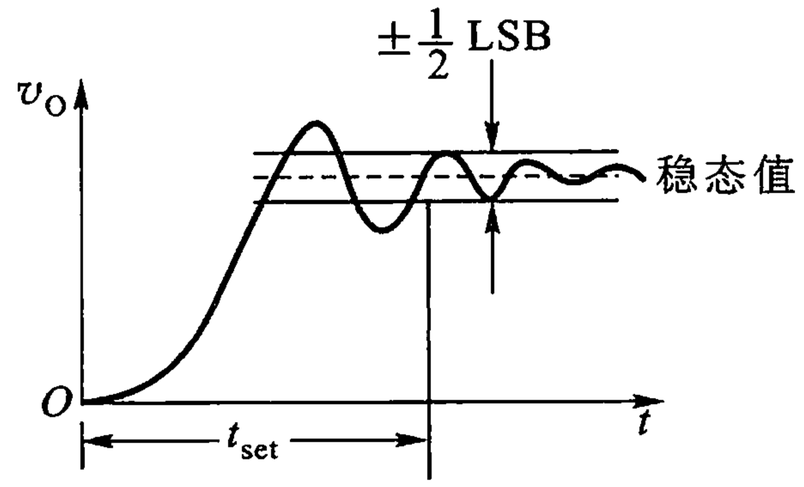


图 10.4.15　D/A 转换器的建立时间

在外加运算放大器组成完整的 D/A 转换器时，完成一次转换的全部时间应包括建立时间和运算放大器的上升时间（或下降时间）这两部分，若运算放大器输出电压的转换速率为 S_R（即输出电压的变化速度），则完成一次 D/A 转换的最大转换时间为

$$T_{R(max)} = t_{set} + V_{O(max)}/S_R \tag{10.4.20}$$

式(10.4.20)中，$V_{O(max)}$为输出模拟电压的最大值。

小结

1.　数字系统中常常需要各种宽度的上升沿或下降沿都非常陡峭的矩形脉冲信号，如时钟脉冲、定时脉冲等。获得这种脉冲信号的方法有两种：一是利用脉冲振荡器直接产生；二是对已有的非矩形脉冲信号（如正弦、锯齿波等）进行整形，使之符合系统要求。

2.　单稳态触发器、多谐振荡器、施密特触发器、555 定时器等都是脉冲信号产生、整形、定时的基本单元。单稳态触发器只有一个稳态，在外加触发脉冲作用下，触发翻转为暂稳态，经过一定时间电路又自动返回原来的稳态。单稳态触发器输出的脉冲的宽度由电路本身的参数决定而与外加触发脉冲无关。多谐振荡器没有稳态，只有两个暂稳态，不需外加触发信号，只要接通了电源，振荡就会自行建立。输出的矩形波宽度由电路本身的参数决定。施密特触发器有两个稳态，可将边沿变化缓慢的输入信号整形为矩形波。555 定时器是一种应用广

泛的集成单片定时器，多用于脉冲产生及定时。目前还有 556（双定时器）、558（四定时器）等。

3. A/D、D/A 转换器是现今控制、检测、运算等数字系统必不可少的接口电路。它们的电路种类繁多，本章仅限于介绍 A/D、D/A 转换器的基本组成和工作原理，对 D/A 转换器中的电子开关未作具体分析。数字系统所能达到的精度和速度最终是由 A/D、D/A 转换器的转换精度和转换速度决定。目前高速度、高分辨率，是 A/D、D/A 转换器的发展趋势，这样才容易与微型计算机接口，满足对信息处理的要求。



习题与思考题

10.1　若集成单稳态触发器 74121 的定时电容 $C = 1\ \mu F$，定时电阻 R 为 5 kΩ定值电阻和 20 kΩ 电位器串联，试估算脉冲宽度的变化范围。

10.2　用 555 定时器构成的单稳态触发器见图 10.3.2，v_I 波形示于图 P10.2中，试简要分析其工作过程并绘出工作波形。

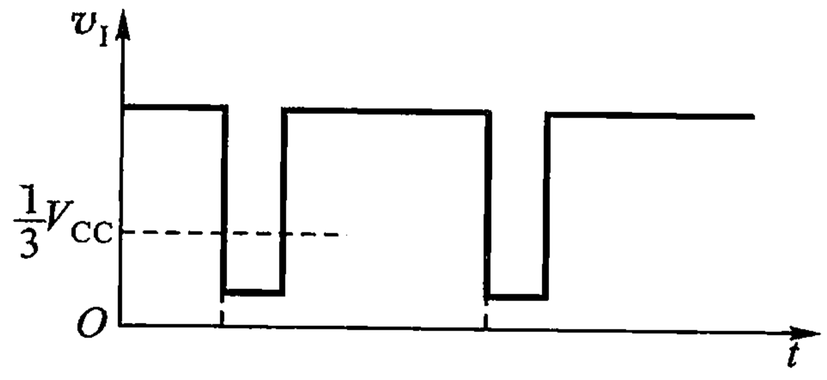


图 P 10.2

10.3　用 555 定时器构成的多谐振荡器电路，见图 10.3.4，试简要分析其工作过程并绘出工作波形。

10.4　在图 10.3.4 中，若在控制电压输入端（5 脚）加一个可变电压，则可构成电压 - 频率变换器，试定性分析其工作原理。

10.5　用 555 定时器构成的间歇模拟声响电路如图 P10.5 所示。试简要说明其工作原理。

10.6　一个过压监视电路如图 P10.6 所示，试说明当被监视电压 v_X 超过一定值时，发光二极管将发出闪烁信号的原理。

10.7　图 P10.7 所示为两个 555 定时器构成的频率可调而脉冲宽度不变的矩形波发生器，试说明其工作原理并确定其频率变化范围和输出脉冲宽度。

10.8　某双积分型 A/D 转换电路的计数器由 4 个十进制集成单片 T210 组成，它的最大计数容量 $M = (5\ 000)_{10}$，计数脉冲的计数频率 $f_c = 25$ kHz。积分器

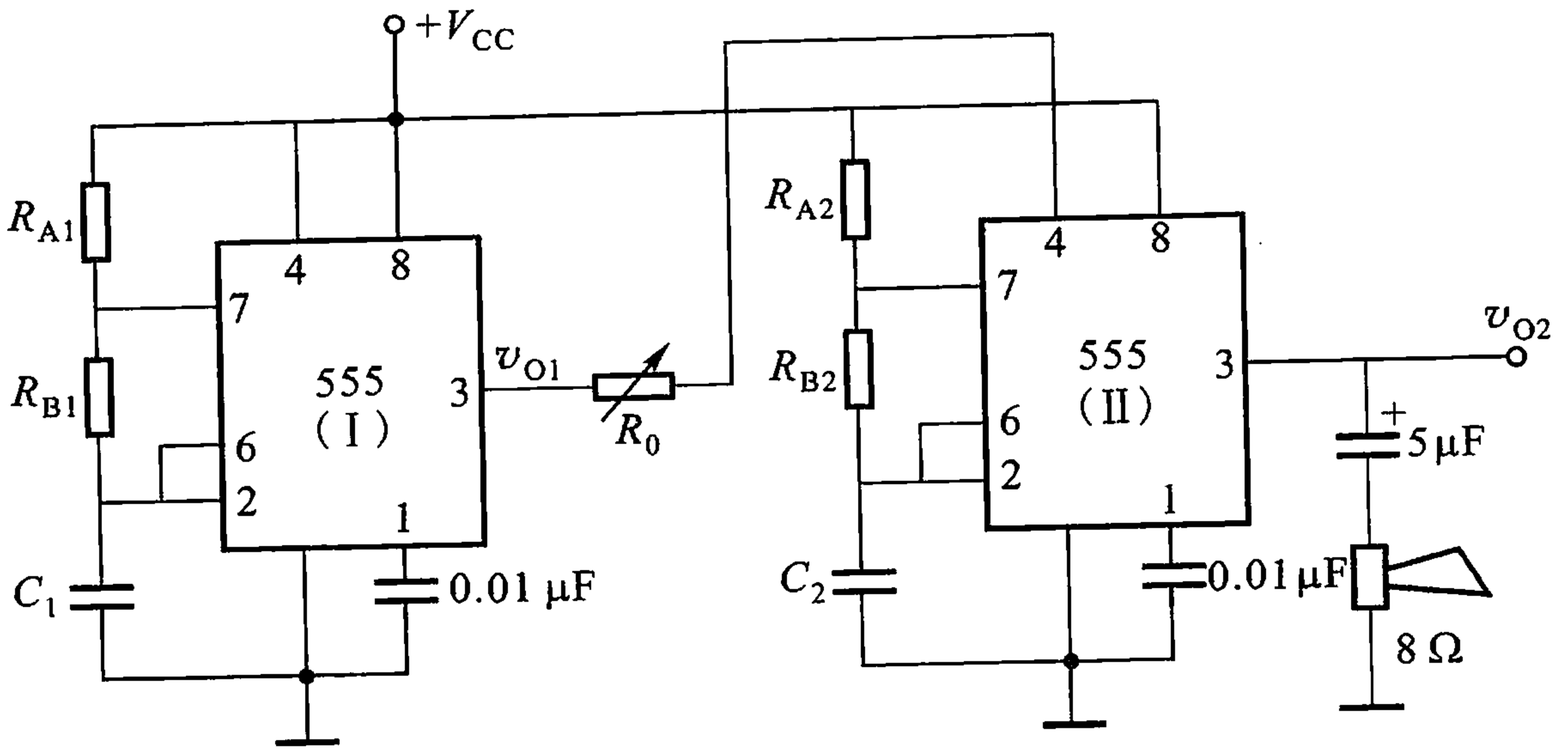


图 P 10.5

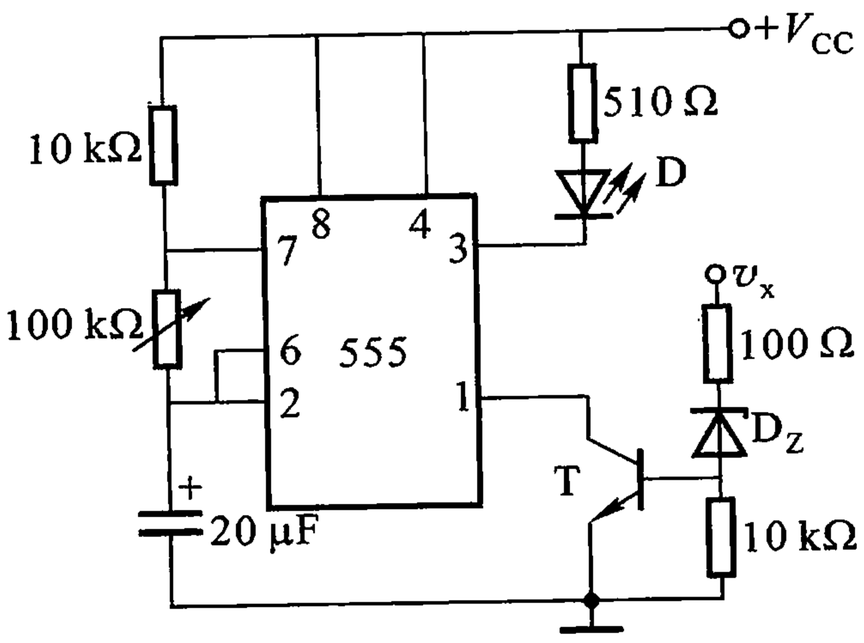


图 P 10.6

中 $R = 100\ \text{k}\Omega$，$C = 1\ \mu\text{F}$，输入电压范围为 $v_I = 0 \sim 5\ \text{V}$，试求

（1）第一次积分的时间 T_1；

（2）积分器的最高输出电压 $|v_{O\,max}|$；

（3）当 $V_{REF} = \pm 10\ \text{V}$ 时，若计数器的计数值 $N = (1\ 740)_{10}$ 时，它所表示的输入电压 $v_{I(AV)}$ 为多大？

10.9 在图 P10.9 所示的倒 T 形电阻网络中，若输入的数字量分别为 18DH、0FFH，试求相应的输出电压值。

10.10 用 4 位倒 T 形电阻网络 D/A 转换器组成一个 4 位 BCD 码 D/A 转换器，其框图如图 P10.10 所示。已知终端电阻 $R_P = 9R$，试求电阻 r 的数值。

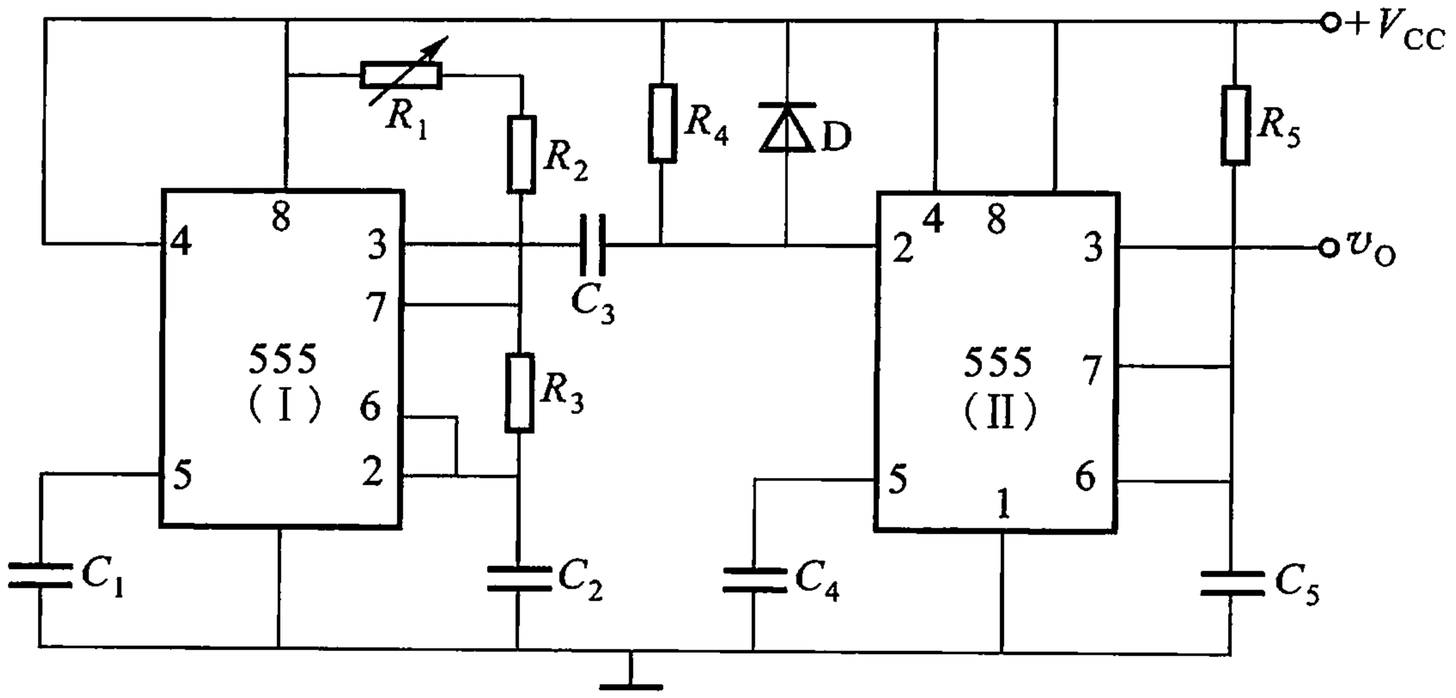


图 P 10.7

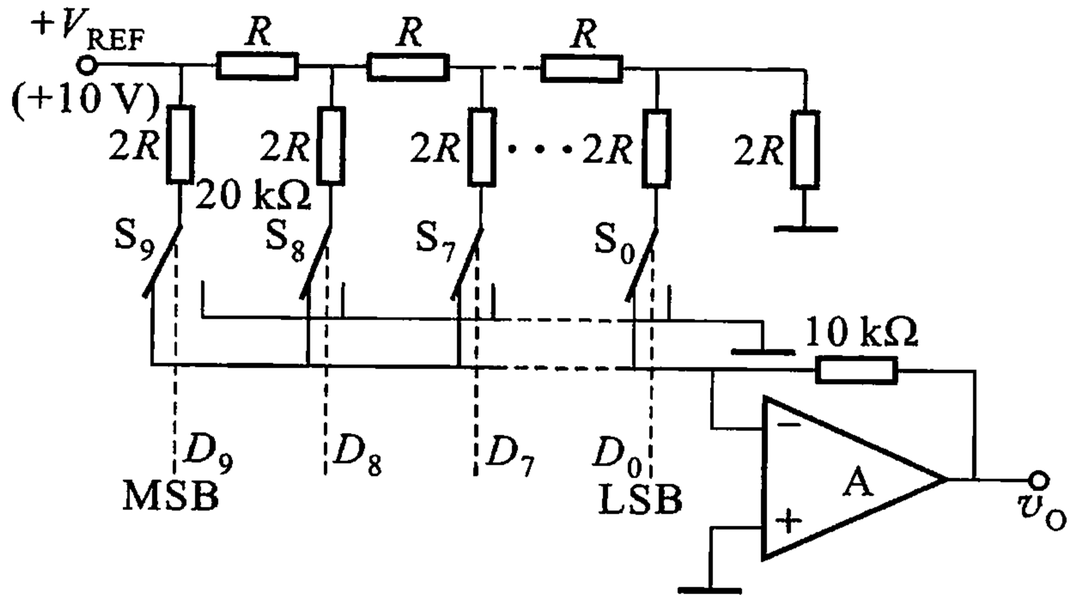


图 P 10.9

10.11　如图 10.4.6 所示的双积分 A/D 转换器中，已知时钟脉冲频率为 100 kHz，若要求输出的数字量为 10 位，求最高采样频率。

10.12　图 P10.12 所示为一个智力竞赛抢答问题时的时间鉴别电路。开关 S_A、S_B、S_C分别被 3 个竞赛者操纵，试简要分析其原理。

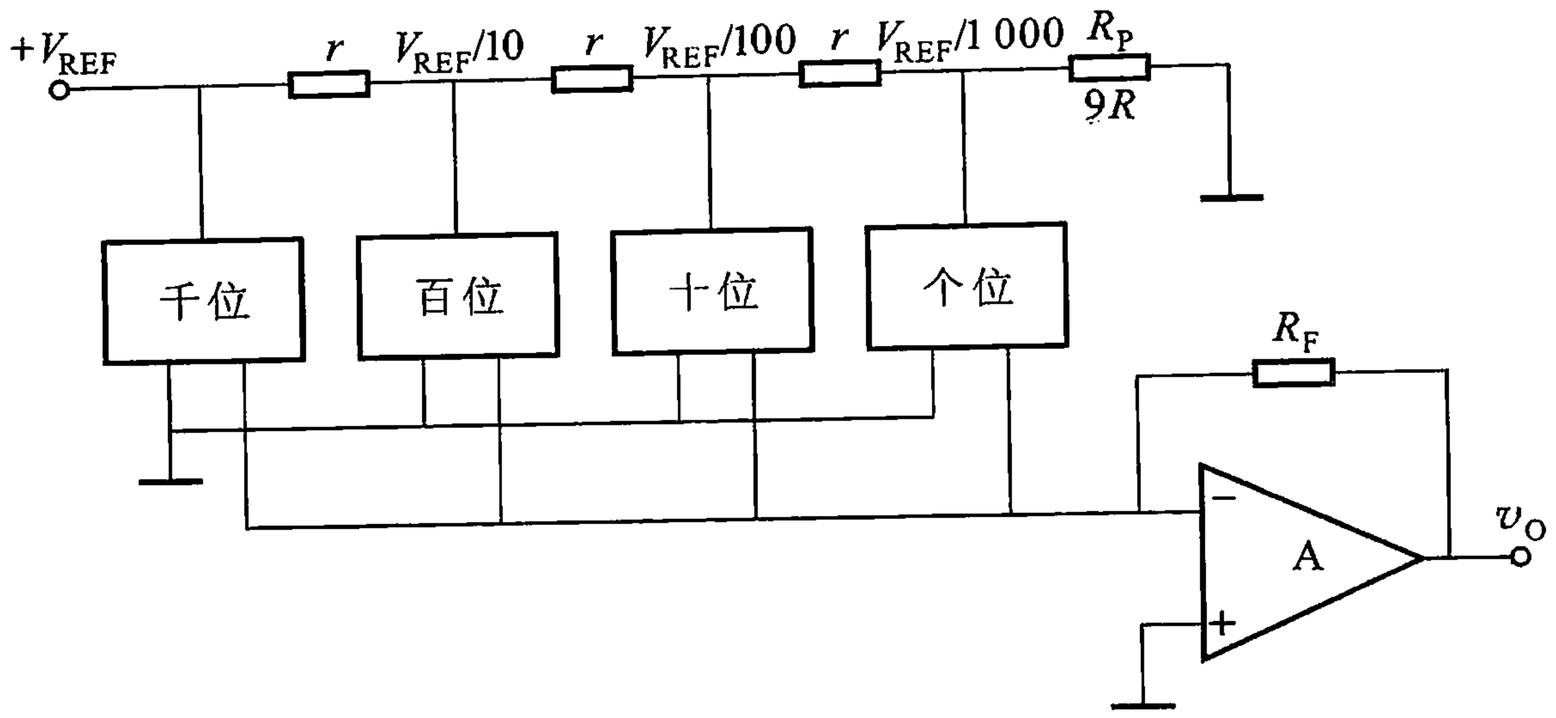


图 P 10.10

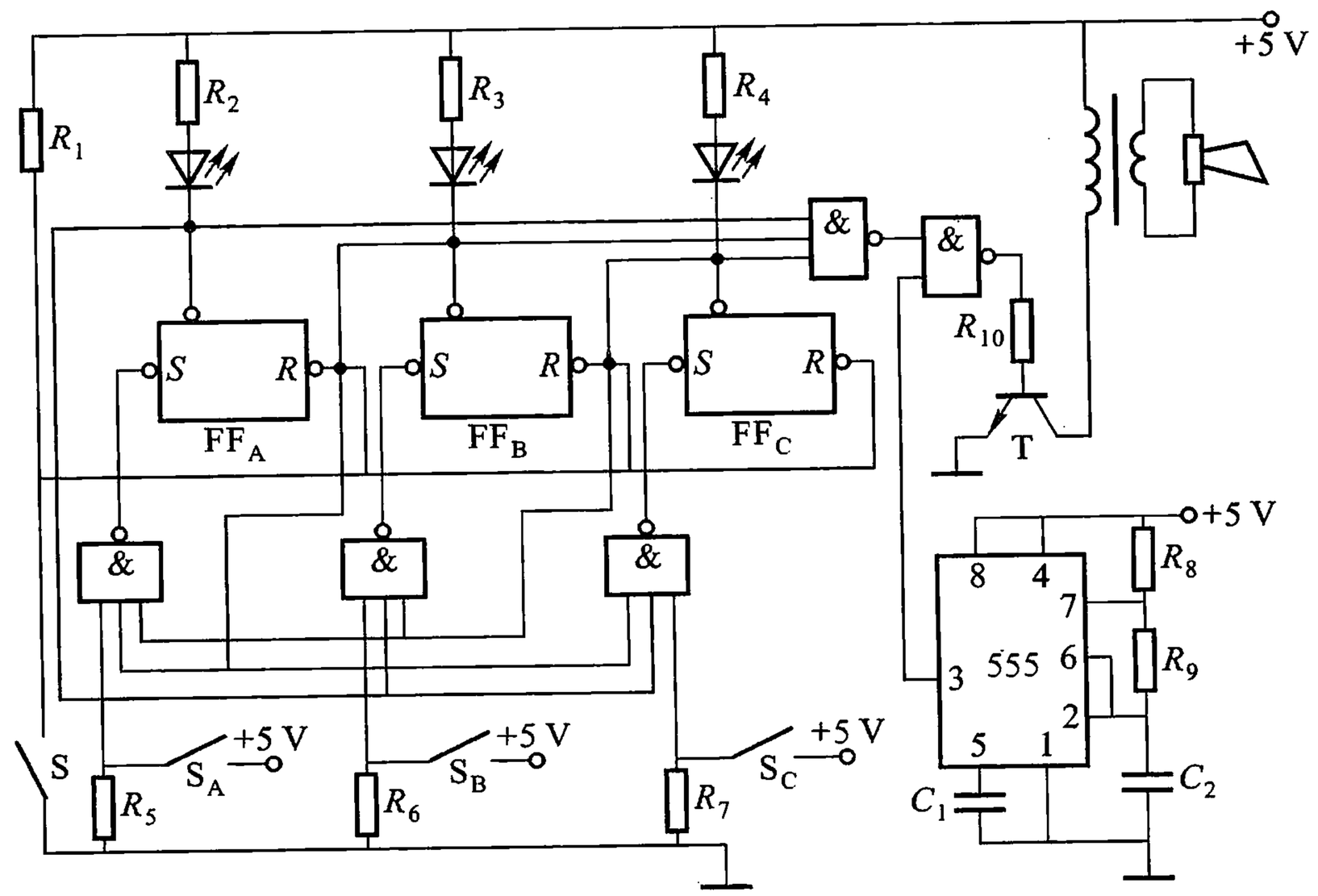


图 P 10.12

部分习题答案

第 1 章

1.2 (1) $V = -17.36$ mV (2) $I_{正}/I_{反} = 46.5$ (3) $I = 1.05 \times 10^2$ A

1.8 (a) $V = 1$ V, $I = 4$ mA; (b) $V = 3$ V, $I = 3$ mA

1.12 (2) $I_B = 0.2$ mA

第 2 章

2.3 (1) $V_{CE} = 5.4$ V, $I_C = 1.9$ mA, $V_{OP-P} = 7.2$ V, $R_B = 13$ kΩ;

(2) $V_{CE} = 1$ V, $I_C = 1.6$ mA;

(3) $V_{CE} = 7.3$ V, $I_C = 0.9$ mA;

(4) $V_{CE} = 2.5$ V, $I_C = 1.7$ mA

2.4 (1) $\beta = 40$, $r_{be} = 0.76$ kΩ;

(2) $\dot{A}_V = -4.8$, $R_i = 16.8$ kΩ, $R_o = 2$ kΩ

2.5 (1) $I_B = 25$ μA, $I_C = 1.5$ mA, $V_{CE} = 7.35$ V,

$\dot{A}_V = -7.6$, $R_i = 40$ kΩ, $R_o = 5.1$ kΩ;

(2) $I_B = 25$ μA, $I_C = 1.5$ mA, $V_{CE} = 4.8$ V,

$\dot{A}_V = -5.1$, $R_i = 40$ kΩ, $R_o = 5.1$ kΩ

2.7 (1) $I_C = 1.7$ mA, $I_B = 28$ μA, $V_{CE} = 5.6$ V;

(2) $\dot{A}_V = -135$, $R_i = 1.1$ kΩ, $R_o = 5.1$ kΩ

2.8 (1) $I_B = 28$ μA, $I_C = 1.4$ mA, $V_{CE} = 7.9$ V;

(2) $\dot{A}_V = 0.993$, $R_i = 103$ kΩ, $R_o = 43$ Ω

2.9 (1) $\dot{A}_{V1} = -\dfrac{\beta R_C}{r_{be} + (1+\beta) R_E}$, $\dot{A}_{V2} = \dfrac{(1+\beta) R_E}{r_{be} + (1+\beta) R_E}$

$R_{o1} = R_C$, $R_{o2} = \dfrac{(R_S /\!/ R_{B1} /\!/ R_{B2}) + r_{be}}{1+\beta} /\!/ R_E$

(2) $\dot{V}_{o1} = -\dot{V}_{o2}$

2.10 (1) $I_C = 2.4$ mA, $I_B = 48$ μA, $V_{CE} = 3.7$ V;

(2) $\dot{A}_V = -9$, $R_i = 8.2$ kΩ, $R_o = 3$ kΩ

2.11 (1) $I_C = 2.7$ mA, $I_B = 27$ μA, $V_{CE} = 3.8$ V;

(2) $R_B = 325$ kΩ;

(4) $\dot{A}_V = -\dfrac{\beta(R_C /\!/ R_B)}{r_{be}} = -256$

$R_i = \dfrac{R_B}{1 - A_V} = \dfrac{120\ \text{k}\Omega}{1 + 250} = 0.48\ \text{k}\Omega$, $R_o \approx R_C = 3\ \text{k}\Omega$

2.12 $A_V = \dfrac{g_m(R_1 + R_2)}{1 + g_m(R_1 + R_2)} = 0.63$

$R_i = \dfrac{R_G(R_1 + R_2)}{(1 - A_V)R_2 + R_1} = 3.7\ \text{M}\Omega$

2.13 (1) $V_{DS} = 8.5\ \text{V}$, $I_D = 1.8\ \text{mA}$, $g_m = 2.2\ \text{mS}$;

(2) $\dot{A}_V = -11$

2.14 $I_D = 1.39\ \text{mA}$, $V_{GS} = -3.1\ \text{V}$, $V_{DS} = 12.5\ \text{V}$, $A_V = -2.5$

2.16 (1) $f_{L1} = \dfrac{1}{2\pi(R_S + r_{be})C_1} = 75\ \text{Hz}$, (2) $f_{L2} = 10\ \text{Hz}$

(3) $f_L = 83\ \text{Hz}$ (4) $f_H = 0.4\ \text{MHz}$

2.17 (1) $I_{C1} = 1.1\ \text{mA}$, $I_{B1} = 22\ \mu\text{A}$, $V_{C1} = 10\ \text{V}$, $r_{be1} = 1.4\ \text{k}\Omega$,

$I_{C2} = 1.66\ \text{mA}$, $I_{B2} = 33\ \mu\text{A}$, $V_{CE2} = 11.7\ \text{V}$, $r_{be2} = 1.1\ \text{k}\Omega$

(2) $A_V = -25$, $R_i = 4.8\ \text{k}\Omega$, $R_o = 0.2\ \text{k}\Omega$

2.18 (2) $A_V = 7$, $R_i = 98\ \text{k}\Omega$, $R_o = 3\ \text{k}\Omega$

2.19 (1) $I_{C1} = I_{C2} = 0.56\ \text{mA}$, $I_{B1} = I_{B2} = 11.2\ \mu\text{A}$

$V_{C1} = V_{C2} = 6.4\ \text{V}$, $A_{VD} = -25$, $A_{VC} = 0$,

$K_{CMR} = \infty$, $R_{id} = 20\ \text{k}\Omega$, $R_{ic} = 505\ \text{k}\Omega$, $R_o = 20\ \text{k}\Omega$

(2) $I_{C1} = I_{C2} = 0.56\ \text{mA}$, $I_{B1} = I_{B2} = 11.2\ \mu\text{A}$,

$V_{C1} = 4.2\ \text{V}$, $V_{C2} = 6.4\ \text{V}$, $A_{VD1} = -17$,

$A_{VC1} = -0.33$, $K_{CMR} = 51.5$, $R_{id} = 20\ \text{k}\Omega$,

$R_{ic} = 505\ \text{k}\Omega$, $R_o = 10\ \text{k}\Omega$

2.20 $R_{AB} \approx r_{ce}\left(1 + \dfrac{\beta R_3}{R_B + r_{be} + R_1 /\!/ R_2}\right)$

2.21 (1) $I_{C1} = I_{C2} = 0.05\ \text{mA}$, $V_{C1} = V_{C2} = 7\ \text{V}$, $I_{C3} = 0.103\ \text{mA}$;

(2) $r_{AB} = 1.9\ \text{M}\Omega$;

(3) $A_{VD1} = -68$, $A_{VC1} = -2.6 \times 10^{-2}$, $K_{CMR} = 2.6 \times 10^3$,

$R_{id} = 74\ \text{k}\Omega$, $R_{ic} = 95\ \text{M}\Omega$, $R_o = 100\ \text{k}\Omega$

2.22 $A_{VD} = \beta_1 R_C / r_{be1}$

2.23 $K_{CMR} = 24.4\ \text{dB}$

2.24 $R_{C1} = 8\ \text{k}\Omega$, $A_V = 514$

2.25 $P_{om} = 4\ \text{W}$; $\eta_m = 69.8\%$, $P_T = 1.73\ \text{W}$

2.26 $P_{om} = 1.56\ \text{W}$, $P_T = 0.83\ \text{W}$, $\eta_m = 65\%$

第 3 章

3.1 $R_F = 1\ \text{k}\Omega$, $L = 0.16\ \text{H}$

3.7 (1) $R_1 = 0.2\ \text{M}\Omega, R_1 = 1\ \text{M}\Omega$;(2) $R_F = 10\ \text{k}\Omega, R_F = 5\ \text{k}\Omega$;(3) $R_X = 0.83\ \text{k}\Omega, R_X = 8.3\ \text{k}\Omega$

3.10 $v_O = 126\ \text{mV}$

3.12 $v_O = \dfrac{R_{F2}R_{F1}}{R_3R_1}v_{i1} - \dfrac{R_{F2}}{R_2}v_{i2}$

3.13 若取 $R_{F1} = R_5$,则 $v_O = \dfrac{R_{F2}}{R_1}v_{i1} + \dfrac{R_{F2}}{R_2}v_{i2} - \dfrac{R_{F2}}{R_3}v_{i3} - \dfrac{R_{F2}}{R_4}v_{i4}$

第 4 章

4.7 (1) $A_V \geqslant 2 \times 10^3, F_V \geqslant 0.0095$;(2) $BW_F \geqslant 400\ \text{kHz}$

4.10 (1) 合理连线;(2) R_F 取 99 kΩ

4.12 对于图(a) $A_{VSF} = V_o/V_s = R_2(R_3 + R_5)/R_3R_S$;

对于图(b) $A_{VSF} = V_o/V_s = -R_7/R_3$

4.13 (1) R_3、R_5 构成级间交流电压串联负反馈;

(2) $A_{VF} = \dot{V}_o/\dot{V}_i = 1 + R_5/R_3 = 20$;

(3) 要使负反馈效果显著,R_1 应选择较小

4.14 (1) 开关 S 置于(b);

(2) 这个负反馈属于电压串联负反馈;

(3) 电压放大倍数 $\dot{A}_{VF}$ 大约是 51

4.15 (1) $\dot{F}_V = \dfrac{R_1}{R_1 + R_2}$;

(2) $|\dot{F}| = \dfrac{1}{A_{VF}} - \dfrac{1}{A_V} = 9 \times 10^{-3}, \dfrac{R_2}{R_1} = 11.1$;

(3) 闭环放大倍数将减小 2%

4.16 (1) $|\dot{A}_{VF}| = 1$; (2) $|\dot{A}_{VF}| = A/(1 + AF) = 0.99$

第 5 章

5.3 (1) 图(a)不能产生振荡;图(b)能产生振荡;图(c)不能产生振荡;图(d)不能产生振荡

5.4 (1)正反馈网络为 *RC* 串联、*RC* 并联网络,负反馈网络为 R_1、R_2 组成的网络;

(2) 同相输入端到输出端的电压传输系数 $A = 1 + R_1/R_2$;

(3) 输出端到同相输入端的反馈系数

$$\dot{F}_+ = 1/[3 + \text{j}(\omega/\omega_0 - \omega_0/\omega)];$$

(4) $f_0 = 1/2\pi RC$;(5) $R_1 \geqslant 3\ \text{k}\Omega$;(6) R_1 可用热敏电阻,或用二极管、晶体三极管、场效应管电路

5.7 $C_{min} = 6.8\ \text{pF}, C_{max} = 142\ \text{pF}, f_{min} = 0.996\ \text{MHz}, f_{max} = 4.55\ \text{MHz}$

5.9 (1) A_1 组成反相比例运算电路,A_2 组成过零比较器,A_3 组成电压跟随电路;

(2) $v_{O1} = -v_i = -5\sin\omega t\ V$,$v_{O1}$ 为一与 v_i 相位相反的正弦波;v_{O2} 为幅值为 ±6 V 的矩形

波，当 $v_{O1}<0$（即 $v_i>0$）时，$v_{O2}=+6$ V，当 $V_{O1}>0$（即 $v_i<0$）时，$v_{O2}=-6$ V；v_O 为一与 v_{O2} 相同的矩形波；

（3）A_1 工作在线性区，A_2 工作在非线性区，A_3 工作在线性区

5.11 （1）$V_1=7.85$ V，$V_2=4.5$ V，$V_H=3.35$ V

5.12 $V_1=\dfrac{R_1}{R_1+R_F}V_Z+\dfrac{R_F}{R_1+R_F}V_{REF}$，

$V_2=\dfrac{R_1}{R_1+R_F}(-V_Z)+\dfrac{R_F}{R_1+R_F}V_{REF}$，

$V_H=V_1-V_2=2R_1V_Z/(R_1+R_F)$

5.14 $R_3=9$ kΩ，$R_p=63$ kΩ，可选用 68 kΩ 的电位器

5.16 $V_{max}=(1+R_2/R_1)V_{REF}+R_2V_Z/R_1$

$V_{min}=(1+R_2/R_1)V_{REF}-R_2V_Z/R_1$

$V_m=V_{max}-V_{min}=2R_2\ V_Z/R_1$

第 6 章

6.2 （2）9.38 V

6.3 （1）$V_O=8.6\sim17.2$ V；

（2）$V_2=19.2$ V，$V_O=11.5$ V，$V_{B1}=6.7$ V，$V_{C1}=12.2$ V，$V_{E1}=6$ V；

（4）$P_{CM}=2.12$ W

6.4 （1）$I_O=\dfrac{V_{23}}{R}+I_W\approx1$ A；

（2）$V_O=V_{23}\left(1+\dfrac{R_2}{R_1}\right)+I_WR_2\approx10$ V；

（3）图（c）为恒流源电路，图（b）为输出可调的稳压电路

第 7 章

7.1 （1）$(\mathbf{100101})_2=(37)_{10}$　$(\mathbf{100101})_2=(25)_{16}$；

（2）$(\mathbf{1011})_2=(11)_{10}$　$(\mathbf{1011})_2=(B)_{16}$；

（3）$(\mathbf{1011.11})_2=(11.75)_{10}$　$(\mathbf{1011.11})_2=(B.C)_{16}$；

（4）$(\mathbf{11010.011})_2=(26.375)_{10}$　$(\mathbf{11010.011})_2=(1A.6)_{16}$

7.2 （1）$(29)_{10}=(\mathbf{11101})_2$

$(29)_{10}=(35)_8$

$(29)_{10}=(1D)_{16}$；

（2）$(219)_{10}=(\mathbf{11011011})_2$

$(219)_{10}=(333)_8$

$(219)_{10}=(DB)_{16}$；

（3）$(0.65)_{10}=(\mathbf{0.1010011})_2$

$(0.65)_{10}=(0.5146314)_8$

$(0.65)_{10}=(0.A66)_{16}$；

（4）$(17.84)_{10}=(\mathbf{10001.11010111})_2$

$(17.84)_{10}=(21.656057)_8$

$(17.84)_{10}=(11.D7)_{16}$

7.4 （1）$\overline{Y}=\overline{A}\,C+\overline{B}\,C+\overline{A}\,\overline{D}+\overline{B}\,\overline{D}$；

（2）$\overline{Y}=\overline{A}+\overline{B}+BD+\overline{C}\,D$；

（3）$\overline{Y}=AB+\overline{C}+D$；

（4）$\overline{Y}=\overline{A\,\overline{B}}\cdot\overline{\overline{B}\,C}\cdot(\overline{A}+C)$；

(5) $\overline{Y} = \overline{\overline{B} + \overline{A}\,\overline{C}} + \overline{A}\,\overline{B}$

7.6 (1) $Y = AB$; (2) $Y = A + C$;

(3) $Y = AD + B\overline{D} + B\overline{C}$; (4) $Y = \mathbf{1}$

7.7 (1) $Y(A,B,C) = \overline{A}\,\overline{B}\,\overline{C} + \overline{A}\,\overline{B}\,C + A\overline{B}\,C + ABC$;

(2) $Y(A,B,C,D) = \overline{A}\,\overline{B}\,\overline{C}\,\overline{D} + \overline{A}\,\overline{B}\,\overline{C}\,D + \overline{A}\,\overline{B}\,C\overline{D} + \overline{A}\,\overline{B}\,CD + \overline{A}\,BCD$

$+ A\overline{B}\,\overline{C}\,\overline{D} + A\overline{B}\,\overline{C}\,D + A\overline{B}\,CD + AB\overline{C}\,\overline{D} + ABCD$

7.8 (1) $Y(A,B,C) = \overline{C}$;

(2) $Y(A,B,C,D) = \overline{A}\,BCD + A\overline{B} + A\overline{C} + A\overline{D}$;

(3) $Y(A,B,C,D) = \overline{B}\,\overline{D} + BD$;

(4) $Y(A,B,C,D) = AB\overline{D} + B\overline{C}\,\overline{D} + \overline{B}\,D$;

(5) $Y(A,B,C,D) = \overline{B}\,D + BC$;

(6) $Y(A,B,C,D) = \overline{A}\,\overline{B}\,\overline{D} + BC$

7.10 对图(a),$Y = \overline{AB \cdot (A+B)} \cdot [(A+B) \cdot C]$

对图(b),有

$$Y = \overline{\overline{A}\,B + A\overline{B}}$$

7.11 (1) 允许 v_I 低电平的最大值 $V_1 = 3$ V;

(2) 要求 v_I 高电平的最小值 $V_2 \geqslant 4.45$ V

7.14 $Y_1 = \mathbf{0}$(低电平状态) $Y_2 = \mathbf{1}$(高电平状态)

$Y_3 = \mathbf{1}$(高电平状态) $Y_4 = \mathbf{0}$(低电平状态)

Y_5 为高阻状态 $Y_6 = \mathbf{0}$(低电平状态)

$Y_7 = \mathbf{1}$(高电平状态) $Y_8 = \mathbf{0}$(低电平状态)

7.15 (1) R_B 的取值范围是 $470\ \Omega \leqslant R_B \leqslant 47.8\ \text{k}\Omega$;

(2) 能带的负载门为 3 个;

(3) 既会使 TTL 与非门损坏,也会使 T_1 损坏

7.16 $Y = \overline{A}\,B + A\overline{B}$

第 8 章

8.1

输入								输出		
a	b	c	d	e	f	g	h	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	1	1	1	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	1	0	0	1	0	1

续表

输入								输出		
a	b	c	d	e	f	g	h	Y_2	Y_1	Y_0
0	0	0	0	1	0	0	0	1	0	0
0	0	0	1	0	0	0	0	0	1	1
0	0	1	0	0	0	0	0	0	1	0
0	1	0	0	0	0	0	0	0	0	1
1	0	0	0	0	0	0	0	0	0	0

8.2 $\overline{a} = \overline{\overline{A}_3\,\overline{A}_2\,\overline{A}_1\,A_0 \cdot A_2\,\overline{A}_1\,\overline{A}_0}$

$\overline{d} = \overline{\overline{A}_3\,\overline{A}_2\,\overline{A}_1\,A_0 \cdot A_2\,\overline{A}_1\,\overline{A}_0 \cdot A_2\,A_1\,A_0}$

第 9 章

略。

第 10 章

10.8 (1) $T_1 = 200$ ms (2) $|v_{O\max}| = 10$ V (3) $v_{I(AV)} = \pm 3.48$ V

10.9 输入数字量为 18DH 时，$v_O = -3.88$ V；

输入数字量为 0FFH 时，$v_O = -2.5$ V

10.10 $r = 8.1\ \Omega$

10.11 $f_{max} = [V_{REF}/(V_{REF} + v_{I(AV)})] \times 0.1$ kHz

参 考 文 献

[1] 李瀚荪编. 电路分析基础[M]. 4 版. 北京:高等教育出版社,2006.

[2] 清华大学电子学教研组编,华成英,童诗白主编. 模拟电子技术基础[M]. 4 版. 北京:高等教育出版社,2006.

[3] 清华大学电子学教研组编,杨素行主编. 模拟电子技术基础简明教程[M]. 3 版. 北京:高等教育出版社,2006.

[4] 华中科技大学电子技术课程组编,康华光主编. 电子技术基础(模拟部分)[M]. 5 版. 北京:高等教育出版社,2006.

[5] 谢嘉奎主编,谢嘉奎,宣月清,冯军编. 电子线路(线性部分)[M]. 4 版. 北京:高等教育出版社,1999.

[6] 谢嘉奎主编,谢嘉奎,宣月清,冯军编. 电子线路(非线性部分)[M]. 4 版. 北京:高等教育出版社,2000.

[7] 张肃文主编. 高频电子线路[M]. 4 版. 北京:高等教育出版社,2004.

[8] 清华大学电子学教研组编,阎石主编. 数字电子技术基础[M]. 5 版. 北京:高等教育出版社,2006.

[9] 王毓银主编,王毓银,陈鸽,杨静,赵亦松编. 数字电路逻辑设计[M]. 2 版. 北京:高等教育出版社,2005.

[10] 华中科技大学电子技术课程组编,康华光主编. 电子技术基础(数字部分)[M]. 5 版. 北京:高等教育出版社,2006.

[11] Jacob Millman and Arvin Grabel. Microelectronics [M]. 2nd ed. New York: McGraw-Hill Book Company. 1987.

[12] David Johns, Ken Martin. Analog Integrated Circuit Design [M]. New York: John Wiley & Sons Inc., 1997.

[13] Donald D. Givone. Digital Principles and Design [M]. New York: McGraw-Hill Companies, Inc., 2003.

郑 重 声 明

高等教育出版社依法对本书享有专有出版权。任何未经许可的复制、销售行为均违反《中华人民共和国著作权法》，其行为人将承担相应的民事责任和行政责任，构成犯罪的，将被依法追究刑事责任。为了维护市场秩序，保护读者的合法权益，避免读者误用盗版书造成不良后果，我社将配合行政执法部门和司法机关对违法犯罪的单位和个人给予严厉打击。社会各界人士如发现上述侵权行为，希望及时举报，本社将奖励举报有功人员。

反盗版举报电话：(010)58581897/58581896/58581879

反盗版举报传真：(010)82086060

E - mail：dd@ hep. com. cn

通信地址：北京市西城区德外大街 4 号

高等教育出版社打击盗版办公室

邮　　编：100120

购书请拨打电话：(010)58581118

电子线路

第五版

ISBN 978-7-04-024929-3

9 787040 249293 >

定价 33.10 元